

092

UMA FERRAMENTA PARA VISUALIZAÇÃO DE CIRCUITOS LÓGICOS. *Paulo F. Butzen, André I. Reis* (Departamento de Informática Aplicada, Instituto de Informática, UFRGS).

Este projeto tem por objetivo a construção de um visualizador de circuitos lógicos descritos como redes de portas Booleanas interligadas entre si. Este projeto se insere no contexto da produção de uma ferramenta de síntese lógica. As transformações feitas pela ferramenta de síntese têm por objetivo reduzir área ou atraso dos circuitos tratados. As várias etapas da síntese produzem resultados intermediários que se deseja observar para inspeção visual das modificações produzidas, bem como para guiar a aplicação de novas etapas de síntese de modo a se alcançar o resultado desejado. Atualmente os resultados intermediários são descritos através de arquivos texto pela facilidade de construir um software que o interprete. Porém esta descrição não é intuitiva ao ser humano. Com o objetivo de contornar este problema, está sendo feita a implementação de um visualizador. Para a sua concepção, primeiramente foi definida uma estrutura de dados que armazena o circuito descrito em um arquivo texto e a partir da mesma o visualizador monta o circuito lógico e permite a visualização de seus componentes. Esta construção modular permitirá a criação de leitores para outros formatos de descrição a medida que eles se fizerem necessários (atualmente o formato netblif está sendo usado). Também serão agregadas funcionalidades de visualização do caminho crítico do circuito, bem como dos BDDs de seus componentes. Deste modo a ferramenta de visualização irá evoluir para ser um console para o controle e inspeção do processo de síntese lógica a medida que ele ocorre (Instituto do Milênio - CNPq/UFRGS).