

134

IMPACTO DO ORDENAMENTO DE TRANSISTORES NA ÁREA DE CIRCUITOS CMOS.

Francisco Maestri Trindade, Francisco Maestri Trindade, Felipe Ribeiro Schneider, Renato Perez Ribas, Andre Inacio Reis (orient.) (Departamento de Informática Aplicada, Instituto de Informática,

UFRGS).

Este trabalho tem como objetivo a comparação de diferentes métodos para a obtenção do melhor ordenamento de transistores para síntese de leiaute de circuitos CMOS série-paralelo. Células CMOS são desenhadas como uma seqüência de transistores, onde acontece uma quebra de difusão cada vez que dois transistores não conectados entre si são posicionados em seqüência. O objetivo do ordenamento é posicionar um conjunto de transistores em linha de modo que dois vizinhos sempre estejam interligados, produzindo um número de quebras de difusão mínimo. Assim, foram implementados dois algoritmos com diferentes abordagens do problema, com o objetivo de analisar o impacto dos mesmos na área final dos circuitos implementados. O primeiro algoritmo analisado foi um algoritmo exaustivo, que analisa o número de quebras para todos os ordenamentos de transistores possíveis, proporcionando o obtenção do melhor resultado em todos os casos possíveis. Para realizar a comparação foi implementado o algoritmo de Uehara. Este algoritmo reorganiza a topologia da célula para obter o menor número de quebras, mas pelo fato de ser heurístico não garante um resultado ótimo. Por não realizar busca exaustiva, o algoritmo de Uehara necessita de menor tempo de processamento. Com esses dois algoritmos, foram calculados os números de quebras necessários para todas as células de uma biblioteca lógica. Tendo essa biblioteca como base, foi calculada a área necessária para a construção de diversos circuitos benchmarks. O trabalho mostra através da comparação realizada, que em muitos casos a obtenção do resultado ótimo no número de quebras não representa um ganho de área significativo no projeto do circuito final. A importância desse trabalho reside no fato de avaliar o impacto do reordenamento de transistores na obtenção da menor área possível para circuitos lógicos em um tempo de processamento hábil. (PIBIC/CNPq-UFRGS).