

048

SIMULAÇÃO DE CIRCUITOS ROBUSTOS ATRAVÉS DE INJEÇÃO DE FALHAS NO NÍVEL DE PORTAS LÓGICAS. *Rodrigo da Rocha Manito, Rodrigo Possamai Bastos, Ricardo Augusto da Luz Reis (orient.) (UFRGS).*

O avanço das tecnologias de circuitos integrados (CIs) levanta importantes questões relacionadas à confiabilidade e à robustez de sistemas eletrônicos. A redução da geometria dos transistores tem tornado os CIs mais vulneráveis a falhas, especialmente àquelas causadas por ruído elétrico ou por efeitos induzidos pela radiação. Eventos de falhas conhecidos como Single Event Upsets (SEUs), ou inversões de bits de elementos de memória, podem provocar erros em operações funcionais dos circuitos definidos como Soft Errors (SEs). Pulsos transientes em nós de um circuito conhecidos como Single Event Transients (SETs) podem também provocar SEs. Devido a tais falhas, mecanismos de tolerância a falhas têm tornado-se fundamentais para melhorar a confiabilidade de sistemas. O projeto de um circuito robusto por meio da inserção de mecanismos de tolerância a falhas exige métodos diferenciados para a sua testagem funcional. Neste trabalho está se desenvolvendo um método automático para injeção de SETs em circuitos que estejam descritos por VHDL através de portas lógicas, cujos atrasos são definidos em arquivos SDF do projeto do circuito. Tais descrições são tipicamente encontradas em fluxos de projeto de ferramentas de CAD comerciais. O objetivo é simular o funcionamento do circuito robusto abaixo de um evento de falha. Desenvolveu-se um módulo VHDL capaz de injetar pulsos de largura ajustável em qualquer nó do circuito. As descrições VHDL do circuito robusto projetado, geradas após mapeamento tecnológico, seriam modificadas automaticamente pela inclusão dos módulos injetores de SET. Desta forma é possível controlar os nós necessários para injetar falhas que potencialmente causariam SEs. Experimentos foram realizados usando circuitos de um microprocessador de 8-bits robusto.