

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
ESCOLA DE ENGENHARIA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

ERIK SCHÜLER

**UMA INTERFACE PARA O AUMENTO DA FAIXA DE
FREQUÊNCIAS DE OPERAÇÃO DE FPAAS**

Porto Alegre
(2004)

ERIK SCHÜLER

**UMA INTERFACE PARA O AUMENTO DA FAIXA DE
FREQUÊNCIAS DE OPERAÇÃO DE FPAAS**

Dissertação de mestrado apresentada ao Programa de Pós-Graduação em Engenharia Elétrica (PPGEE), da Universidade Federal do Rio Grande do Sul (UFRGS), como parte dos requisitos para a obtenção do título de Mestre em Engenharia Elétrica.

Área de concentração: Automação e Instrumentação Eletro-Eletrônica

ORIENTADOR: Prof. Dr. Luigi Carro

Porto Alegre

(2004)

ERIK SCHÜLER

UMA INTERFACE PARA O AUMENTO DA FAIXA DE FREQUÊNCIAS DE OPERAÇÃO DE FPAAS

Esta dissertação foi julgada adequada para a obtenção do título de Mestre em Engenharia Elétrica e aprovada em sua forma final pelo Orientador e pela Banca Examinadora.

Orientador: _____

Prof. Dr. Luigi Carro, UFRGS

Doutor pelo Programa de pós-graduação em Ciência da Computação, CPGCC, UFRGS, Brasil

Banca Examinadora:

Prof. Dr. Antonio Petraglia, COPPE - UFRJ

Doutor pela University of California, EUA.

Prof. Dr. Sergio Bampi, CPGC – UFRGS

Doutor pela Stanford University, EUA.

Prof. Dr. Altamiro Amadeu Susin, PPGEE - UFRGS

Doutor pelo Institut National Polytechnique de Grenoble, INPG, França.

Coordenador do PPGEE: _____

Prof. Dr. Carlos Eduardo Pereira

Porto Alegre, dezembro de 2004.

DEDICATÓRIA

Dedico este trabalho ao meu pai Érico, minha mãe Isolda e minha irmã Ingrid, por todas as coisas boas nestes 27 anos. A minha avó Ezelinda, por ser minha segunda mãe. A toda minha família em Porto Alegre, Rio de Janeiro e Veranópolis, que apesar da distância, sempre acreditaram em mim. A minha namorada Carolina, pelos dez anos de companhia, amor e amizade, e pelos próximos que virão.

AGRADECIMENTOS

Agradeço ao Programa de Pós-Graduação em Engenharia Elétrica da UFRGS, PPGEE, pela oportunidade de realização deste trabalho, assim como à CAPES e à CEEE pela provisão das bolsas de mestrado.

Agradeço aos professores da banca examinadora dessa dissertação por terem aceito o convite e aos professores da Graduação e Pós-Graduação do DELET por todo o conhecimento compartilhado e auxílio.

Agradeço em especial ao professor e orientador Dr. Luigi Carro pelos mais de quatro anos de orientação, ensino e amizade durante a bolsa de Iniciação Científica e o Mestrado.

Agradecimento aos colegas de Mestrado e dos laboratórios LAPROT, SIAM, LAPSI e LACOM pela ajuda na preparação deste e de vários outros trabalhos, e pelos vários momentos de descontração. Aos meus amigos de Veranópolis e Porto Alegre, obrigado pelo apoio e pelos vários anos de amizade.

Enorme agradecimento a minha namorada Carolina pela paciência e compreensão durante todos esses anos em que a distância não foi obstáculo. A sua família Alzir, Neca, Letícia e D. Ida, muito obrigado pelo acolhimento, amizade e apoio.

Acima de tudo, agradeço a minha família, que sempre me apoiou em tudo, dando incentivo e conselhos nos momentos de indecisão. Em especial ao meu pai por nunca medir esforços para me proporcionar absolutamente tudo que sempre precisei, a minha irmã pelos vários anos de companhia em todos os cantos do país, ainda mais aqui em Porto Alegre, e pelo sobrinho e afilhado Lucca. A minha mãe, que na hora que mais precisei estava lá pra me dar a mão, agradeço eternamente.

RESUMO

O crescente avanço nas mais diversas áreas da eletrônica, desde instrumentação em baixa frequência até telecomunicações operando em frequências muito elevadas, e a necessidade de soluções baratas em curto espaço de tempo que acompanhem a demanda de mercado, torna a procura por circuitos programáveis, tanto digitais como analógicos, um ponto comum em diversas pesquisas. Os dispositivos digitais programáveis, que têm como grande representante os *Field Programmable Gate Arrays* (FPGAs), vêm apresentando um elevado e contínuo crescimento em termos de complexidade, desempenho e número de transistores integrados, já há várias décadas. O desenvolvimento de dispositivos analógicos programáveis (*Field Programmable Analog Arrays – FPAAs*), entretanto, esbarra em dois pontos fundamentais que tornam sua evolução um tanto latente: a estreita largura de banda alcançada, conseqüência da necessidade de um grande número de chaves de programação e reconfiguração, e a elevada área consumida por componentes analógicos como resistores e capacitores, quando integrados em processos VLSI.

Este trabalho apresenta uma proposta para aumentar a faixa de frequências das aplicações passíveis de serem utilizadas tanto em FPAAs comerciais quanto em outros FPAAs, através da utilização de uma interface de translação e seleção de sinais, mantendo características de programabilidade do FPAA em questão, sem aumentar em muito sua potência consumida.

A proposta, a simulação e a implementação da interface são apresentadas ao longo desta dissertação. Resultados de simulação e resultados práticos obtidos comprovam a eficácia da proposta.

Palavras-chaves: FPGA analógico. FPAA. FPMA. SoC. Translação de frequência. Mixer.

ABSTRACT

The increasing advance in several areas of electronics, from low frequency instrumentation to telecommunications operating in very high frequencies, and the necessity of low cost solutions in a short space of time, following the demand of the market, makes the search for digital and analog programmable circuits a common point in many researches. Digital programmable devices, which have as a great representant Field Programmable Gate Arrays (FPGAs) devices, have shown a high and continuous increase in terms of complexity, performance and number of integrated transistors for many decades. The development of analog programmable devices (Field Programmable Analog Arrays – FPAAs), however, stops in two fundamental points that make their evolution slow: the narrow bandwidth reached, consequence of the necessity of a great number of programming and configuration switches, and the huge area occupied for analog components as resistors and capacitors, when integrated in a VLSI process.

This work presents a proposal to increase the frequency range of the applications that can be used also with commercial FPAAs and others FPAAs, through the use of an interface to translate and select signals, keeping the programmability characteristics of the FPAA, without increasing so much the dissipated power.

The proposal, simulation and implementation of the interface are presented in this dissertation. The simulations and practical results obtained show the proposal efficiency.

Keywords: Analog FPGA. FPAA. FPMA. SoC. Frequency translation. Mixer.

SUMÁRIO

LISTA DE ILUSTRAÇÕES	9
LISTA DE TABELAS	12
LISTA DE ABREVIATURAS.....	13
1 INTRODUÇÃO	15
2 O CONTEXTO DOS FPAAS	19
2.1 AMPLIFICADOR OPERACIONAL E AMPLIFICADOR DE TRANSCONDUÇÃO	22
2.2 CARREGADOR DE CORRENTE	22
2.3 CAPACITOR CHAVEADO	23
2.4 CORRENTE CHAVEADA	23
2.5 OUTRAS TOPOLOGIAS	24
3 CARACTERIZAÇÃO DE FPAAS	25
3.1 AMPLIFICADOR OPERACIONAL E COMPONENTES PASSIVOS	26
3.2 CAPACITOR CHAVEADO	30
3.3 CARREGADOR DE CORRENTE.....	32
3.4 SOLUÇÃO MISTA	35
4 PROPOSTA DE INTERFACE PARA AUMENTO DA FAIXA DE FREQUÊNCIA DE OPERAÇÃO DE FPAAS	38
4.1 MIXERS E TRANSLAÇÃO DE FREQUÊNCIAS	40
4.2 ESTRUTURAS DIFERENCIAIS	46
4.3 MIXER PROPOSTO	47
4.3.1 Determinação da topologia do mixer	49
4.3.2 Dimensionamento dos transistores	52
4.3.3 Análise de utilização de NMOS <i>versus</i> porta de transmissão.....	56
4.3.4 Influência das capacitâncias parasitas.....	59
4.3.5 Reduzindo os efeitos das capacitâncias parasitas	65
4.4 FILTRO PASSA-FAIXA PROPOSTO	66
4.4.1 Filtro biquadrático de Tow-Thomas.....	67
4.4.2 Filtro biquadrático Gm-C.....	74
5 RESULTADOS PRÁTICOS OBTIDOS COM FPAAS COMERCIAIS	80
5.1 FPAAs LATTICE	81
5.2 FPAAs ANADIGM	86
6 ANÁLISE DE POTÊNCIA, ÁREA E FREQUÊNCIA	93
6.1 ANÁLISE DA FAIXA DE FREQUÊNCIA DE OPERAÇÃO	96
6.2 ANÁLISE DA ÁREA OCUPADA.....	98
6.3 ANÁLISE DA POTÊNCIA DISSIPADA	100
7 CONCLUSÃO.....	102
REFERÊNCIAS	106
APÊNDICE A: MODELOS AMS 0,35 μ DOS TRANSISTORES	113
A1: TRANSISTOR NMOS	113
A2: TRANSISTOR PMOS.....	115

APÊNDICE B: DESCRIÇÃO SPICE DOS CIRCUITOS UTILIZADOS NAS SIMULAÇÕES	118
B.1 AMPLIFICADOR OPERACIONAL <i>SINGLE-ENDED</i>.....	118
B.2 CARREGADOR DE CORRENTE.....	118
B.3 TRANSCONDUTOR DE NAUTA	119
B.4 CHAVE TIPO PORTA DE TRANSMISSÃO	119
B.5 FILTRO BIQUADRÁTICO COM OPAMP.....	119
B.6 AMPLIFICADOR INVERSOR A CAPACITOR CHAVEADO	120
B.7 FILTRO BIQUADRÁTICO COM CARREGADOR DE CORRENTE.....	120
B.8 MIXER PASSIVO COM NMOS E COM PORTA DE TRANSMISSÃO	121
B.9 FILTRO GM-C.....	121
APÊNDICE C: ARQUIVOS EM MATLAB® PARA CÁLCULOS DE CAPACITÂNCIAS PARASITAS E ANÁLISES DOS ESPECTROS DE MIXERS.....	123
C.1 MULTIPLICADOR IDEAL	123
C.2 CÁLCULO DAS CAPACITÂNCIAS PARASITAS.....	124
APÊNDICE D: ESTRUTURAS INTERNAS DOS FPAAS COMERCIAIS UTILIZADOS	127
D.1 LATTICE ISPPAC10 COMO PASSA-FAIXA.....	127
D.2 LATTICE ISPPAC80 COMO PASSA-BAIXA	128
D.3 LATTICE ISPPAC20 COMO SOMADOR.....	128
D.4 ANADIGM AN10E40 COMO DEMODULADOR AM.....	129
D.5 ANADIGM AN221E04 COMO CONDICIONADOR PARA PONTE DE WHEATSTONE.....	129
APÊNDICE E: SIMULAÇÕES DOS EXPERIMENTOS PRÁTICOS	131
E.1 FILTRO PASSA-FAIXA USANDO ISPPAC10.....	131
E.2 FILTRO PASSA-BAIXA USANDO ISPPAC80.....	132
E.3 SOMADOR USANDO ISPPAC20.....	132
E.4 DEMODULADOR AM USANDO AN10E40	133
E.5 PONTE DE WHEATSTONE USANDO AN221E04	133
APÊNDICE F: SIMULAÇÕES SPICE DOS CIRCUITOS UTILIZADOS.....	135
F.1 CAB IMPLEMENTANDO FILTRO PASSA-BAIXA	135
F.2 CAB IMPLEMENTANDO FILTRO PASSA-ALTA.....	135
F.3 CAB IMPLEMENTANDO AMPLIFICADOR-INVERSOR.....	136
F.4 CAB IMPLEMENTANDO INTEGRADOR	136
F.5 CAB IMPLEMENTANDO DIFERENCIADOR.....	137
F.6 AMPLIFICADOR OPERACIONAL <i>SINGLE-ENDED</i>	137
F.7 CARREGADOR DE CORRENTE.....	138
F.8 TRANSCONDUTOR DE NAUTA	138

LISTA DE ILUSTRAÇÕES

Figura 1. Relação produtividade e projeto, conforme (ERNST, 2000).	15
Figura 2. Possível estrutura de um <i>System on Chip</i>	16
Figura 3. Estrutura de um FPAA segundo (D’MELLO, 1998).....	20
Figura 4. Estrutura interna para (a) rede de interconexão e (b) CAB, segundo (LEE, 1998). 20	20
Figura 5. Comparação entre topologias de FPAAs, conforme (KLEIN, 1998).	21
Figura 6. (a) Filtro biquadrático com amplificador operacional e componentes passivo; (b) equivalente realizado pelo ispPAC10, conforme (LATTICE, 2000a).	27
Figura 7. Diagrama de Bode simulado para o filtro a amplificador operacional e elementos passivos apresentado na figura 6(a).	28
Figura 8. (a) Amplificador inversor a capacitor chaveado conforme (ANADIGM, 2002); (b) chaves analógicas e portas de transmissão; (c) sinais de controle das chaves.....	30
Figura 9. Simulação do amplificador a capacitor chaveado apresentado na figura 8(a).....	31
Figura 10. (a) Filtro de segunda ordem com carregador de corrente, conforme (PREMONT, 1998) e (b) carregador de corrente utilizado.....	33
Figura 11. Diagrama de Bode simulado para o filtro a carregador de corrente apresentado na figura 4.	34
Figura 12. (a) Estrutura e (b) funcionamento do FPMA com conversor $\Sigma\Delta$	36
Figura 13. Proposta de interface para alocação de sinais.	38
Figura 14. Proposta de translação de sinais para uma dada frequência de operação de um FPAA qualquer.	39
Figura 15. Exemplos de mixers ativos e passivos, conforme (LEUNG, 2002; RAZAVI, 1998). 42	42
Figura 16. Representação de um mixer com seus sinais de entrada (RF), do oscilador local (LO) e de saída (IF).	43
Figura 17. Espectro da multiplicação de duas senóides e uma senóide e uma onda quadrada. 45	45
Figura 18. Par diferencial bipolar, conforme (RAZAVI, 1998).	47
Figura 19. Primeira estrutura proposta para o mixer.....	49
Figura 20. Simulação de curva I_{ds} versus V_{ds} para transistores NMOS e PMOS.	51
Figura 21. Segunda estrutura proposta para o mixer.....	51
Figura 22. Simulação de curva V_{gs} versus I_{ds} , para obtenção da tensão de limiar (V_t) dos transistores (a) NMOS e (b) PMOS.	54
Figura 23. Simulação da variação de R_{ds} com a tensão V_{ds} para (a) o NMOS e (b) PMOS... 55	55
Figura 24. Simulação para (a) sinal de entrada e sinais de saídas para mixer usando (b) dois transistores NMOS e (c) dois <i>transmission gates</i>	56
Figura 25. Simulação da variação da tensão de entrada V_{rf} versus tensão de saída V_{if+} do mixer com chaves NMOS.....	58
Figura 26. Simulação da variação da tensão de entrada V_{rf} versus tensão de saída V_{if+} do mixer com chaves formadas por portas de transmissão.....	58

Figura 27. Simulação para sinal de entrada e saída para o mixer de portas de transmissão com carga de valor elevado na saída.	59
Figura 28. Simulação de curvas de descarga das capacitâncias parasitas dos transistores do mixer.	60
Figura 29. (a) Modelo tridimensional do transistor MOS com capacitâncias parasitas e (b) capacitâncias terminais.	62
Figura 30. Interface com carga de saída de valor baixo e buffer de entrada.	65
Figura 31. Filtro biquad de Tow-Thomas implementado com rede RC, conforme (SCHAUMANN, 2001).	67
Figura 32. Simulação da variação da frequência de corte com a variação de R4.	68
Figura 33. Filtro biquad de Tow-Thomas implementado com MOSFET-C, conforme (SCHAUMANN, 2001).	69
Figura 34. Simulação da variação da frequência de corte com a variação do <i>offset</i> do sinal de entrada.	70
Figura 35. Filtro biquad de Tow-Thomas implementado com capacitor chaveado, conforme (SEBRA, 1991).	70
Figura 36. (a) Símbolo para o transcondutor diferencial conforme (SCHAUMANN, 2001) e (b) transcondutor diferencial de Nauta, conforme (ANDREANI, 2002).	75
Figura 37. Filtro de segunda ordem Gm-C, conforme (SCHAUMANN, 2001).	76
Figura 38. Simulação de (a) variação do ganho do filtro Gm-C com a variação gm_1 , (b) variação do fator de qualidade com variação de gm_2 e (c) variação da frequência de corte com a variação de gm_3 e gm_4	77
Figura 39. Estrutura do mixer, filtro passa-faixa e aplicação, usando FPAA da Lattice.	81
Figura 40. Seqüência para filtragem utilizando FPAA da Lattice.	82
Figura 41. Medidas mostrando (a) FFT do sinal de entrada (10KHz+30KHz); (b) FFT do sinal mixado; (c) FFT do sinal filtrado pelo passa-faixa em 40KHz; (d) FFT do sinal filtrado pelo passa-baixa em 55,65KHz e (e) sinal filtrado no domínio tempo.	83
Figura 42. Seqüência para a soma de dois sinais em alta frequência usando o ispPAC20.	84
Figura 43. Medidas mostrando (a) FFTs dos sinais de entrada em 5MHz e 70KHz; (b) FFT do sinal em 5MHz mixado para 60KHz; (c) FFT do sinal em 60KHz após o filtro passa-faixa; (d) FFT da soma dos sinais em 60KHz e 70KHz e (e) sinal de saída no domínio tempo.	85
Figura 44. Esquema de demodulação AM.	86
Figura 45. Medidas mostrando (a) sinal de entrada modulado em amplitude; (b) sinal mixado; (c) sinal de saída demodulado.	87
Figura 46. Estrutura para leitura de sensor em uma ponte de Wheatstone.	88
Figura 47. Medida dos sinais diferenciais de saída do FPAA e subtração entre estes sinais.	89
Figura 48. Medida mostrando o espectro de frequência de uma das saídas do FPAA.	89
Figura 49. Aquisição prática mostrando a variação da tensão diferencial de saída <i>versus</i> variação da resistência do sensor.	90
Figura 50. Montagem usada para os experimentos práticos.	92
Figura 51. Montagem da ponte de Wheatstone juntamente com o AN221E04.	92
Figura 52. Comparação entre as faixas de frequência de operação dos FPAA's propostos.	93
Figura 53. (a) Estrutura matricial do FPAA proposto e (b) estrutura interna do CAB.	94
Figura 54. Simulação da resposta em frequência para o mixer utilizado na interface.	97
Figura 55. Filtro Tow-Thomas usando os CABs propostos.	99
Figura 56. Estrutura interna do ispPAC10.	127
Figura 57. Estrutura interna do ispPAC80.	128
Figura 58. Estrutura interna do ispPAC20.	128
Figura 59. Estrutura interna do AN10E40.	129

Figura 60. Estrutura interna do AN221E04.	129
Figura 61. Simulação do Diagrama de Bode para passa-faixa usando ispPAC10.	131
Figura 62. Simulação do Diagrama de Bode para passa-baixa usando ispPAC80.	132
Figura 63. Simulação do Diagrama de Bode para somador usando ispPAC20.	132
Figura 64. Simulação da Demodulação AM de sinal usando AN10E40.	133
Figura 65. Simulação da Ponte de Wheatstone usando AN221E04.	133
Figura 66. Simulação do Diagrama de Bode para passa-baixa usando CABs descritos no apêndice B para FPAA com banda entre (a) DC-500KHz e (b) 200KHz-700KHz. 135	135
Figura 67. Simulação do Diagrama de Bode para passa-alta usando CABs descritos no apêndice B para FPAA com banda entre (a) DC-500KHz e (b) 200KHz-700KHz. 135	135
Figura 68. Simulação do Diagrama de Bode para amplificador usando CABs descritos no apêndice B para FPAA com banda entre (a) DC-500KHz e (b) 200KHz-700KHz. 136	136
Figura 69. Simulação do integrador usando CABs descritos no apêndice B para FPAA com banda entre (a) DC-500KHz e (b) 200KHz-700KHz.	136
Figura 70. Simulação do diferenciador usando CABs descritos no apêndice B para FPAA com banda entre (a) DC-500KHz e (b) 200KHz-700KHz.	137
Figura 71. Simulação do Diagrama de Bode do opamp utilizado nos circuitos, descrito no apêndice B, com uma carga de 100K Ω e 5pF.	137
Figura 72. Simulação do Diagrama de Bode do carregador de corrente utilizado nos circuitos, descrito no apêndice B, com uma carga de 100K Ω e 5pF.	138
Figura 73. Simulação do Diagrama de Bode para o transcondutor de Nauta utilizado nos circuitos, descrito no apêndice B, com uma carga de 100K Ω e 5pF.	138

LISTA DE TABELAS

Tabela 1. Valores de C para diferentes frequências de corte do filtro da figura 2(a).....	29
Tabela 2. Valores de C_{ox} e μ para o transistor P e N.	55
Tabela 3. Valores de capacitâncias parasitas estimadas através das curvas de descarga do circuito RC, para RF em (120+130)KHz e LO em 100KHz.	61
Tabela 4. Valores de capacitâncias parasitas calculados analiticamente.....	64
Tabela 5. Comparação entre técnicas utilizadas para realização do biquad de Tow-Thomas.	72
Tabela 6. Constituição dos filtros Tow-Thomas para estimativas de área, potência e impedância de entrada *.	73
Tabela 7. Valores medidos e calculados para variação da tensão e da resistência.....	90
Tabela 8. Configuração das chaves do CAB para realização de diferentes funções.....	95
Tabela 9. Valores de resistores e capacitores dos FPAA's propostos para comparação.	96
Tabela 10. Área ocupada pelos FPAA's propostos.	98
Tabela 11. Consumo do CAB conforme função implementada*.....	100
Tabela 12. Consumo do mixer com a variação da frequência de chaveamento.....	101

LISTA DE ABREVIATURAS

ADC: Analog to Digital Converter

AM: Amplitude Modulation

BJT: Bipolar Junction Transistor

CAB: Configurable Analog Block

CMOS: Complementary Metal Oxide Semiconductor

CMRR: Common Mode Rejection Rate

DAC: Digital to Analog Converter

DC: Direct Current

FFT: Fast Fourier Transformer

FM: Frequency Modulation

FPAA: Field Programmable Analog Array

FPGA: Field Programmable Gate Array

FPMA: Field Programmable Mixed-Signal Array

GIC: General Impedance Converter

HD3: Third Order Harmonic Distortion

IF: Intermediate Frequency

IIP3: Input Third Order Intercept Point

IM3: Third Order Intermodulation Product

IP: Intellectual Property

LNA: Low Noise Amplifier

LO: Local Oscillator

MEMS: Micro Electro-Mechanical System

MOS: Metal Oxide Semiconductor

MOSFET: Metal Oxide Semiconductor Field Effect Transistor

NF: Noise Figure

NMOS: N-type MOS

OIP3: Output Third Order Intercept Point

OPAMP: Operational Amplifier

OTA: Operational Transconductance Amplifier

PLL: Phase Locked Loop

PMOS: P-type MOS

PSRR: Power Supply Rejection Rate

RF: Radio Frequency

SAB: Single Amplifier Biquadratic

SNR: Signal to Noise Rate

SoC: System on Chip

VLSI: Very Large Scale Integrated

1 INTRODUÇÃO

A rápida evolução das tecnologias em silício tem trazido benefícios exponenciais em custo, escala de integração, potência, tamanho e velocidade. Espera-se que este processo de evolução continue pelo menos mais 10 anos, aumentando dramaticamente o potencial de mercado (ITRS, 2002). Entretanto, a capacidade de penetração neste mercado irá depender da capacidade de criação e eficiência com a qual as idéias se tornam produtos reais.

O projeto em silício não tem mantido o compasso com o desenvolvimento de tecnologias, embora gradativos melhoramentos na produtividade dos projetistas tenham ocorrido através dos anos. Este paradoxo pode ser visto na figura 1, retirada de (ERNST, 2000) onde se percebe a lacuna existente entre a capacidade de produção e a capacidade de integração de componentes em sistemas.

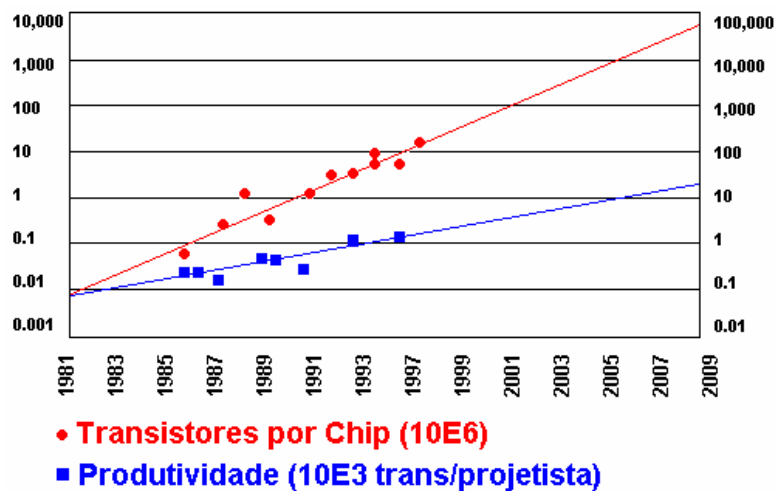


Figura 1. Relação produtividade e projeto, conforme (ERNST, 2000).

Recentemente, muitas formas de aumentar a velocidade do processo de projeto têm surgido, dentre as quais citam-se o re-uso de Propriedade Intelectual (do inglês *Intellectual Property* – IP) (SAVAGE, 2000), Redes em Chip (*Networks-on-Chip* – NoCs) (BENINI, 2002) e aumento do uso de reconfigurabilidade (LEWIS, 2002; GREENBAUM, 2002).

A reconfigurabilidade, em especial, é um ponto de interesse que vem crescendo, na medida que permite, simplesmente através da alteração de uma especificação de entrada, a programação de novas funções de hardware. A reprogramação do hardware permite, por sua vez, uma redução significativa dos custos de projeto, visto que o projeto da parte reconfigurável é amortizado entre vários produtos. A mesma redução de custos que a indústria de software conseguiu no desenvolvimento de sistemas (frente àqueles baseados puramente em hardware) está sendo buscada pelos projetistas que usam hardware reconfigurável digital e analógico.

Os chamados *System on Chip* (SoC) (ERNST, 2000; GUPTA, 1997), são uma grande tendência na evolução dos sistemas eletrônicos, possibilitando a inclusão de todo um sistema em uma única pastilha de silício. Ainda, este sistema pode conter partes mecânicas servindo como sensores ou atuadores, como é o caso dos MEMS (*Micro Electro-Mechanical System*) (LATORRE, 1998). A figura 2 mostra uma possível estrutura do que poderia ser um dispositivo SoC, para o qual uma das tendências possíveis é se tornar uma estrutura completamente reconfigurável.

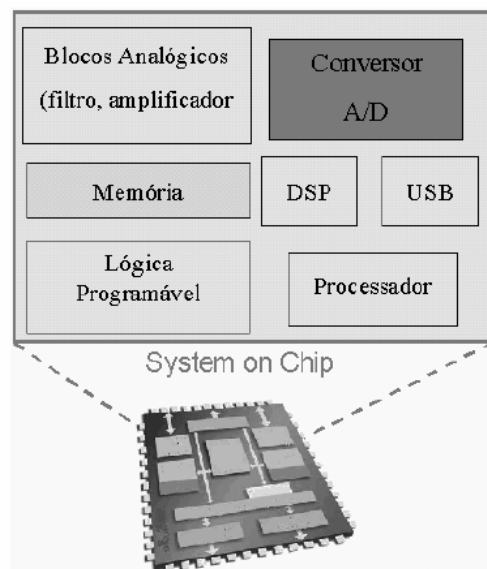


Figura 2. Possível estrutura de um *System on Chip*.

A reconfigurabilidade digital é garantida pelos FPGAs (*Field Programmable Gate Arrays*) (TRIMBERGER, 1994), cuja complexidade e nível de integração estão cada vez maiores, seguindo a já conhecida lei de Moore.

Entretanto, por maior que seja o processamento digital existente, sempre que for necessária a comunicação deste sistema com outros sistemas, por exemplo via RF, a aquisição de medidas físicas provenientes do meio externo (temperatura, voz, aceleração) ou qualquer outra forma que relacione grandezas analógicas, se fará necessária a existência de um bloco analógico, o qual também se deseja reconfigurável, possibilitando sua rápida e fácil adaptação a qualquer sistema analógico, tais quais são os FPGAs em relação aos sistemas digitais.

Os chamados FPAA (*Field Programmable Analog Arrays*) (D'MELLO, 1998) vêm ao encontro desta necessidade de reconfiguração analógica, antes restrita apenas aos projetistas de sistemas digitais. Porém, a reconfigurabilidade analógica apresenta ainda algumas barreiras a serem transpostas, dentre elas, o limitado alcance de frequências disponível nos dispositivos comerciais e mesmo acadêmicos atualmente existentes. Algumas das soluções apresentadas incorrem, ora no elevado gasto de potência dissipada devido ao processamento digital dos sinais (FABRIS, 2003a, 2003b), ora na reduzida programabilidade oferecida (PIERZCHALA, 1998a, 1998b), já que o uso de chaves para reconfiguração e programação deve ser limitado.

Uma proposta para lidar tanto com o problema das limitações em frequência e da potência dissipada será apresentada neste trabalho, discutindo os aspectos relacionados às limitações do sistema e implementação deste. Esta dissertação está assim organizada: o capítulo II apresenta uma breve revisão bibliográfica a respeito de alguns dos principais FPAAs descritos na literatura, sejam eles desenvolvidos em âmbito acadêmico ou comercial. No capítulo III, faz-se uma caracterização de quatro tipos de FPAAs desenvolvidos, sendo que três representam 60% da totalidade dos FPAAs desenvolvidos até então. A quarta

topologia analisada é a apresentada em (FABRIS, 2003a), a partir da qual se originou a idéia apresentada neste trabalho. O capítulo IV apresenta o desenvolvimento da proposta apresentada nesta dissertação, seguido por algumas aplicações desenvolvidas, que estão apresentadas no capítulo V e que dão suporte à proposta apresentada. O capítulo VI apresenta uma análise onde se compara o gasto de potência, área ocupada e faixa de frequência de operação entre dois FPAA's estruturalmente idênticos, porém com bandas de frequências deslocadas entre si, mostrando que o uso da interface propicia além do aumento da faixa de frequência de operação em quase 3 décadas, também uma redução da área ocupada pelo circuito analógico (cerca de 8 vezes menor), sem incorrer em um consumo maior de potência (apenas 15% da potência total do FPAA). As conclusões são apresentadas no capítulo VII. Os apêndices A e B contém os parâmetros SPICE e as descrições SPICE, respectivamente, utilizadas no desenvolvimento deste trabalho. O apêndice C apresenta alguns arquivos Matlab® utilizados e o apêndice D contém uma descrição das estruturas internas dos FPAA's comerciais utilizados para o desenvolvimento das aplicações, cujas simulações encontram-se no apêndice E. Finalmente, o apêndice F mostra as simulações dos circuitos utilizados neste trabalho.

2 O CONTEXTO DOS FPAAS

Algumas das idéias básicas sobre reconfigurabilidade foram estabelecidas durante os anos 60 e 70, mas estas não foram muito difundidas até o aperfeiçoamento dos FPGAs, onde plataformas reconfiguráveis provaram ser uma alternativa prática para sistemas digitais (RINCON, 1998). A programabilidade analógica, por sua vez, deu seus primeiros passos com o surgimento de alguns componentes programáveis tais como filtros (BURR, 1998; NATIONAL, 2001), potenciômetros digitais (ANALOG, 1997; XICOR, 2003), amplificadores de ganho programável (ANALOG, 2003; BURR, 1993), entre outros (D'MELLO, 1998).

Em outubro de 1994, a IMP Inc. (San Jose, Califórnia) lançou a arquitetura do EPAC (*Electrically Programmable Analog Circuit*) (KLEIN, 1995, 1998), que daria origem em 1999 ao ispPAC10 (LATTICE, 2000a, 2000b; OHR, 1999). A Zetex Ltd. (Oldham, Inglaterra) lançou o TRAC (*Totally Reconfigurable Analog Circuit*) (ZETEX, 1999a, 1999b; CLARKE, 1996; FLOCKTON, 1998) em novembro de 1996. Também em 1996, A. Bratt e I. MacBeth descreveram em (BRATT, 1996, 1998a, 1998b) a estrutura do que viria a ser, em julho de 2000, o primeiro circuito analógico reconfigurável (IVIE, 2002; ANADIGM, 2002) da então Anadigm Microelectronics Ltda.

A seguir serão descritas as estruturas básicas propostas para diferentes FPAAs desenvolvidos em nível acadêmico e comercial, para que se tenha uma idéia do que se dispõe atualmente em termos de reconfigurabilidade analógica. Um estudo mais detalhado a respeito do estado da arte destes dispositivos pode ser encontrado em (SCHÜLER, 2003).

A figura 3 mostra a estrutura mais geral de um FPAA, formado por Células Analógicas Reconfiguráveis (CAB – *Configurable Analog Block*) e uma rede de interconexões.

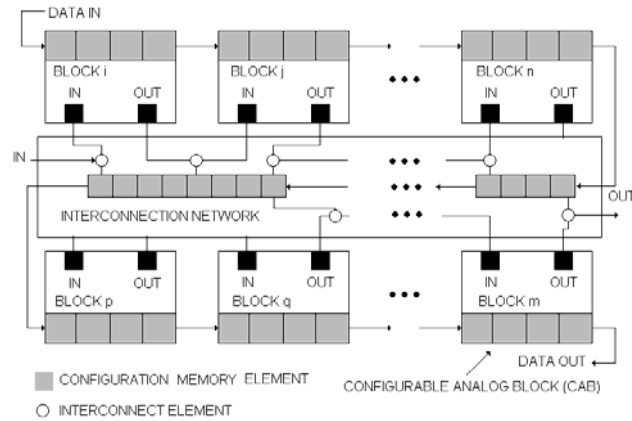


Figura 3. Estrutura de um FPAAs segundo (D'MELLO, 1998).

Tanto os CABs quanto a rede de interconexão possuem em suas estruturas um conjunto de chaves necessárias ou para a configuração de um CAB em diferentes funções analógicas, ou para a ligação entre diferentes CABs a fim de obter-se uma função mais complexa, como mostram as figuras 4(a) e 4(b).

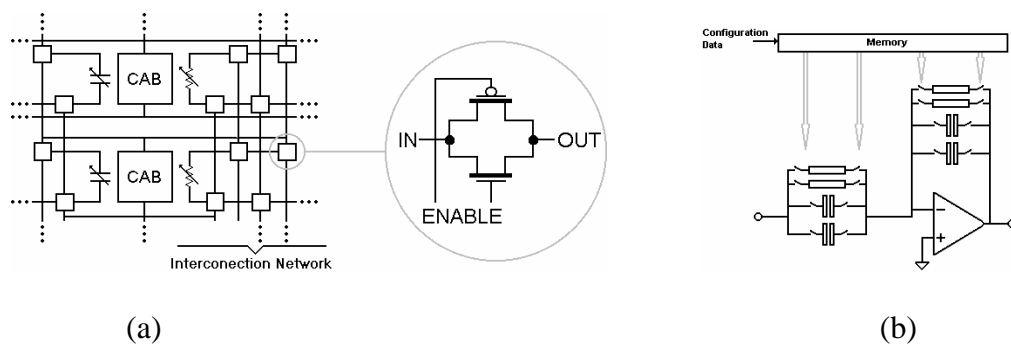


Figura 4. Estrutura interna para (a) rede de interconexão e (b) CAB, segundo (LEE, 1998).

A existência destas chaves, quando operando em alta frequência, e a necessidade de componentes passivos como resistores e capacitores de tamanhos elevados, quando operando em baixa frequência, torna o FPAAs um dispositivo altamente limitado em banda, uma vez que, em altas frequências, as chaves introduzirão pólos parasitas, e em baixas frequências, os componentes passivos tornarão o circuito irrealizável em processos VLSI, devido à grande área necessária.

A distribuição e funcionalidade dos CABs podem ser divididas em duas formas, como mostra a figura 5. No primeiro caso tem-se a estrutura clássica na qual, assim como nos FPGAs, existem diversos blocos reconfiguráveis idênticos. Para cada módulo é dado um certo número de funções programáveis e características, sendo que todas elas devem funcionar independentemente da maneira como as células são configuradas ou ligadas com outras células. A segunda topologia contém módulos que são otimizados para certas classes de aplicações, o que, apesar de não permitir o mesmo grau de reconfigurabilidade que a primeira estrutura, garante um projeto mais bem otimizado em relação a aspectos como frequência, consumo e linearidade para as aplicações às quais os FPAAs foram desenvolvidos.

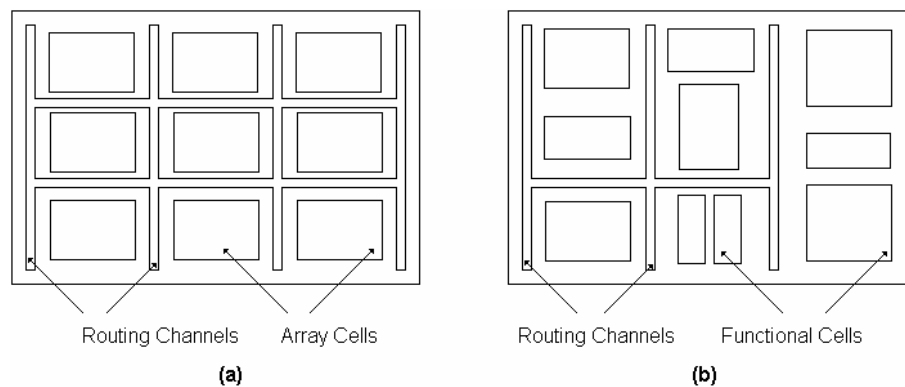


Figura 5. Comparação entre topologias de FPAAs, conforme (KLEIN, 1998).

Diferentes estruturas e tecnologias foram empregadas na realização de FPAAs, sempre buscando conciliar um alto grau de programabilidade com uma largura de banda relativamente grande. Pode-se dividir os FPAAs encontrados na literatura, de acordo com a forma de processamento do sinal em duas categorias: tempo contínuo e tempo discreto.

Os FPAAs operando em tempo contínuo têm como principais representantes, porém não únicos, aqueles cujos CABs são baseados em amplificadores operacionais (opamp) (ZETEX, 1999b) e/ou amplificadores de transcondutância (OTA) (LATTICE, 2000a), e aqueles cujos núcleos dos CABs são carregadores de corrente (GAUDET, 1999). Para os dois

casos, componentes passivos (resistores, capacitores, diodos) conectados em diferentes configurações por meio de chaves realizam diferentes funções analógicas. Já os FPAA's que processam o sinal em tempo discreto possuem dois representantes: os a capacitor chaveado, os quais também possuem um amplificador operacional como elemento central do CAB, e os a corrente chaveada, que não fazem uso de opamp.

2.1 AMPLIFICADOR OPERACIONAL E AMPLIFICADOR DE TRANSCONDUÇÃO

Os FPAA's baseados em amplificadores operacionais possuem, assim como os baseados em capacitor chaveado, uma limitação em banda imposta pelo próprio opamp (SEDRA, 1991). Além disso, um opamp sozinho não realiza função alguma, a não ser a de comparador. Assim, faz-se necessária a inclusão de componentes passivos e/ou ativos (resistores, capacitores, diodos, transistores) para a realização de funções mais complexas. Logo, o mesmo problema associado à área faz-se presente nesta estrutura, além da inserção de chaves que limitará tanto a frequência quanto a linearidade do dispositivo.

Como exemplos de FPAA's baseados em opamp apresentam-se os descritos em (LOOBY, 2000), e os dispositivos comerciais produzidos pela Lattice Semiconductor Corp. (ispPAC10/20/30/80/81 e ispPAC-POWR604/1208) e pela Zetex Ltd., denominado TRAC (*Totally Re-Configurable Analog Circuit*). Os representantes da Lattice possuem, além de amplificadores operacionais, amplificadores de transcondutância (SCHAUMANN, 2001).

2.2 CARREGADOR DE CORRENTE

O uso de carregadores de corrente (*current conveyor*) no desenvolvimento de FPAA's apresenta como grande vantagem a grande largura de banda obtível por estes dispositivos, que pode chegar facilmente a centenas de MHz (PREMONT, 1998; TOUMAZOU, 1990). Novamente, seu uso é limitado devido à necessidade da utilização de componentes passivos para a realização de alguma função analógica e de chaves associadas a estes componentes.

Além disso, o transporte de sinais de informação de corrente para diferentes pontos do circuito torna-se difícil, na medida que é necessário o uso de copiadores de correntes, o que não ocorre em circuitos usando sinais em tensão. Dentre os FPAA's com carregadores de corrente, citam-se os apresentados em (PREMONT, 1998) e (GAUDET, 1999).

2.3 CAPACITOR CHAVEADO

A tecnologia de capacitor chaveado favoreceu o desenvolvimento de filtros ativos para aplicações de precisão, especialmente em baixas frequências (SCHAUMANN, 2001). Entretanto, esta técnica depende de capacitores lineares, os quais ocupam uma grande área em sistemas integrados. Além disso, este tipo de realização de circuito tem sua operação em frequência limitada à frequência de Nyquist (LATHI, 1998) e, é claro, uma vez que sua utilização requer uma grande quantidade de chaves, estas também limitam sua resposta em altas frequências. Por outro lado, estruturas baseadas em capacitor chaveado possuem um alto grau de reconfigurabilidade e programabilidade, já que, por exemplo, a frequência de corte de um filtro qualquer pode ser alterada simplesmente através da variação da frequência de chaveamento, ou através da mudança da relação entre dois capacitores.

Alguns dos FPAA's baseados em capacitor chaveado são descritos em (LEE, 1998; KUTUK, 1998; KLEIN, 1998; BRATT, 1998b). Este último, denominado DPAD2, originou o FPAA atualmente desenvolvido pela Anadigm, o AN10E40 (ANADIGM, 2002), a qual desenvolve também os FPAA's da família AnadigmVortex (ANADIGM, 2003), todos a capacitor chaveado.

2.4 CORRENTE CHAVEADA

Uma técnica análoga ao capacitor chaveado é a de corrente chaveada. Este tipo de estrutura permite circuitos com um consumo de potência menor que os a capacitor chaveado, uma vez que utiliza corrente ao invés de tensão, permitindo a utilização de fontes de

alimentação de menor valor (TOUMAZOU, 1990). Outra vantagem é a não necessidade do uso de opamps, não havendo os problemas associados ao seu uso. Basicamente, dois problemas existem nesta topologia: há uma menor linearidade quando comparada ao capacitor chaveado, e é necessária a criação de várias cópias do sinal de corrente para alimentar múltiplos blocos com o mesmo sinal, o que não ocorre com o capacitor chaveado, que trabalha com tensão. Além disso, a largura de banda é limitada, mais uma vez, pela frequência de Nyquist. Um FPAA baseado em corrente chaveada é apresentado em (CHANG, 1996).

2.5 OUTRAS TOPOLOGIAS

Além das topologias apresentadas, outras foram utilizadas na realização de FPAAs, para a obtenção de melhores resultados em uma ou outra característica. Citam-se espelhos de corrente (ZHANG, 1996; EMBABI, 1998), CMOS operando na condição de *subthreshold* (LEE, 1991) e multiplexadores e demultiplexadores (SANTINI, 2002). Também estruturas mistas, que juntam o processamento digital e analógico de sinais, têm sido apresentadas para a realização de dispositivos reconfiguráveis, estes denominados FPMAs (*Field Programmable Mixed-Signal Array*), a exemplo de (FABRIS, 2003a, 2003b; CYPRESS, 2003; MADRENAS, 1999).

3 CARACTERIZAÇÃO DE FPAAS

Os diferentes FPAAs já desenvolvidos apresentam limitações cuja natureza necessita ser caracterizada. Algumas destas limitações são, entre outras, nível de programabilidade, granularidade, linearidade, potência consumida e limites de frequência. Quanto maior o nível de programabilidade, maior o número de funções analógicas que o FPAAs pode realizar. Este fator está intimamente relacionado com a granularidade, ou seja, podem-se ter dispositivos cujas funções elementares realizadas são, por exemplo, filtros, amplificadores e retificadores, bem como podem existir FPAAs que realizem como funções básicas aplicações mais complexas como PLLs, VCOs e moduladores. A granularidade é um fator importante, na medida que se deseja aplicações cuja resposta não introduza distorções no sinal a ser processado. Para sistemas embarcados, uma das principais características que se deseja é o baixo consumo de potência, associado aos limites de frequência de utilização, os quais deseja-se que sejam elevados em alta frequência e dos menores possíveis em baixa frequência, permitindo aplicações desde DC (pontes de instrumentação, por exemplo) até RF, utilizado em telecomunicações.

Neste capítulo serão apresentadas algumas simulações envolvendo três diferentes técnicas de implementação de FPAAs, a fim de demonstrar algumas das limitações citadas. Além disso, é também abordada a proposta apresentada em (FABRIS, 2003a, 2003b), mostrando algumas de suas características. As técnicas escolhidas para simulação dos FPAAs são capacitor chaveado, amplificador operacional e/ou amplificadores de transcondutância com elementos passivos, e carregador de corrente com elementos passivos, uma vez que estas três possibilitam a caracterização de 60% dos FPAAs acadêmicos encontrados na literatura (SCHÜLER, 2003). Além disso, as técnicas de capacitor chaveado e opamp/OTA associados a elementos passivos representam a totalidade dos dispositivos analógicos e mistos desenvolvidos comercialmente, na atualidade. Capacitores chaveados são utilizados tanto nos

FPAAs desenvolvidos pela Anadigm (AN10E40 e família AnadigmVortex) quanto nos FPMAAs desenvolvidos pela Cypress (família CY8C2xxxx), enquanto que o uso de amplificador operacional ou OTA e elementos passivos representa os FPAAs fabricados pela Lattice (ispPAC10/20/30/80/81 e ispPAC-POWR604/1208) e Zetex (TRAC), além de um dos blocos do FPMA da Cypress.

Os circuitos, todos derivados de FPAAs existentes, foram simulados em tecnologia CMOS 0,35 μ m. As descrições SPICE dos circuitos bem como os parâmetros dos transistores utilizados encontram-se no Apêndice A e B. O software utilizado nas simulações dos FPAAs é o simulador de circuitos Smash, versão 5.2.1p1.

3.1 AMPLIFICADOR OPERACIONAL E COMPONENTES PASSIVOS

A realização de funções analógicas utilizando-se amplificadores operacionais ou amplificadores de transcondutância e elementos passivos, principalmente resistores e capacitores, já é bastante conhecida e difundida. Esta técnica permite facilmente a realização de funções básicas como amplificadores, integradores e somadores, com os quais desenvolvem-se funções mais complexas como filtros, osciladores, PLL (*Phase Locked Loop*), moduladores e mesmo conversores analógico-digitais.

Como exemplo de uma aplicação utilizando um amplificador operacional e alguns elementos passivos, apresenta-se um filtro biquadrático semelhante ao realizado pelo ispPAC10 da Lattice o qual utiliza capacitores e OTA. O circuito está mostrado na figura 6(a), e seu equivalente realizado pelo ispPAC10 na figura 6(b).

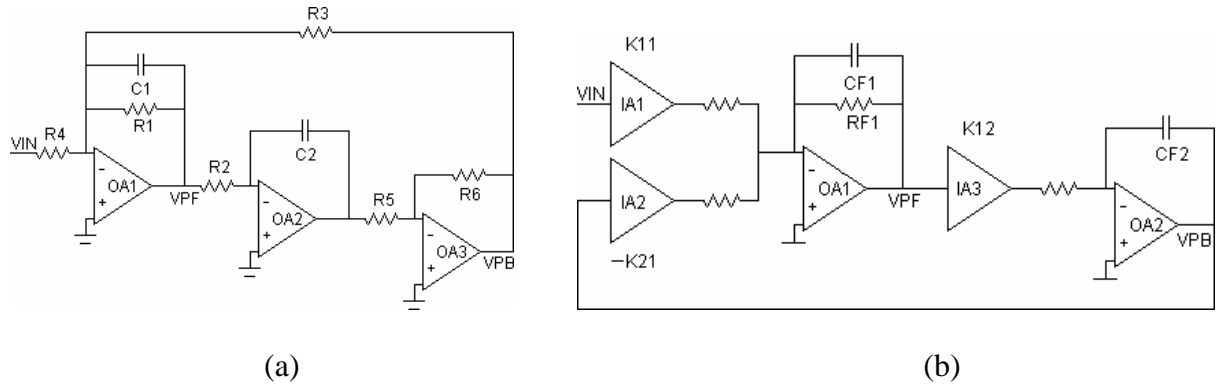


Figura 6. (a) Filtro biquadrático com amplificador operacional e componentes passivo; (b) equivalente realizado pelo ispPAC10, conforme (LATTICE, 2000a).

As funções de transferência para as saídas passa-faixa e passa-baixa dos circuitos das figuras 6(a) e 6(b) são dadas em (1), (2), (3) e (4), respectivamente, retiradas de (LATTICE, 2000a):

$$\frac{V_{PF}}{V_{IN}} = \frac{-\frac{s}{C_1 R_4}}{s^2 + \frac{s}{C_1 R_1} + \frac{R_6}{C_1 C_2 R_2 R_3 R_5}} \quad (\text{Passa-Faixa}) \quad (1)$$

$$\frac{V_{PB}}{V_{IN}} = \frac{-\frac{R_6}{C_1 C_2 R_2 R_4 R_5}}{s^2 + \frac{s}{C_1 R_1} + \frac{R_6}{C_1 C_2 R_2 R_3 R_5}} \quad (\text{Passa-Baixa}) \quad (2)$$

$$\frac{V_{PF}}{V_{IN}} = \frac{-\frac{K_{11} s}{C_{F1} \cdot 250k}}{s^2 + \frac{s}{C_{F1} \cdot 250k} - \frac{K_{12} K_{21}}{(C_{F1} \cdot 250k)(C_{F2} \cdot 250k)}} \quad (\text{Passa-Faixa}) \quad (3)$$

$$\frac{V_{PB}}{V_{IN}} = \frac{\frac{K_{11} K_{12}}{(C_{F1} \cdot 250k)(C_{F2} \cdot 250k)}}{s^2 + \frac{s}{C_{F1} \cdot 250k} - \frac{K_{12} K_{21}}{(C_{F1} \cdot 250k)(C_{F2} \cdot 250k)}} \quad (\text{Passa-Baixa}) \quad (4)$$

A figura 7 mostra o diagrama de Bode das saídas passa-faixa e passa-baixa do filtro apresentado.

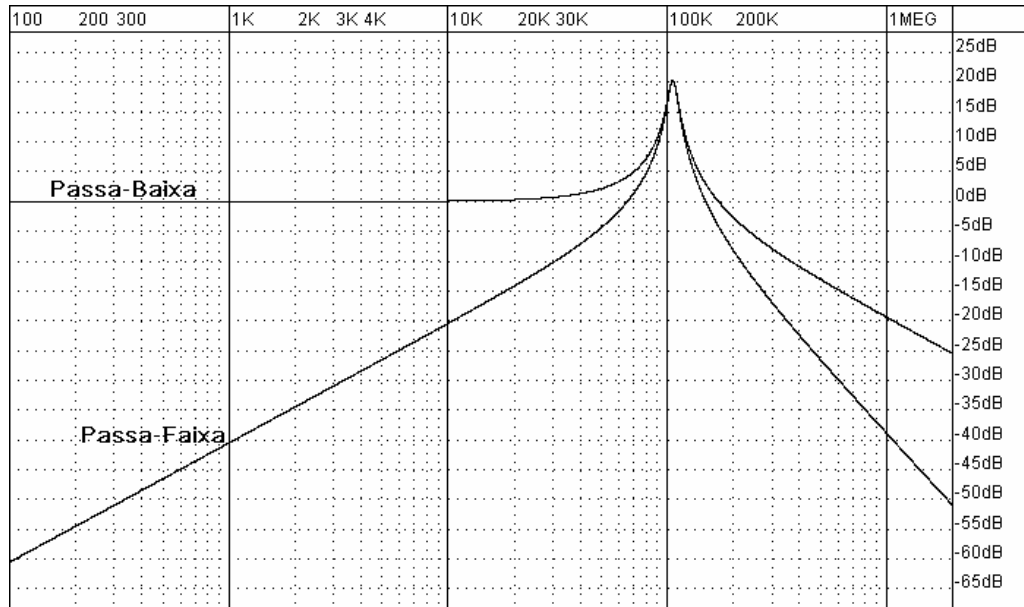


Figura 7. Diagrama de Bode simulado para o filtro a amplificador operacional e elementos passivos apresentado na figura 6(a).

Diversos fatores envolvendo amplificadores operacionais limitam seu uso em FPAA's. Levando-se em conta apenas o amplificador operacional, dois tipos de limitações podem ocorrer: as limitações estáticas, dentre as quais citam-se tensão e corrente de *off-set*, CMRR e PSRR, e as limitações dinâmicas como largura de banda limitada, que em geral não ultrapassa algumas dezenas de MHz (produto ganho faixa), *slew rate* e *setting time*, que fazem com que o FPAA se limite a aplicações de baixa a média frequência, além de causar distorções não lineares no sinal (SEDRA, 1991).

Além dos problemas relacionados com o amplificador operacional em si, outros problemas surgem na medida que, para a realização de funções analógicas, faz-se necessária a associação do opamp com elementos passivos tais como resistores, capacitores e diodos, o que torna a área uma limitação importante destes componentes, quando utilizados em

circuitos integrados. Para exemplificar este fato, a tabela 1 apresenta alguns valores de capacitores que seriam necessários para a implementação do filtro da figura 6(a), considerando-se $C_1=C_2=C$, para diferentes frequências de corte deste filtro. Os valores de R são fixos em 250k ohm. Esse valor é o mesmo das resistências equivalentes dos CABs do ispPAC10 (LATTICE, 2000a). Comparativamente, é mostrada área ocupada por um amplificador operacional nesta mesma tecnologia.

Tabela 1. Valores de C para diferentes frequências de corte do filtro da figura 2(a).

Frequência de corte (KHz)	Valor do capacitor (pF)	Área do capacitor (μm)*
0.01	60000	7947,19 x 7947,19
0.1	6000	2513,12 x 2513,12
1	600	794,72 x 794,72
10	60	251,31 x 251,31
100	6	79,47 x 79,47
1000	0.6	25,13 x 25,13
Amplificador Operacional	**0,443	50,7 x 50,7

* Considerando uma capacitância por área de $950 \text{ aF}/\mu\text{m}^2$ entre poly/poly, retirado de (MOSIS, 2004).

** Valor do capacitor de compensação, cuja área ocupada é de $21,6\mu\text{m} \times 21,6\mu\text{m}$.

Pelos dados da tabela 1, a área ocupada pelos capacitores torna-se bastante elevada conforme a frequência de corte do filtro diminui, tornando a utilização destes circuitos bastante difícil em circuitos integrados, para aplicações em baixa frequência.

3.2 CAPACITOR CHAVEADO

Para caracterização de um FPAA operando a capacitor chaveado foi utilizado o amplificador inversor representado na figura 8(a). Este amplificador possui uma estrutura semelhante ao realizado pelo AN10E40 da Anadigm através do módulo G01 (ANADIGM, 2002).

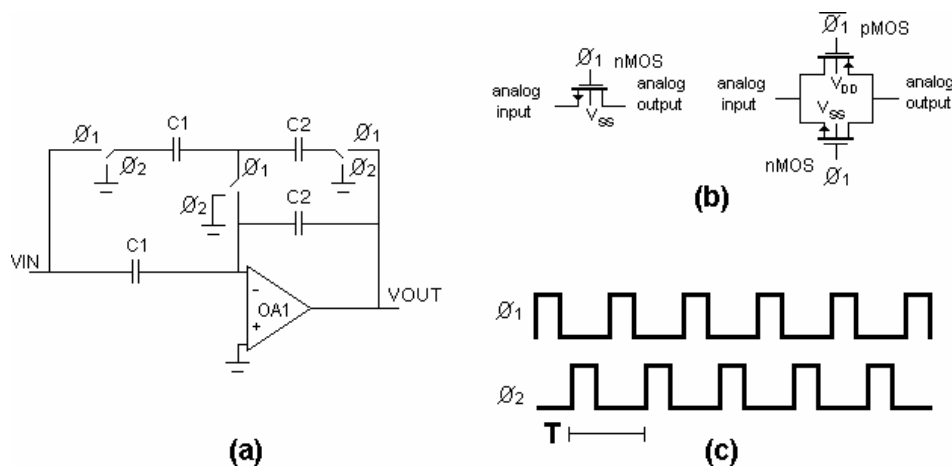


Figura 8. (a) Amplificador inversor a capacitor chaveado conforme (ANADIGM, 2002); (b) chaves analógicas e portas de transmissão; (c) sinais de controle das chaves.

Circuitos a capacitor chaveado são constituídos por capacitores, chaves analógicas ou portas de transmissão (*transmission gates*) (figura 8(b)) e amplificadores operacionais. As chaves abrem e fecham periodicamente sob controle de sinais de onda quadrada, ortogonais entre si e não sobrepostas, cada um com período T , de acordo com a figura 8(c) (LAKER, 1994). Este comportamento das chaves associadas aos seus respectivos capacitores torna o sistema chave-capacitor o equivalente a um resistor cujo valor é dado por:

$$Re q = \frac{T}{C} \quad (5)$$

A função de transferência do amplificador da figura 8 é dada por (retirada de ANADIGM, 2002):

$$G = -\frac{C_1}{C_2} \quad (6)$$

A figura 9 mostra uma simulação para o amplificador apresentado, onde se percebem claramente o efeito de chaveamento dos capacitores.

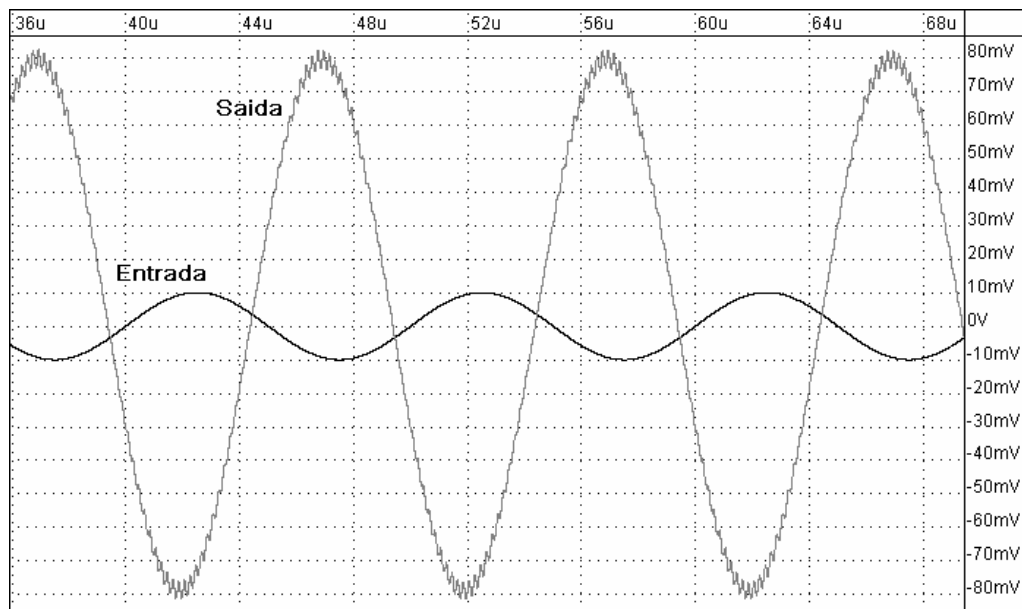


Figura 9. Simulação do amplificador a capacitor chaveado apresentado na figura 8(a).

O filtro ativo utilizando redes RC como o descrito na seção 3.1 apresenta duas propriedades que tornam sua produção em circuitos integrados monolíticos difícil: a primeira, já mencionada, é o fato de necessitar valores de capacitores elevados; a segunda é a necessidade de constantes de tempo RC com um alto grau de precisão, caso contrário as frequências de corte fatalmente serão diferentes daquelas projetadas (SEDRA, 1991).

Em circuitos a capacitor chaveado, pode-se mostrar (SEDRA, 1991; LAKER, 1994) que a constante de tempo RC, para um integrador por exemplo, é dada pela razão entre dois capacitores multiplicada pelo período de chaveamento destes capacitores. Estes parâmetros podem ser bem controlados em circuitos integrados, sobretudo a razão entre dois capacitores, que em tecnologia MOS pode ter uma precisão de até 0.1% (SEDRA, 1991).

Além de permitir constantes de tempo de valores precisos, a fácil programabilidade é outra característica de circuitos a capacitor chaveado, uma vez que os valores da resistência equivalente podem ser variados simplesmente através do controle da frequência de chaveamento. Assim sendo, esta técnica de implementação de circuitos apresenta-se como uma boa solução para a realização de FPAAs.

Por outro lado, a necessidade de capacitores lineares torna estes circuitos também limitados em área. Outra limitação, não menos importante, diz respeito à frequência máxima devido a três fatores, principalmente: a necessidade de chaves de programação, assim como na maioria dos FPAAs, a limitação dos amplificadores operacionais em *slew rate* e a limitação devido à frequência de chaveamento dos capacitores. Levando-se em conta a taxa de amostragem de Nyquist (LATHI, 1998), a máxima frequência de sinal que pode ser processado pelo circuito é menor que a metade da frequência de chaveamento dos capacitores.

3.3 CARREGADOR DE CORRENTE

Os carregadores de corrente, ao contrário dos amplificadores operacionais, possuem uma largura de banda que pode atingir facilmente algumas centenas de MHz (TOUMAZOU, 1990), com um ganho praticamente constante. Estes dispositivos possuem, em geral, três terminais, e sua operação pode ser resumida da seguinte forma: se uma tensão é aplicada ao terminal de entrada Y, uma tensão igual aparecerá no terminal de entrada X. Similarmente, se uma corrente é forçada no terminal de entrada X, uma corrente igual irá fluir pelos terminais

Y e Z (PREMONT, 1998). Quando associados a elementos passivos, os carregadores de corrente podem realizar diversas funções analógicas, como por exemplo, integrador de corrente, amplificador de corrente, diferenciador de corrente, somadores de corrente e fontes controladas (TOUMAZOU, 1990).

Um exemplo de aplicação de carregadores de corrente na realização de FPAA's pode ser vista na figura 10(a), onde um filtro de segunda ordem semelhante ao descrito em (PREMONT, 1998) é mostrado. A figura 10(b) mostra como é realizado o carregador de corrente.

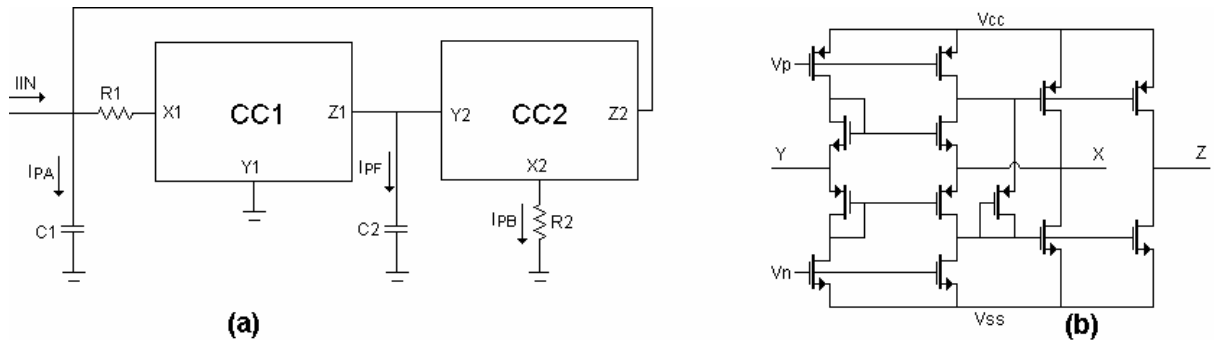


Figura 10. (a) Filtro de segunda ordem com carregador de corrente, conforme (PREMONT, 1998) e (b) carregador de corrente utilizado.

As funções de transferência para as saídas passa-alta, passa-faixa e passa-baixa do filtro com carregador de corrente mostrado na figura 10 são dadas por (7), (8) e (9), retiradas de (PREMONT, 1998):

$$\frac{I_{PA}}{I_{IN}} = \frac{s^2}{s^2 + \frac{s}{R_1 C_1} + \frac{1}{R_1 R_2 C_1 C_2}} \quad (\text{Passa-Alta}) \quad (7)$$

$$\frac{I_{PF}}{I_{IN}} = \frac{\frac{s}{R_1 C_1}}{s^2 + \frac{s}{R_1 C_1} + \frac{1}{R_1 R_2 C_1 C_2}} \quad (\text{Passa-Faixa}) \quad (8)$$

$$\frac{I_{PB}}{I_{IN}} = \frac{1}{R_1 R_2 C_1 C_2}{s^2 + \frac{s}{R_1 C_1} + \frac{1}{R_1 R_2 C_1 C_2}} \quad (\text{Passa-Baixa}) \quad (9)$$

A figura 11 mostra o diagrama de Bode das saídas passa-faixa, passa-baixa e passa-alta do filtro apresentado.

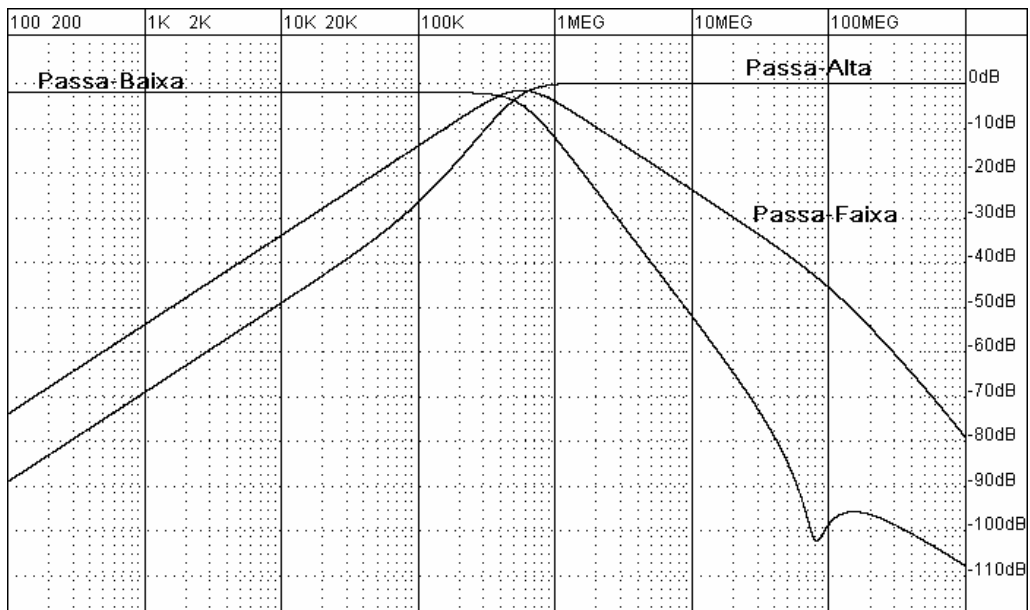


Figura 11. Diagrama de Bode simulado para o filtro a carregador de corrente apresentado na figura 4.

O primeiro problema que surge ao se trabalhar com carregadores de corrente é justamente o fato de se ter de fazer operações utilizando-se sinais de corrente ao invés de tensão. Com isso, em circuitos mais complexos onde há a necessidade de inserção de um mesmo sinal em diferentes pontos, faz-se necessária a inserção de mais condutores, o que não

ocorre em sistemas que trabalham com tensão, onde apenas um barramento simples distribui o mesmo sinal por vários pontos (TOUMAZOU, 1990).

Novamente, assim como para os circuitos utilizando amplificadores operacionais, é necessária a utilização de componentes passivos juntamente com os carregadores de corrente para a realização de operações analógicas. Surge então o mesmo problema de área, principalmente quando se está operando em baixas frequências.

3.4 SOLUÇÃO MISTA

Recentemente, foi apresentado em (FABRIS, 2003a, 2003b, 2004), uma arquitetura que explora a topologia sigma-delta (CANDY, 1992; NORSWORTHY, 1997) para a conversão de sinais analógicos em digitais. O sistema, cuja estrutura e funcionamento são mostrados nas figuras 12(a) e 12(b), é constituído por um mixer passivo, responsável pela translação do sinal de entrada para uma frequência intermediária (IF) fixa. Após, este sinal é convertido para o domínio digital através de um conversor sigma-delta passa-banda de tempo contínuo centrado em IF.

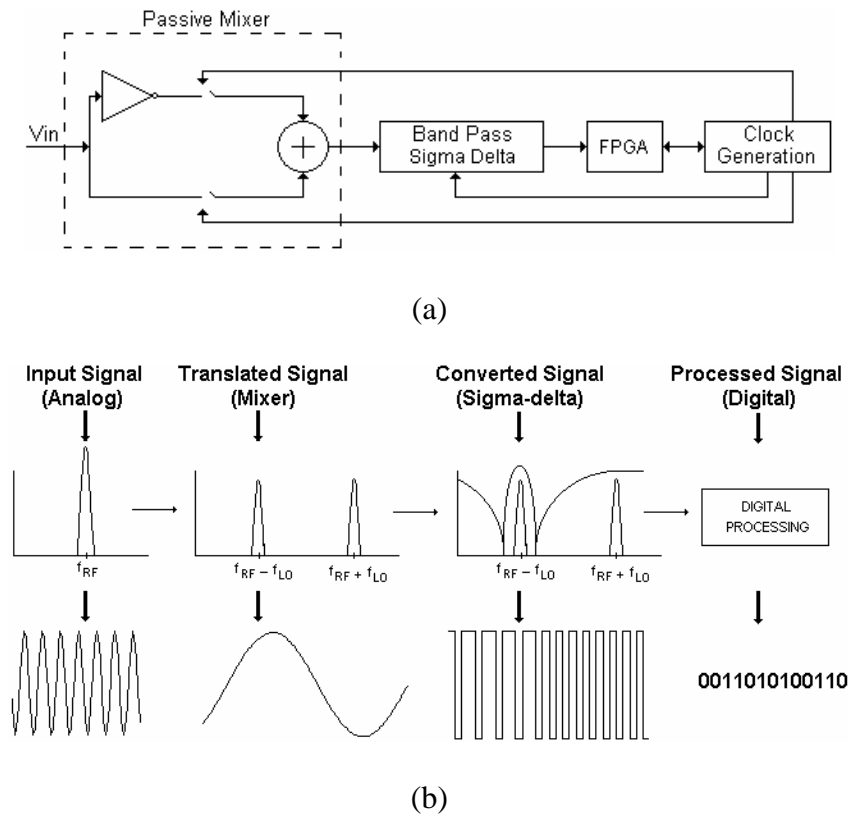


Figura 12. (a) Estrutura e (b) funcionamento do FPMA com conversor $\Sigma\Delta$.

O sinal é então processado por um FPGA (ou outro dispositivo de processamento digital, como um microprocessador). Este sistema, porém, apresenta como característica limitante a alta potência dissipada devido ao processamento digital realizado no sinal, uma vez que a única função da parte analógica é a translação e conversão analógico-digital do sinal a ser processado. Todo o resto do processamento, inclusive a demodulação do *bitstream* gerado pelo sigma-delta para a banda base, é feita digitalmente.

Circuitos analógicos em geral operam numa banda que vai desde DC em seu limite inferior até alguns poucos KHz no seu limite superior, ou numa banda de alguns poucos KHz no limite inferior da banda até alguns poucos MHz no limite superior da banda. Como visto anteriormente, a utilização de FPAAs fica limitada a algumas aplicações devido a este limite em sua largura de banda, imposto em baixa frequência pela necessidade de elementos passivos de tamanho elevado. Em alta frequência, basicamente três fatores contribuem para o

não funcionamento dos FPAAs: a existência de chaves de interconexão e programação, a necessidade da interconexão entre células distantes uma das outras, ocasionando problemas de *cross-talk* e erro de fase (PIERZCHALA, 1998a, 1998b), e a utilização de elementos centrais das células programáveis que são limitados em frequência como, por exemplo, os amplificadores operacionais.

O desenvolvimento de FPAAs que operem em baixas frequências pode ser contornado através da utilização, por exemplo, da técnica de capacitor chaveado, o que permite a realização de resistores de valor elevado ($0.1 \text{ M}\Omega$ para um capacitor de 100p e uma frequência de chaveamento de 100KHz (LAKER, 1994)). Para o caso da limitação em altas frequências, a utilização de carregadores de corrente, por exemplo, pode aumentar a banda de cada CAB. Já o efeito das chaves de interconexão pode ser reduzido através da limitação das interconexões possíveis entre as células (PIERZCHALA, 1998a), o que, por outro lado, leva a uma redução da flexibilidade do FPAA, reduzindo-se o número de funções analógicas realizáveis.

Assim sendo, um FPAA que mantenha as características de alta programabilidade ao mesmo tempo em que permite o processamento de sinais tanto em frequências baixas quanto em frequências altas, ainda é um ponto de interesse a ser pesquisado e desenvolvido.

4 PROPOSTA DE INTERFACE PARA AUMENTO DA FAIXA DE FREQUÊNCIA DE OPERAÇÃO DE FPAAS

Similarmente a (FABRIS, 2003a, 2003b, 2004), a proposta deste trabalho tem como objetivo não a mudança na estrutura do FPAA, seja na sua rede de interconexão, seja nos componentes que este usa como base para os CABs ou mesmo no tipo de processamento que ele desenvolve (tempo contínuo ou discreto). Ao contrário, o que se propõe é mudança do sinal a ser processado, permitindo a ampliação da gama de frequências de sinais processados pelo FPAA, além de permitir o desenvolvimento destes dispositivos com o grau de programabilidade que se deseja, otimizados para trabalhar numa gama de frequências que melhor se adapte à tecnologia e estrutura utilizadas.

Para tanto, é proposta a utilização de uma interface constituída por dois blocos: um mixer, responsável pela translação do sinal de entrada para uma determinada frequência e um filtro passa-faixa, o qual irá selecionar, dentre os sinais gerados na translação, aquele que irá ser processado pelo FPAA. A figura 13 mostra o diagrama em blocos da interface, e algumas das chaves de conexão necessárias a sua utilização.

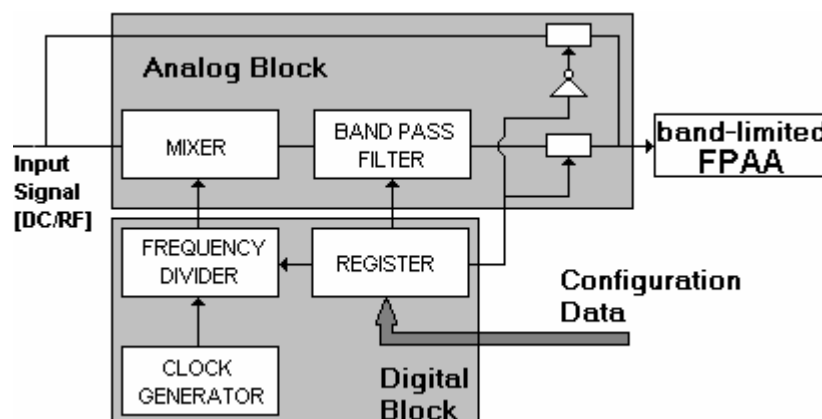


Figura 13. Proposta de interface para alocação de sinais.

Cabe ressaltar que o que se propõe é ampliação da faixa de freqüências no qual o FPAA opera, que pode variar de baixas freqüências (instrumentação, por exemplo) a altas freqüências, a exemplo de sistemas de comunicação. A largura de banda do dispositivo ainda estará limitada devido a fatores construtivos já citados (chaves, composição dos CAB e tamanho dos componentes). Através da figura 14 pode-se entender mais claramente o que se propõe: dado um FPAA com uma determinada largura de banda B_{FPAA} e um sinal centrado em uma freqüência qualquer, cuja largura de banda B_{SIGNAL} seja no máximo igual a do FPAA, pode-se utilizar este FPAA para processar analogicamente este sinal, simplesmente movendo o sinal para dentro da banda do FPAA; caso a banda do sinal a ser processado já esteja centrada em uma freqüência na qual o FPAA opere, não é necessária a utilização da interface, e o sinal de entrada passa direto para o FPAA.

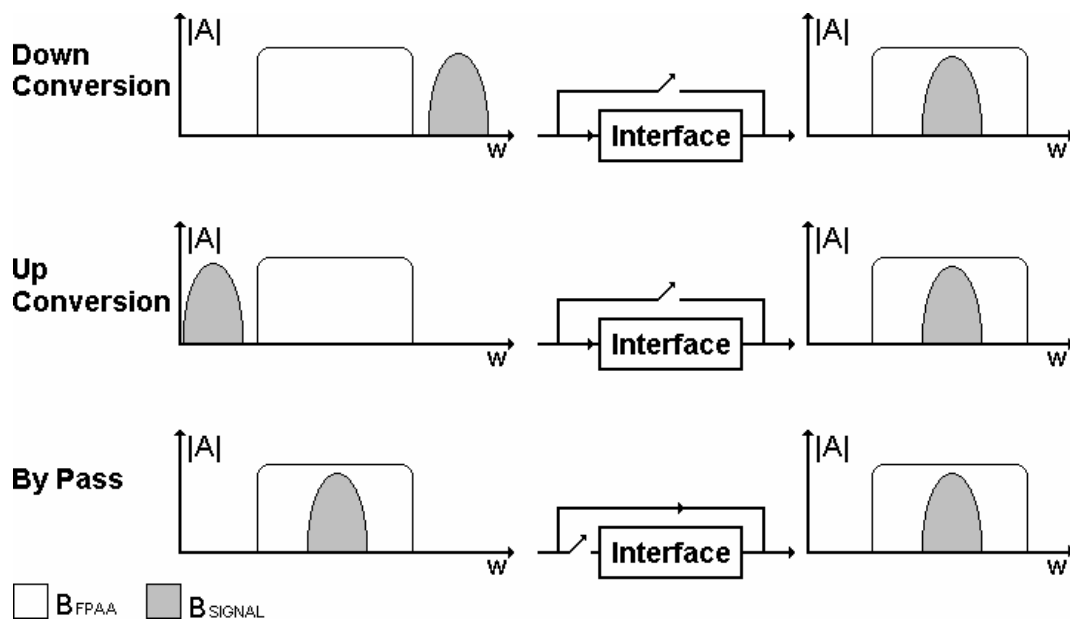


Figura 14. Proposta de translação de sinais para uma dada freqüência de operação de um FPAA qualquer.

Uma vez que o sinal de entrada foi movido para a freqüência de operação do FPAA e processado por este dispositivo, este sinal deve então ser recolocado para sua freqüência

original (caso seja necessário), o que pode ser feito pela mesma interface, agora na saída do FPAA.

Diferentemente de (FABRIS, 2003a), o sinal alocado em determinada frequência é totalmente processado analogicamente através da utilização de um FPAA, reduzindo-se assim a potência dissipada no processamento digital (realizado por um FPGA, por exemplo), bem como o tempo de processamento deste sinal. Para a utilização em SoC, a redução de potência e tempo de processamento também se torna considerável, na medida que grande parte do processamento do sinal (tanto dos sinais de entrada, por exemplo de sensores, quanto de sinais de saída, por exemplo para comunicação por RF) é realizado analogicamente.

É necessário, para a realização desta interface, a determinação de algumas características que relacionam seus dois blocos principais: o mixer e o filtro passa-faixa. Ou seja, dada uma certa banda de operação de um FPAA, quais devem ser as características necessárias a esses blocos para que se tenha uma determinada resolução no sinal de saída que possibilite seu uso em uma determinada aplicação, seja em baixa ou em alta frequência.

Antes de partir para a descrição da interface proposta e da determinação destes fatores, faz-se necessária a revisão de alguns pontos acerca da teoria envolvida no funcionamento dos mixers. Também será revista a realização de circuitos utilizando estruturas totalmente diferenciais, que é o mesmo tipo de estrutura escolhido para a realização do filtro passa-faixa, por motivos que serão analisados.

4.1 MIXERS E TRANSLAÇÃO DE FREQUÊNCIAS

Desde o surgimento dos receptores super-heteródinos (LATHI, 1998), os mixers, também conhecidos como misturadores ou conversores de frequência, têm determinado a performance total de modernos sistemas de rádio, uma vez que a grande maioria destes sistemas usa este tipo de dispositivo (MACHADO, 1996).

Os mixers podem ser divididos, de acordo com o ganho que dão ao sinal convertido, em dois tipos: ativos, cujo ganho de conversão é maior que um e, portanto, consomem uma certa potência quiescente, e passivos, os quais consomem apenas potência dinâmica, possuindo um ganho de conversão menor que um (perda de conversão) (LEUNG, 2002). Esses dois tipos de mixer possuem performances diferentes quanto à distorção, ruído e largura de banda. Os ativos propiciam menor ruído com maior distorção, ao passo que os passivos apresentam, em geral, maior linearidade e velocidade (RAZAVI, 1998).

Além disso, os mixers podem ser divididos, de acordo com os sinais de entrada e saída, em desbalanceados, balanceados simples e duplos balanceados (RAZAVI, 1998). Os desbalanceados (*unbalanced*) possuem uma entrada em RF e um sinal do oscilador local com entrada unipolar. Os mixers balanceados simples (*single balanced*), possuem uma entrada para RF e um sinal de LO diferencial. Já os duplos balanceados (*double balanced*) possuem tanto uma entrada RF quanto um sinal de LO diferenciais. A forma de operação dos mixers, quanto a serem balanceados ou não, irá determinar, idealmente, a existência ou não do chamado *feedthrough*, ou seja, o quão bom será o isolamento que este dispositivo irá propiciar entre suas três portas (RF, LO e IF). Um mixer desbalanceado, por exemplo, apresenta RF-IF *feedthrough*, que é a passagem do sinal de entrada RF para o sinal de saída IF. Já os balanceados simples não apresentam RF-IF *feedthrough*, mas apresentam LO-IF *feedthrough*. Finalmente, os duplos balanceados não possuem RF-IF *feedthrough*, nem LO-IF *feedthrough*, mas possuem RF-LO *feedthrough*, o que também não é desejado.

A figura 15 apresenta alguns exemplos mais conhecidos dos tipos de mixers ativos e passivos existentes.

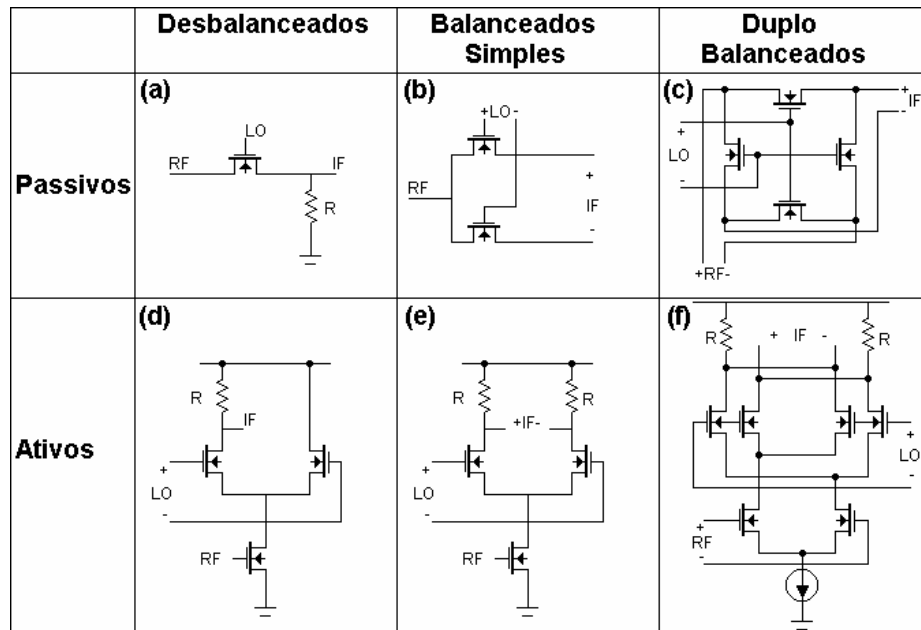


Figura 15. Exemplos de mixers ativos e passivos, conforme (LEUNG, 2002; RAZAVI, 1998).

Para o circuito da figura 15(a), se o resistor de carga for substituído por um capacitor, tem-se o chamado mixer de amostragem (*sampling mixer*), que é também utilizado como circuito de *sample-and-hold* para uso em conversores analógico-digitais, por exemplo. O circuito da figura 15(f), é também conhecido como Célula de Gilbert.

Independentemente do tipo de mixer, cuja representação está mostrada na figura 16, sua operação é similar a de um multiplicador. Um mixer converte um sinal de uma frequência (tipicamente ω_{RF}) para outra frequência (tipicamente ω_{IF}), através da multiplicação do primeiro por um outro sinal, proveniente de um oscilador local (ω_{LO}).

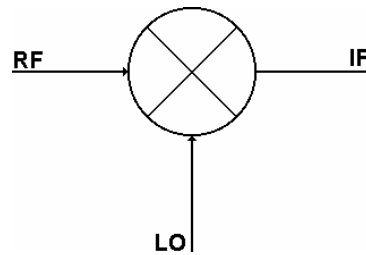


Figura 16. Representação de um mixer com seus sinais de entrada (RF), do oscilador local (LO) e de saída (IF).

É importante ressaltar que, apesar do funcionamento de um mixer poder ser explicado a partir do funcionamento de um multiplicador, existem diferenças entre esses circuitos, assim como existem diferenças entre um multiplicador e um modulador. Esses três tipos de “geradores de produtos” podem ser rapidamente diferenciados como a seguir (MACHADO, 1996).

Multiplicadores são essencialmente lineares na resposta quanto aos valores instantâneos de ambas as entradas, mas com algumas perdas em termos de ruído e largura de banda. Já os moduladores são lineares na resposta para uma das entradas, sendo a sua saída simplesmente a multiplicação desta entrada pelo sinal da outra entrada, não possuindo qualquer outro efeito sobre o sinal. Por fim, os mixers são moduladores especializados em translação de frequência. São invariavelmente otimizados para produzir mínimo ruído e mínima distorção de intermodulação.

Tomando-se um mixer genérico como o mostrado na figura 16, e considerando um sinal senoidal de frequência ω_{RF} na entrada RF e um sinal também senoidal gerado pelo oscilador local (LO), cuja frequência é ω_{LO} , tem-se na saída IF do mixer o produto entre estes dois sinais, dado por:

$$S_{IF} = \text{sen}(\omega_{RF}) \cdot \text{sen}(\omega_{LO}) = \frac{1}{2} [\cos(\omega_{RF} + \omega_{LO})t + \cos(\omega_{RF} - \omega_{LO})t] \quad (10)$$

A multiplicação entre os dois sinais (RF e LO) transformou a entrada RF em duas componentes de saída (IF), uma resultante da soma de ω_{RF} e ω_{LO} e outra resultante da subtração de ω_{RF} e ω_{LO} . Quando o sinal cuja frequência é a resultante da soma de ω_{RF} e ω_{LO} é utilizado como sinal de IF, tem-se a chamada *up-conversion*; quando IF é dada pela subtração de ω_{RF} e ω_{LO} , tem-se uma *down-conversion*. Ainda, quando a frequência de LO é menor que a frequência de RF, tem-se uma conversão do tipo *low-side*; ao contrário, se a frequência de LO é maior que a frequência de RF, tem-se uma conversão do tipo *high-side*.

Considerando-se um mixer de chaves como o mostrado na figura 15(a), o sinal de LO passa a ser não uma senóide, mas uma onda quadrada a qual pode, por exemplo, assumir apenas os valores +1 e -1. Assim, esta forma de onda pode ser expressa por sua série de Fourier (SPIEGEL, 1992) da seguinte forma:

$$S_{LO} = \frac{4}{\pi} \left(\text{sen } \omega_{LO} t - \frac{1}{3} \text{sen } 3\omega_{LO} t + \frac{1}{5} \text{sen } 5\omega_{LO} t - \dots \right) \quad (11)$$

Assim sendo, a multiplicação da senóide de entrada pelo conjunto de senóides em LO pode ser dada, já se expandindo os produtos, por:

$$S_{IF} = \frac{2}{\pi} \left[\cos(\omega_{RF} + \omega_{LO})t + \cos(\omega_{RF} - \omega_{LO})t - \frac{1}{3} \cos(\omega_{RF} + 3\omega_{LO})t - \frac{1}{3} \cos(\omega_{RF} - 3\omega_{LO})t + \frac{1}{5} \cos(\omega_{RF} + 5\omega_{LO})t + \frac{1}{5} \cos(\omega_{RF} - 5\omega_{LO})t - \dots \right] \quad (12)$$

Portanto, passa-se agora a ter um conjunto de harmônicas formadas pelas somas e diferenças entre o sinal de RF e múltiplos ímpares do sinal de LO. Essas harmônicas, apesar de possuírem uma atenuação (1/3, 1/5, ...), podem colaborar para a introdução de não

linearidades no sinal de frequência intermediária (IF). O espectro dos dois tipos de multiplicação utilizando-se um LO senoidal e um LO com forma de onda quadrada pode ser visto na figura 17 (vide arquivos de simulação no apêndice C). Neste exemplo, a frequência angular ω_{RF} é $2\pi 11\text{MHz}$ e a frequência angular ω_{LO} é $2\pi 10\text{MHz}$. No caso de um LO com onda quadrada, o espectro é o mesmo que aquele com LO senoidal, porém com a introdução das harmônicas indicadas por linhas tracejadas.

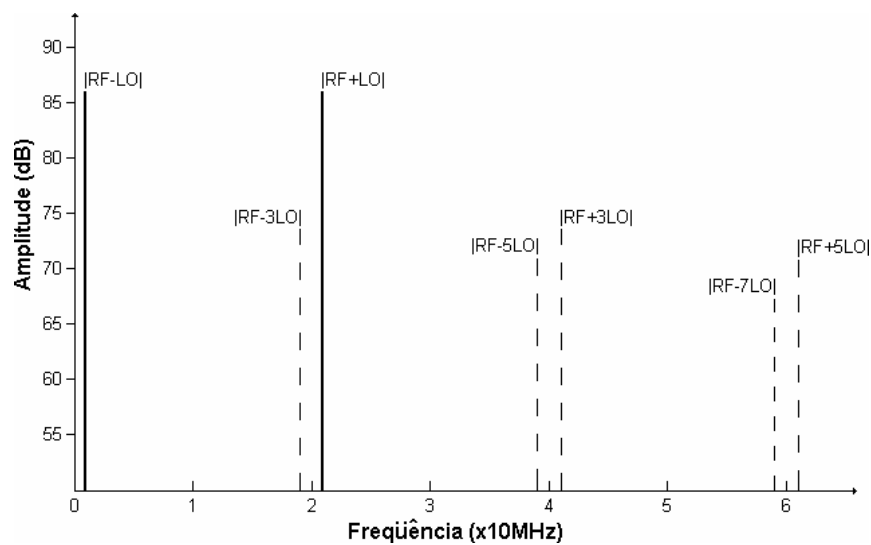


Figura 17. Espectro da multiplicação de duas senóides e uma senóide e uma onda quadrada.

Para a caracterização de sistemas não lineares, como é o caso dos mixers, utilizam-se alguns parâmetros específicos, dentre eles a distorção harmônica (HD_3), intermodulação (HM_3) e o ponto de interceptação de terceira ordem (IP_3), sendo que apenas a determinação de um destes três parâmetros (em geral o ponto de interceptação de terceira ordem) é o suficiente para caracterizar um mixer, já que estes parâmetros estão relacionados entre si (LEUNG, 2002; RAZAVI, 1998; MACHADO, 1996). Outro parâmetro importante é o ruído adicionado pelo circuito, o qual pode ser caracterizado pela figura de ruído (NF).

4.2 ESTRUTURAS DIFERENCIAIS

Na integração de circuitos analógicos, distúrbios de segunda ordem podem causar distorções no sinal e limitar a performance do circuito. Elementos parasitas, associados com todos circuitos integrados, provém inúmeros caminhos para que sinais indesejáveis se misturem ao sinal analógico, seja através do substrato, das fontes de alimentação ou linhas de terra. Os distúrbios originados destas fontes podem se acumular, levando a grandes perdas na relação sinal – ruído e na faixa dinâmica (LAKER, 1994).

Para reduzir estes efeitos degenerativos, estruturas diferenciais têm sido largamente utilizadas na fabricação de circuitos integrados analógicos. Dentre os três FPAA's comerciais existentes atualmente, dois deles (família AnadigmVortex e família ispPAC) possuem uma estrutura totalmente diferencial (*fully differential*).

Para melhorar ainda mais a resposta do circuito, é necessário que este não apenas tenha uma estrutura diferencial, mas que esta seja também balanceada, ou seja, seja realizada com caminhos de sinais invertidos e não – invertidos, num circuito totalmente simétrico.

Seja o sistema descrito em (13). Se $a_j=0$ para $j = \text{par}$, então a equação (14) é satisfeita, e o sistema possui simetria ímpar, sendo, portanto, balanceado (RAZAVI, 1998).

$$y(t) = a_0 + a_1x(t) + a_2x(t)^2 + a_3x(t)^3 + a_4x(t)^4 + \dots \quad (13)$$

$$a_1x(t) + a_3x(t)^3 + \dots = -a_1x(t) - a_3x(t)^3 - \dots \quad (14)$$

Tomando-se por exemplo o par diferencial descrito na figura 18, sua resposta pode ser dada por:

$$V_{out} = R.I_{EE}. \tanh\left(\frac{V_{in}}{2V_T}\right) \quad (15)$$

Sendo a função tangente hiperbólica uma função ímpar (SPIEGEL, 1992), então o circuito em questão é balanceado.

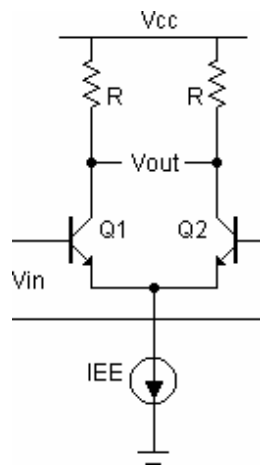


Figura 18. Par diferencial bipolar, conforme (RAZAVI, 1998).

Com uma estrutura totalmente diferencial e balanceada, todos sinais parasitas se acoplarão igualmente nos caminhos dos sinais como sinais de modo comum. A natureza diferencial destes circuitos faz com que os distúrbios de modo comum cancelem-se, reduzindo significativamente seu impacto (LAKER, 1994).

Em contrapartida, projetos totalmente diferenciais terão um custo maior, uma vez que será necessária a duplicação de muitos dos circuitos e componentes existentes.

4.3 MIXER PROPOSTO

Em sistemas de rádio-recepção, os mixers são utilizados para realizar uma translação dos sinais em altas frequências para uma frequência mais baixa. Isso é feito para se obter uma maior seletividade, pois é mais difícil obter-se filtros de alta seletividade com uma banda

estreita (10 KHZ para voz, por exemplo) com sinais modulados em frequências muito altas, principalmente se o filtro deve ser sintonizável. Todavia, em frequências mais baixas, a seletividade pode ser feita muito mais facilmente (LATHI, 1998). Já para sistemas de rádio-transmissão, o objetivo dos mixers é a de elevar a frequência da portadora, facilitando a transmissão do sinal de informação através da utilização de antenas menores e mais compactas, por exemplo, ou obtendo-se uma maior diretividade, como no caso das transmissões em microondas. Nestes sistemas, diferentes especificações de performance devem ser priorizadas baseadas na aplicação do mixer. Algumas especificações são para aplicações em receptores, cuja faixa dinâmica dos sinais de entrada é bastante larga, sendo então uma máxima linearidade em geral mais crítica do que a figura de ruído. Por outro lado, para transmissores, onde os níveis de sinal podem ser controlados, a estratégia de projeto oscila entre performance em ruído ou em distorção de intermodulação, para se obter sinais cuja faixa dinâmica seja a maior possível (LONG, 2002a). Assim, é comum ter-se um mixer específico para realização de *up-conversion* e outro específico para *down-conversion*.

Além disso, mixers utilizados em sistemas de rádio em geral são desenvolvidos para realizar a conversão de sinais dentro de uma certa banda para uma frequência específica, como por exemplo, no sistema de radiodifusão de modulação em amplitude (AM), onde os sinais na banda compreendida entre 530KHz e 1710KHz são movidos para uma frequência intermediária de 455KHz (LATHI, 1998).

No caso do mixer para a interface utilizada em FPAA's proposta neste trabalho, o que se deseja é um dispositivo cuja largura de banda seja, no mínimo, igual à do FPAA na qual a interface será utilizada, e que a faixa de frequência de operação seja a maior possível, permitindo o seu uso tanto na conversão de sinais de alta frequência para baixa, ou de baixa frequência para alta. Além disso, o que se espera é que, dada a resolução do FPAA e um filtro passa-faixa com um determinado fator de qualidade Q , a interface produza sinais cuja

resolução seja da mesma ordem que a do FPAA. Outro ponto de interesse é o consumo de potência e área ocupada. Sendo os circuitos analógicos circuitos que ocupam uma área considerável em circuitos integrados, deseja-se uma interface que ocupe a menor área possível, além de não incorrer em um grande aumento do consumo de potência, permitindo sua utilização em aplicações de baixa potência como instrumentação, por exemplo.

4.3.1 Determinação da topologia do mixer

Dado o conjunto de características necessárias ao mixer, que são, baixo consumo de potência e área, linearidade e operação em uma faixa de frequência que seja a maior possível, optou-se por utilizar um mixer passivo, o qual apresenta vantagens em relação aos ativos nestes requisitos, além de também apresentarem um maior IIP3 (RAZAVI, 1998). A perda de conversão do mixer passivo, que poderia ser um fator limitante ao uso deste dispositivo, pode perfeitamente ser compensada pelo filtro passa-faixa ativo que o segue. Assim, o mixer proposto é aquele apresentado na figura 19.

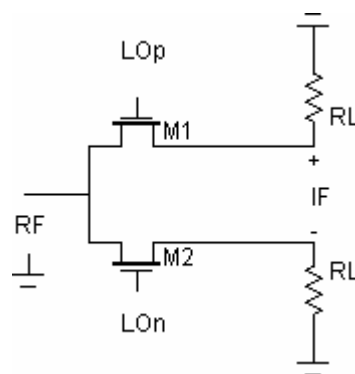


Figura 19. Primeira estrutura proposta para o mixer.

Como fator importante para a escolha desse mixer, cita-se também o fácil controle da sua frequência de chaveamento a qual, por ser um sinal de onda quadrada, pode facilmente ser gerado e controlado digitalmente.

Note-se primeiramente que, apesar de se poder utilizar transistores de junção bipolar (BJTs) para a realização das chaves, a utilização de transistores MOS é preferida devido a sua característica de corrente de dreno-fonte (I_{ds}) *versus* tensão de dreno-fonte (V_{ds}), cuja curva passa pela origem e se estende simetricamente no terceiro quadrante. Ao contrário, a característica de corrente de coletor (I_c) *versus* tensão coletor-emissor de um BJT intercepta o eixo x numa tensão diferente de zero, exibindo, portanto, uma tensão de *offset* (SEDRA, 1991). Além disso, o que se deseja são circuitos que possuam compatibilidade tecnológica com os processos VLSI desenvolvidos atualmente, o que torna a utilização de transistores MOS fundamental.

Considerando-se os sinais LOP e LON duas ondas quadradas de frequência ω_{LO} , onde LON é o inverso de LOP, e RF como sendo um sinal senoidal de frequência ω_{RF} . Quando o sinal LOP for positivo (portanto LON será negativo), o transistor M1 estará fechado e o transistor M2 aberto. Assim, IF_+ será idealmente igual a RF e IF_- idealmente igual a 0. Quando LOP trocar de polaridade, o inverso ocorre e tem-se IF_- igual a RF e IF_+ igual a zero. Logo, tem-se na saída do mixer um sinal diferencial resultante da multiplicação do sinal de RF por uma onda quadrada, conforme a eq.(12).

Enquanto para um transistor NMOS o ponto de operação linear fica abaixo da tensão onde $V_{ds}=V_{gs}-V_t$, para transistores PMOS este ponto fica acima desta tensão (LAKER, 1994). Logo, para obter-se uma resposta que seja linear numa faixa de valores de V_{ds} tanto positivos quanto negativos, utilizam-se dois transistores, um NMOS e outro PMOS, conectados em paralelo numa configuração denominada porta de transmissão (*transmission gate*). Na figura 20 tem-se a curva I_{ds} *versus* V_{ds} para um transistor NMOS, para um PMOS e para a associação destes em paralelo (*transmission gate*). Uma explicação mais detalhada a respeito do que ocorre quando se utilizam apenas transistores NMOS ou portas de transmissão será apresentada na seção 4.3.3.

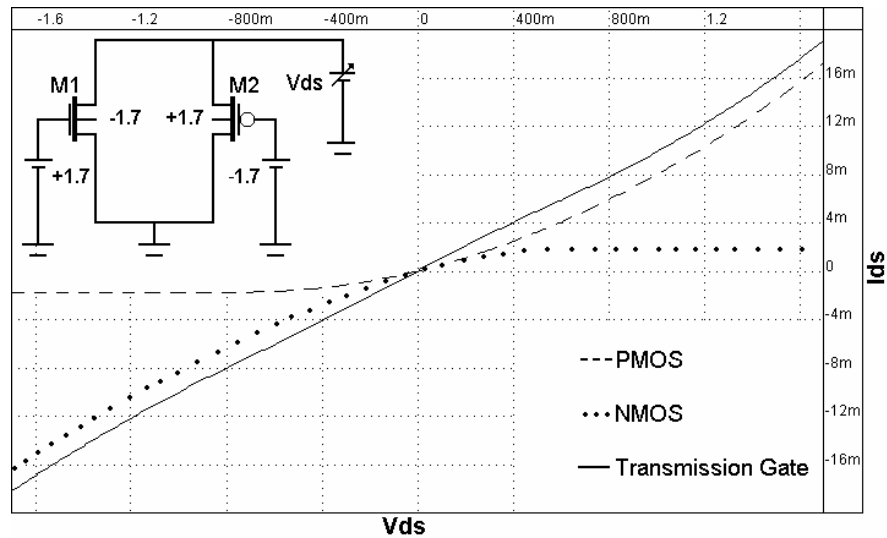


Figura 20. Simulação de curva I_{ds} versus V_{ds} para transistores NMOS e PMOS.

Outra vantagem de se utilizar esta topologia é que agora a resistência da chave não mais será dada apenas por um transistor, mas pela associação paralela de dois transistores, o que permite a obtenção de uma resistência que será praticamente a metade do valor da resistência para um único transistor.

A nova estrutura do mixer fica então como a mostrada na figura 21. É importante notar, apesar de não estar representado, que o substrato do transistor N está ligado no menor potencial (V_{dd}) e o substrato do transistor P no maior potencial (V_{cc}), para evitar polarizações diretas das junções e possíveis correntes de substrato.

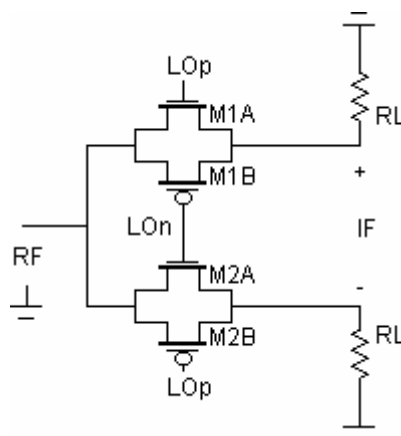


Figura 21. Segunda estrutura proposta para o mixer.

4.3.2 Dimensionamento dos transistores

O dimensionamento dos transistores utilizados deve levar em conta as características necessárias à melhor operação do mixer. Diversas formas de dimensionamento são relatadas na literatura. Em (LEUNG, 2002) as dimensões da chave NMOS são determinadas a partir da especificação do IIP3, utilizando aproximações para baixas frequências e para altas frequências. Em (LONG, 1999), uma aproximação da largura do canal W é determinada para se obter uma otimização em termos de ruído. Neste caso, o valor de W também é determinado em função das diferentes frequências de operação do mixer. Em (LONG, 2002b) parte-se da determinação do ganho de compressão de 1dB, para determinar qual o melhor valor de W a ser utilizado. Em (SHAHANI, 1997) é proposto o aumento gradativo de W até que o ganho de conversão comece a diminuir, determinando-se assim o tamanho do transistor.

Para a determinação das dimensões de W e L utilizados no mixer proposto para a interface, levaram-se em consideração alguns fatores: em geral, desejam-se chaves com o maior W possível, reduzindo-se assim sua resistência quando está fechada, o que reduz o ruído térmico associado (SHAHANI, 1997), contribuindo também para a redução do IM3 (LEUNG, 2002). Porém, chaves muito largas fazem com que algumas capacitâncias parasitas também aumentem (LAKER, 1994), o que contribui para a redução do ganho de conversão e para a distorção do sinal de saída. Portanto, deve haver um compromisso entre as dimensões dos transistores e os fatores os quais se deseja otimizar na resposta do mixer. Neste trabalho, o fator linearidade possui um peso maior do que o ganho de conversão já que, como mencionado anteriormente, a redução no ganho de conversão pode ser compensada pelo filtro passa-faixa.

Transistores MOS, quando operando na região linear, apresentam entre seus terminais de fonte (s) e dreno (d) um comportamento semelhante a um resistor. Essa resistência série do transistor determina a linearidade da chave, pois é no momento em que a chave está

fechada que o sinal passa da entrada para a saída, devendo, portanto, essa passagem de sinal ser a mais fiel possível (SEDRA, 1991).

Dados os parâmetros dos transistores NMOS e PMOS utilizados (vide apêndice A) para uma tecnologia 0,35 μ m retirados de (AUSTRIAMICROSYSTEMS), tem-se as seguintes equações para a determinação da resistência entre fonte e dreno (LAKER, 1994):

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (16)$$

$$\theta = \frac{2,3}{t_{ox}[nm]} \quad (17)$$

$$\mu = \frac{\mu_0}{1 + \theta|V_{gs} - V_t|} \quad (18)$$

Onde C_{ox} é a capacitância do óxido por unidade de área, t_{ox} a espessura do óxido, ϵ_{ox} a constante dielétrica do óxido e μ a mobilidade dos portadores. A constante θ é um valor empírico dependente da espessura do óxido, μ_0 a mobilidade de superfície e V_t a tensão de limiar do transistor.

Para valores pequenos de tensão V_{ds} ($V_{ds} \ll V_{gs}$), o valor de resistência pode ser dado aproximadamente por :

$$R_{ds} = \frac{V_{ds}}{I_{ds}} = \frac{\frac{L}{W}}{\mu \cdot C_{ox} \cdot (V_{gs} - V_t)} \quad (19)$$

Das curvas V_{gs} versus I_{ds} da figura 22, obtém-se para valores de V_t uma tensão aproximada de +0,9V para o NMOS e -0,9V para o PMOS. Apesar dos valores de V_{to} para o

NMOS e para o PMOS serem de 0,4655V e $-0,617V$, respectivamente (vide apêndice A), as tensões V_t , por dependerem da tensão entre o substrato e a fonte (V_{bs}), apresentam valores mais elevados.

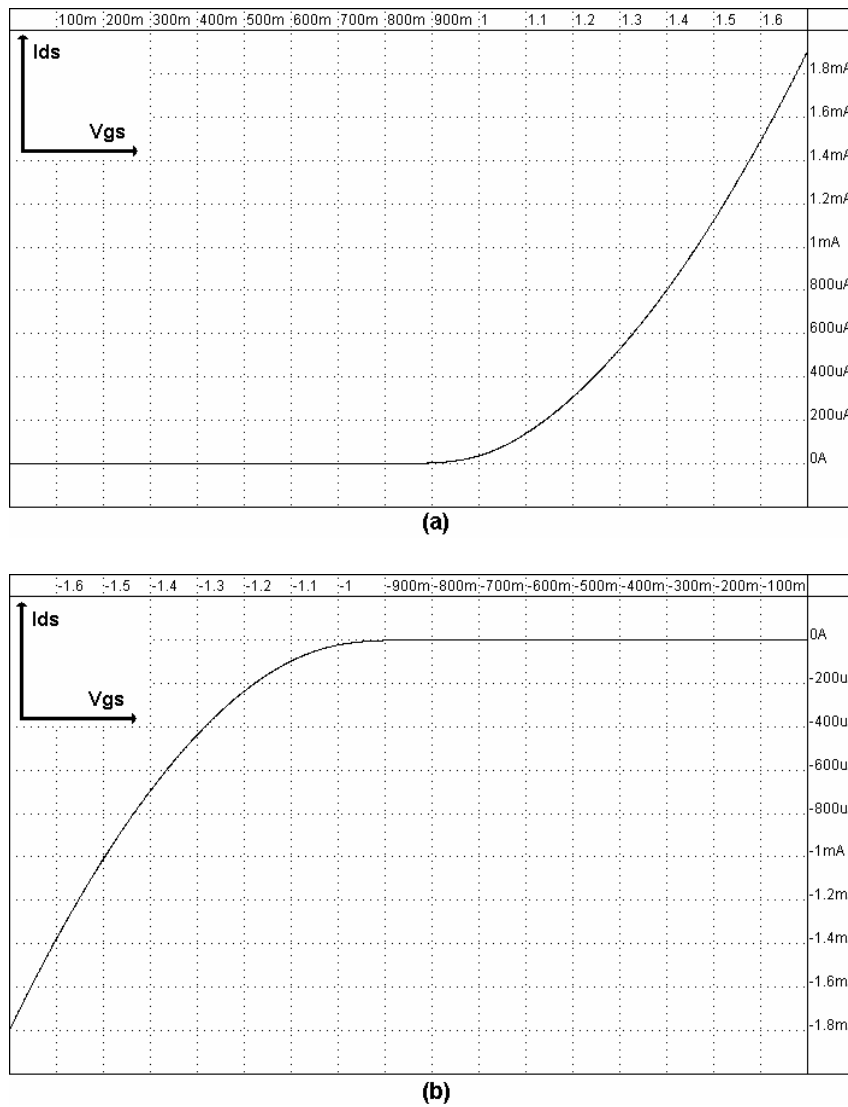


Figura 22. Simulação de curva V_{gs} versus I_{ds} , para obtenção da tensão de limiar (V_t) dos transistores (a) NMOS e (b) PMOS.

A tabela 2 apresenta os valores de C_{ox} e μ obtidos para o transistor P e N, utilizando-se as equações (16), (17) e (18).

Tabela 2. Valores de C_{ox} e μ para o transistor P e N.

Transistor	C_{ox} [F/m ²]	μ [m ² /V.s]
NMOS	4,4E-3	2,5E-2
PMOS	4,4E-3	8,0E-3

Utilizando-se uma largura de canal de 100 μ m para o transistor N, com um comprimento de canal de 2 μ m, tem-se, a partir de (19), uma resistência para o NMOS de aproximadamente 227,3 Ω . Sendo a mobilidade dos portadores do transistor de canal P (lacunas) aproximadamente três vezes menor que os portadores do transistor de canal N (elétrons) (vide tabela 2), tem-se que o canal do transistor P, para o mesmo comprimento L de 2 μ m, será de 300 μ m, resultando numa resistência de aproximadamente 236,8 Ω , praticamente igual à do NMOS. Assim, a resistência resultante da chave será de aproximadamente 100 Ω . As curvas Vds/Ids apresentadas na figura 23, mostram a variação de Rds conforme a tensão Vds varia. Nota-se que, para valores de Vds próximos a zero volt, as resistências são praticamente iguais aos valores obtidos acima.

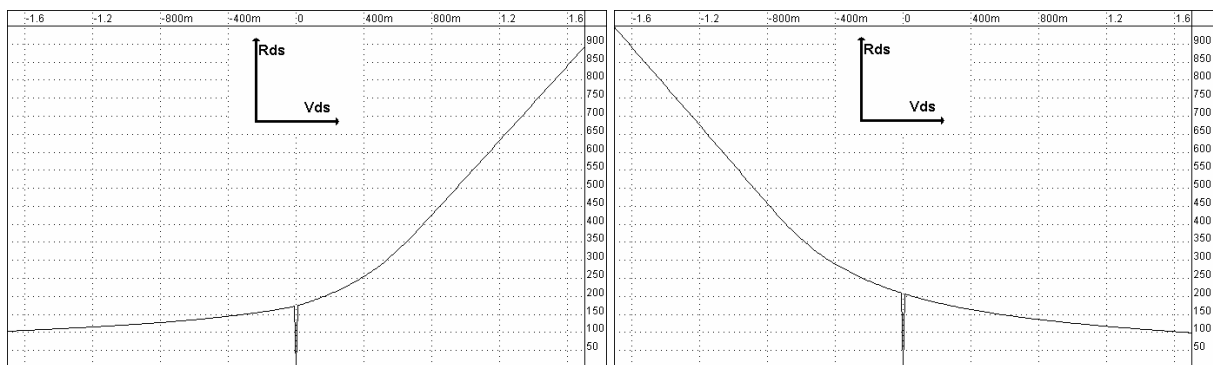


Figura 23. Simulação da variação de Rds com a tensão Vds para (a) o NMOS e (b) PMOS.

As discontinuidades apresentadas nos gráficos da figura 23 explicam-se pelo fato de que, sendo a resistência entre dreno e fonte Rds (eixo das ordenadas) dada pela razão entre a

tensão V_{ds} e a corrente I_{ds} , e tendo V_{ds} uma variação entre $-1,7V$ e $+1,7V$ (eixo das abscissas), quando V_{ds} passa pelo valor zero, R_{ds} também terá valor nulo.

4.3.3 Análise de utilização de NMOS *versus* porta de transmissão

Na figura 24 apresentam-se duas simulações com os sinais de entrada V_{rf} (figura 24(a)) e de uma das saídas (V_{if+}) para o mixer com apenas duas chaves NMOS (figura 24(b)) e para o mixer utilizando duas portas de transmissão (figura 24(c)). As dimensões dos transistores são as calculadas na seção 4.3.2, e as descrições dos circuitos encontram-se no apêndice B. A impedância da resistência de carga (R_L) é de 50Ω (impedância comumente utilizada na saída de mixers de sistemas de rádio) e o sinal de entrada é formado pela soma de dois sinais, um em $5,12MHz$ e outro em $5,13MHz$, ambos com uma amplitude de $0,8V$ e zero volt de *offset*. A fundamental do sinal do oscilador local (V_{lo}) está em $5MHz$ e os limites de amplitude de V_{lo} são $\pm 1,7V$.

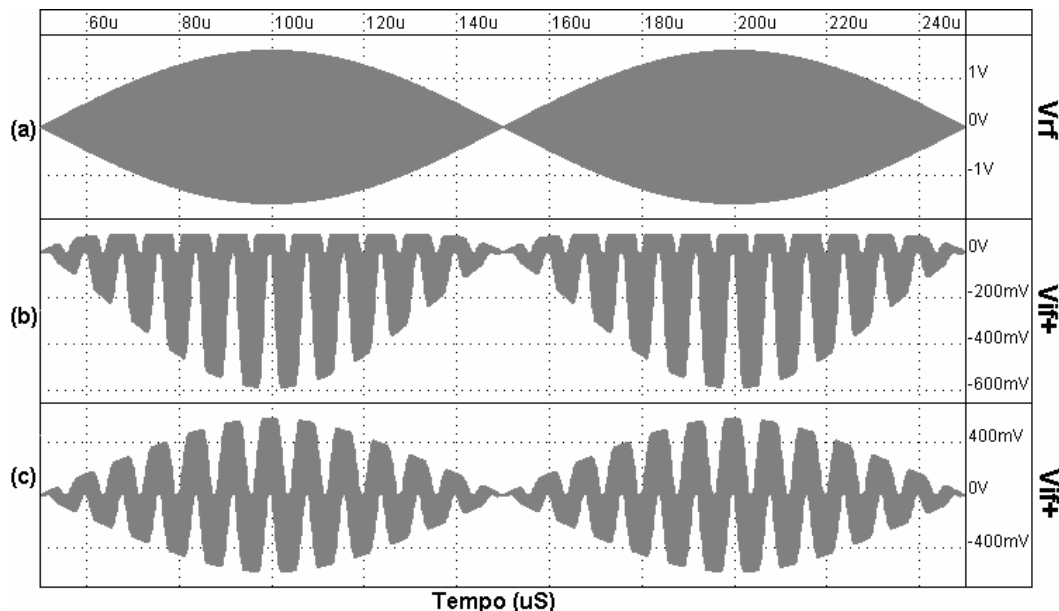


Figura 24. Simulação para (a) sinal de entrada e sinais de saídas para mixer usando (b) dois transistores NMOS e (c) dois *transmission gates*.

Percebe-se claramente pela figura 24(b), a distorção causada no sinal de saída devido ao uso de apenas um transistor NMOS como chave. Isso ocorre pois, uma vez que o sinal de entrada varia entre $\pm 1,6\text{V}$ e o sinal do oscilador local entre $\pm 1,7\text{V}$, e dados o valor de V_t para o NMOS é igual a $+0,9\text{V}$ (vide figura 22), tem-se que, para sinais acima de $(1,7 - 0,9)\text{V}$, o transistor NMOS não está mais conduzindo e, portanto, a saída irá permanecer num valor constante dado pelo divisor resistivo existente entre o transistor e a carga. Este valor pode ser calculado, aproximadamente através da equação (20):

$$V_{out} = (V_{lo} - V_t) \frac{RL}{RL + R_{op}} \quad (20)$$

Onde R_{op} é a resistência que o transistor apresenta quando operando na tensão de corte dada por $(V_{lo} - V_t)\text{V}$. Esta resistência pode ser obtida a partir da curva V_{ds} versus R_{ds} , apresentada na figura 23(a), levantada para o transistor NMOS do mixer. Portanto, para o NMOS, numa tensão V_{ds} de $0,8\text{V}$, a resistência R_{op} é de aproximadamente 430Ω , o que resulta num valor de saída do divisor resistivo de $0,08 \text{V}$, que é aproximadamente o valor indicado na figura 24(b). A figura 25 mostra a curva V_{rf} versus V_{if+} para um mixer com chaves NMOS, onde se percebe o que ocorre acima.

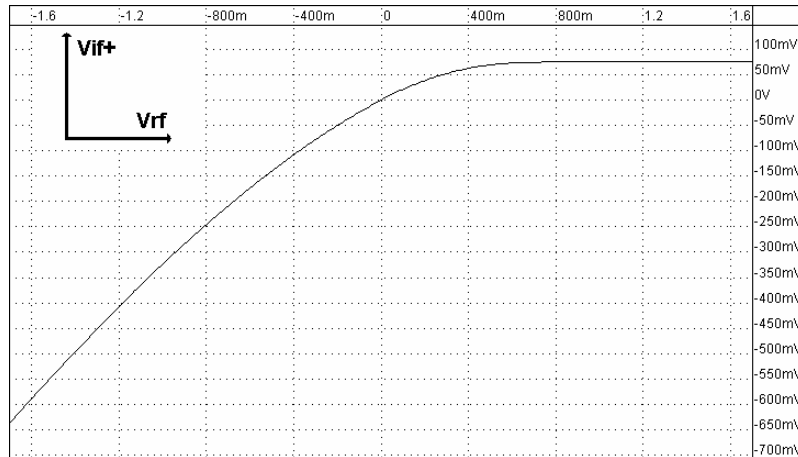


Figura 25. Simulação da variação da tensão de entrada V_{rf} versus tensão de saída V_{if+} do mixer com chaves NMOS.

Já no caso de um mixer com portas de transmissão (figura 24c), a saída não apresenta distorção devido ao corte do transistor já que para valores de V_{ds} menores que $-0,8V$, o transistor NMOS está conduzindo, enquanto que para valores de V_{ds} maiores que $+0,8V$, o PMOS está conduzindo. No intervalo entre $-0,8V$ e $+0,8V$, ambos os transistores estarão em condução. A figura 26 mostra a curva V_{rf} versus V_{if+} para um mixer com portas de transmissão, onde se percebe a condução mesmo para sinais maiores e menores que $V_{gs}-V_t$.

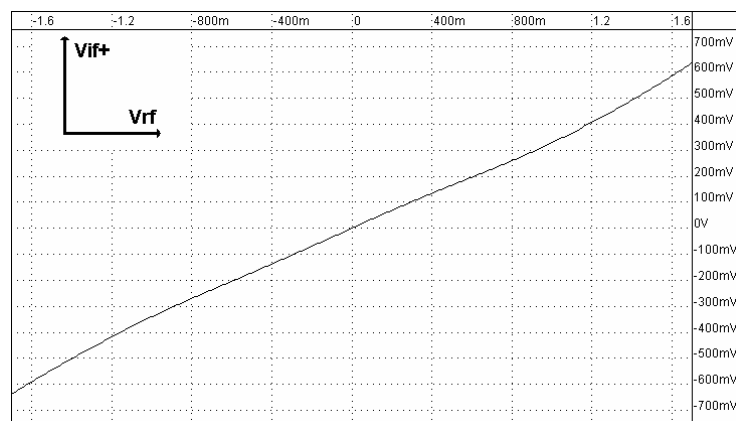


Figura 26. Simulação da variação da tensão de entrada V_{rf} versus tensão de saída V_{if+} do mixer com chaves formadas por portas de transmissão.

4.3.4 Influência das capacitâncias parasitas

A figura 27 mostra uma simulação do mixer com portas de transmissão, onde o sinal de entrada é a soma de dois sinais em 5,12MHz e 5,13MHz, de amplitude 0,8V cada um, o sinal de LO tem uma frequência de 5MHz e a carga do mixer é um resistor de 50M Ω , ao contrário do caso anterior, onde a resistência de carga era de 50 Ω .

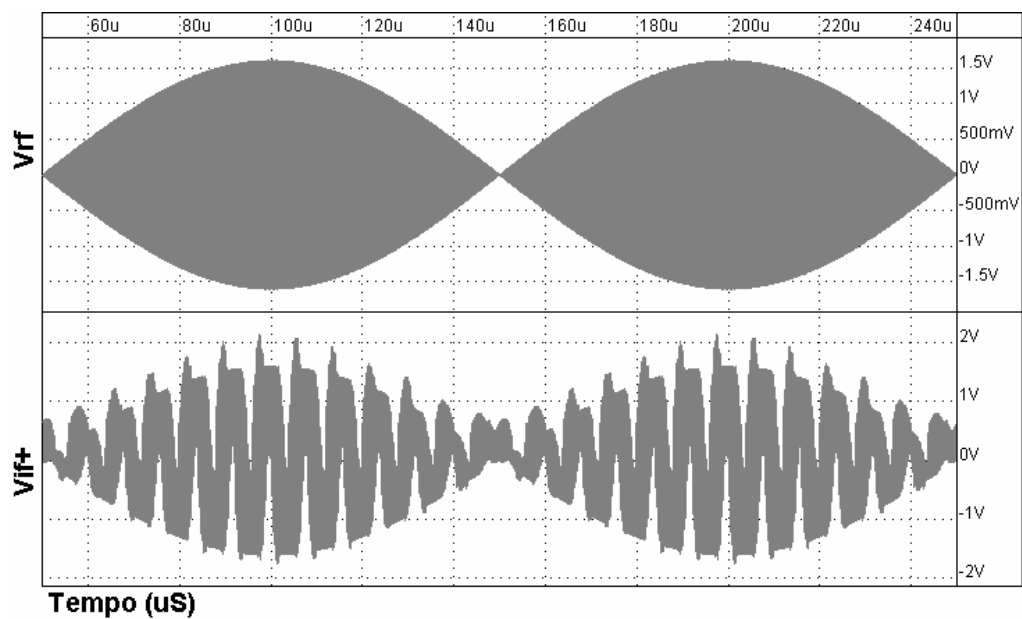


Figura 27. Simulação para sinal de entrada e saída para o mixer de portas de transmissão com carga de valor elevado na saída.

Percebe-se na figura 27 o aparecimento de picos no sinal de saída, tipicamente provenientes de acoplamentos capacitivos. Esse efeito pode ser melhor visualizado através da figura 28, onde os sinais de entrada de mais baixa frequência (120KHz + 130KHz) são convertidos pelo mixer cujo sinal de LO está em 100KHz.

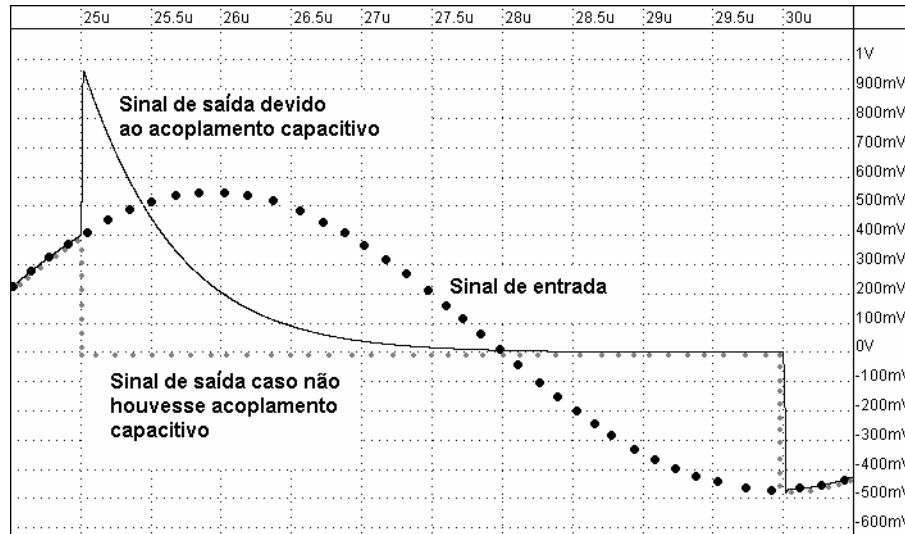


Figura 28. Simulação de curvas de descarga das capacitâncias parasitas dos transistores do mixer.

A partir da figura 28, nota-se que as capacitâncias parasitas dos transistores do mixer, quando associadas à alta impedância de saída, carregam-se com um determinado valor no momento da transição do sinal de LO (tempos $25\mu\text{s}$ e $30\mu\text{s}$). Ao descarregarem através da carga do mixer, o valor final de tensão no capacitor não atinge o valor final de descarga, que neste caso seria 0V , que é a tensão de *offset* dos sinais de entrada. Isso acarreta uma distorção dos sinais de saída, como mostrado na figura 27. Através da análise das curvas de descargas, cujas respostas são dadas utilizando-se as equações (21) e (22), pode-se concluir que as capacitâncias envolvidas são da ordem de unidades de pF, como mostra a tabela 3, a seguir.

$$V_f = V_i \cdot e^{-\frac{t_f - t_i}{R_L C_P}} \quad (21)$$

De onde

$$C_P = \frac{t_i - t_f}{R_L(\ln(V_f) - \ln(V_i))} \quad (22)$$

Onde V_f é o valor da tensão no capacitor no tempo t_f e V_i a tensão do capacitor no tempo t_i . A resistência R_L é a resistência de carga e a capacitância C_P envolve as capacitâncias parasitas de transistor.

A tabela 3 mostra alguns valores obtidos para as capacitâncias parasitas quando o valor de carga é variado entre $10K\Omega$ e $10MEG\Omega$, para o sinal de RF em $(120+130)KHz$ e LO em $100KHz$.

Tabela 3. Valores de capacitâncias parasitas estimadas através das curvas de descarga do circuito RC, para RF em $(120+130)KHz$ e LO em $100KHz$.

t_i (μs)	t_f (μs)	V_i (mV)	V_f (mV)	R_L ($K\Omega$)	C_P (pF)
25,02	25,04	300,2	13,82	10	0,65
25,04	25,20	615,1	45,57	100	0,61
25,32	26,08	616,2	179,9	1.000	0,61
25,36	26,58	931,0	774,5	10.000	0,66

A determinação analítica das capacitâncias parasitas, conforme (LAKER, 1994), pode ser realizada a partir do modelo apresentado na figura 29(a), que mostra como se distribuem as capacitâncias parasitas em um transistor MOS. Essas são calculadas a partir das equações (23) a (31). As capacitâncias terminais (figura 29(b)) são então calculadas a partir das relações (32) a (39).

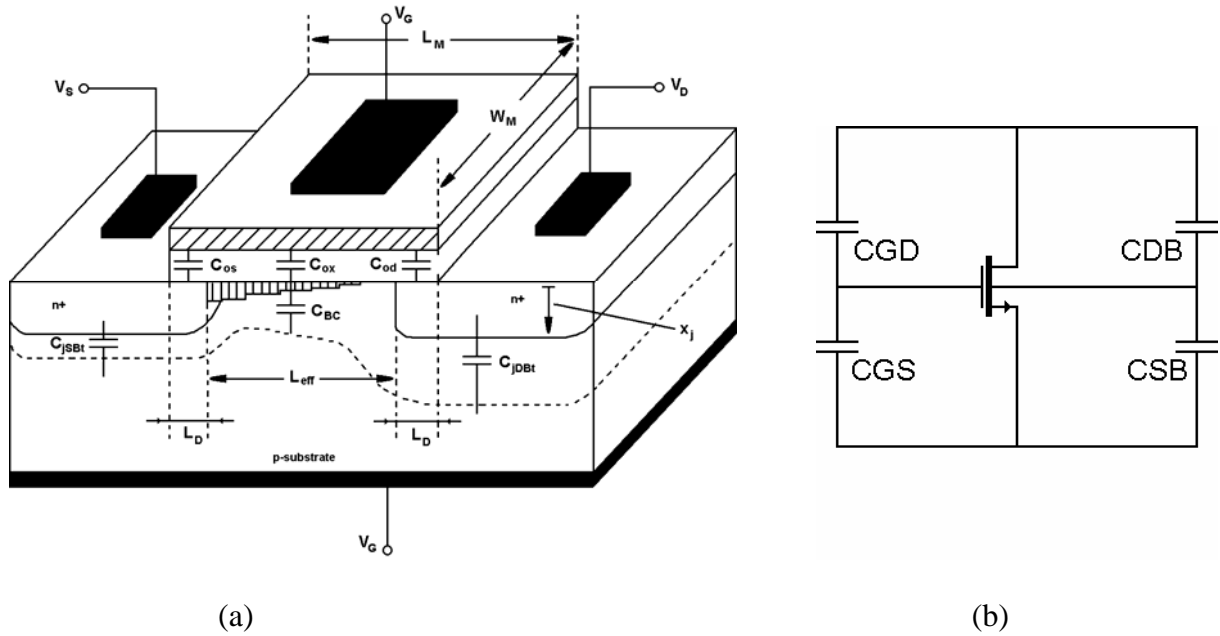


Figura 29. (a) Modelo tridimensional do transistor MOS com capacitâncias parasitas e (b) capacitâncias terminais.

As relações que definem as capacitâncias parasitas são dadas por:

$$C_{oxl} = C_{ox}.W.L_{eff} \quad (23)$$

$$C_{BCl} = C_{jBC}.W.L_{eff} \quad (24)$$

$$C_{jSBt} = A_S.C_{jSB} + P_S.C_{jswSB} \quad (25)$$

$$C_{jDBt} = A_D.C_{jDB} + P_D.C_{jswDB} \quad (26)$$

onde C_{ox} é dada pela equação (16), A_S e A_D são as áreas de fonte e dreno, P_S e P_D os perímetros de fonte e dreno, e ainda:

$$C_{jBC} = \frac{C_j}{\left(1 - \frac{V_{BC}}{PB}\right)^{mj}} \quad (27)$$

$$C_{jSB} = \frac{C_j}{\left(1 - \frac{V_{BS}}{PB}\right)^{mj}} \quad (28)$$

$$C_{jswSB} = \frac{C_{jsw}}{\left(1 - \frac{V_{BS}}{PB}\right)^{mjsw}} \quad (29)$$

$$C_{jDB} = \frac{C_j}{\left(1 - \frac{V_{BD}}{PB}\right)^{mj}} \quad (30)$$

$$C_{jswDB} = \frac{C_{swj}}{\left(1 - \frac{V_{BD}}{PB}\right)^{mjsw}} \quad (31)$$

A determinação das capacitâncias terminais dá-se para duas condições diferentes de operação do transistor:

- na saturação:

$$C_{GS} = C_{GSO} + 2/3C_{ox} \quad (32)$$

$$C_{GD} = C_{GDO} \quad (33)$$

$$C_{SB} = C_{jSB} + 2/3C_{BC} \quad (34)$$

$$C_{DB} = C_{jDB} \quad (35)$$

- e na região linear:

$$C_{GS} = C_{GSO} + 1/2C_{ox} \quad (36)$$

$$C_{GD} = C_{GDO} + 1/2C_{oxl} \quad (37)$$

$$C_{SB} = C_{jSBt} + 1/2C_{BCt} \quad (38)$$

$$C_{DB} = C_{jDBt} + 1/2C_{BCt} \quad (39)$$

Os parâmetros SPICE dos transistores são dados no apêndice A. Na tabela 4 apresentam-se os valores de capacitância calculados analiticamente.

Tabela 4. Valores de capacitâncias parasitas calculados analiticamente.

Capacitância	Na saturação [pF]	Na região linear [pF]	Transistor
C_{GS}	0,60	0,46	NMOS
C_{GD}	0,02	0,46	
C_{SB}	0,22	0,19	
C_{DB}	0,10	0,19	
C_{GS}	1,82	1,38	PMOS
C_{GD}	0,06	1,38	
C_{SB}	1,00	0,87	
C_{DB}	0,44	0,87	

Como era de se esperar, as maiores capacitâncias ocorrem no transistor PMOS, já que suas dimensões são maiores que do NMOS.

Comparando-se os valores apresentados nas tabelas 3 e 4, percebe-se que os valores de capacitâncias são da mesma ordem de grandeza, o que reforça a constatação de que as distorções apresentadas nas figuras 27 e 28 são de fato devido às capacitâncias parasitas do transistor MOS.

4.3.5 Reduzindo os efeitos das capacitâncias parasitas

Uma das formas de se reduzir este efeito resultante das capacitâncias parasitas dos transistores seria a utilização de componentes de menor dimensão, o que resultaria em valores de capacitâncias também menores. Porém, a redução da largura do canal (W), resultaria no aumento da resistência quando o transistor está conduzindo (fechado), o que levaria à inclusão de ruído, perda de ganho e outras desvantagens já citadas.

Outra solução é a utilização de uma carga para o mixer cujo valor seja suficientemente baixo para permitir a descarga das capacitâncias parasitas, conforme mostra a figura 30.

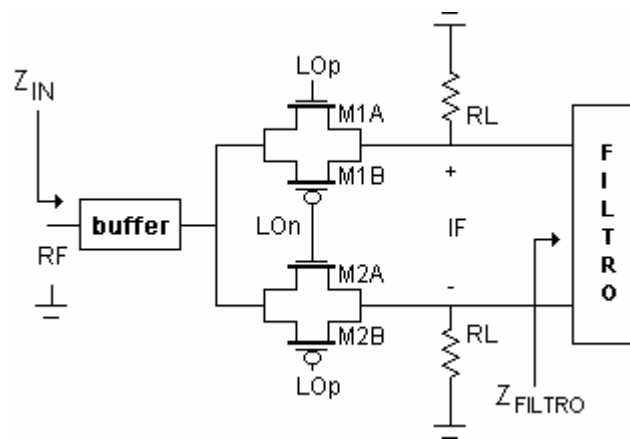


Figura 30. Interface com carga de saída de valor baixo e buffer de entrada.

Esta opção, porém, levaria à necessidade de inclusão de mais um bloco na entrada da interface que garanta uma alta impedância de entrada para esta (buffer), como mostra a figura 30, tornando-a compatível com sistemas de instrumentação. Além disso, a utilização de um buffer faz com que o aumento do consumo da interface se torne ainda maior do que se fosse utilizado, por exemplo, um mixer ativo, cuja impedância de entrada já é elevada.

4.4 FILTRO PASSA-FAIXA PROPOSTO

Pelo fato da interface utilizar um mixer passivo, e portanto produzir uma atenuação no sinal de entrada, é necessário compensar esta atenuação com a utilização de um filtro ativo. Além disso, a necessidade de um certo grau de programabilidade, tanto na frequência de corte, no ganho e no fator de qualidade, torna a utilização deste tipo de filtro indispensável.

Pela necessidade de um filtro passa-faixa para realizar a separação dos diversos sinais gerados no processo de translação do sinal de entrada, o filtro a ser utilizado deve ser, no mínimo, um filtro de segunda ordem.

Normalmente, os filtros de segunda ordem ativos são implementados utilizando-se amplificadores operacionais ou transdutores. Existem basicamente três técnicas de implementação utilizando-se amplificadores operacionais (SCHAUMANN, 2001): substituição de indutores (*inductor replacement*) ou conversão de impedância (*GIC – General Impedance Converter*), duplos integradores realimentados (*two-integrator-loop*) e múltipla realimentação, também conhecido como SAB (*Single Amplifier Biquadratic*). Dentre as topologias de filtros de segunda ordem mais comumente utilizadas citam-se a estrutura Sallen-Key e Delyiannis-Friend (SEDRA, 1991; SCHAUMANN, 2001) como exemplos de filtros SAB, Tow-Thomas e Ackerberg-Mossberg (SCHAUMANN, 2001) como exemplos de duplo integradores realimentados e o circuito de realização de indutância de Antoniou (SEDRA, 1991), para a realização de filtros GIC. Conforme a técnica de implementação, a realização de filtros com amplificadores operacionais pode ser dividida em três diferentes modalidades: rede RC, rede MOSFET-C e rede a capacitor chaveado.

Filtros que utilizam transdutores, por outro lado, baseiam-se exclusivamente no uso de capacitores e transdutores para a realização dos resistores (SCHAUMANN, 2001).

O filtro a ser utilizado juntamente com o mixer deve, em princípio, ser desenvolvido na mesma tecnologia e com as mesmas técnicas de implementação (capacitor chaveado,

opamp, transdutores) que o FPAA no qual a interface será inserida. Tomando-se o filtro biquadrático de Tow-Thomas como exemplo de uma estrutura utilizando amplificadores operacionais, será feita uma breve análise a respeito desta topologia para três técnicas diferentes de implementação de sua rede de realimentação (RC, MOSFET-C e capacitor chaveado), mostrando as suas principais vantagens e desvantagens quando utilizados em circuitos integrados. A utilização da técnica Gm-C será então analisada posteriormente.

4.4.1 Filtro biquadrático de Tow-Thomas

O filtro de segunda ordem de Tow-Thomas é constituído por uma rede RC, como mostrado na figura 31 (SCHAUMANN, 2001).

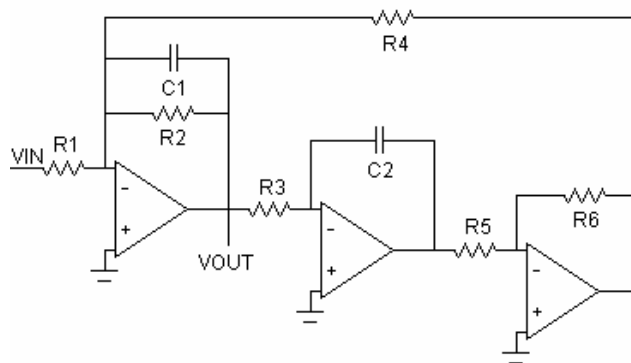


Figura 31. Filtro biquad de Tow-Thomas implementado com rede RC, conforme (SCHAUMANN, 2001).

A função de transferência passa-faixa deste filtro é dada pela equação (40):

$$\frac{V_{OUT}}{V_{IN}} = \frac{-\frac{s}{C_1.R_1}}{s^2 + \frac{s}{C_1.R_2} + \frac{R_6}{C_1.C_2.R_3.R_4.R_5}} \quad (40)$$

A utilização de uma rede RC para a realização deste filtro torna-o bastante limitado devido a diversos fatores. A utilização de resistores passivos em tecnologias MOS, apesar de possível, não é eficaz, já que o consumo de área torna-se excessivo, como já foi demonstrado na seção 3.1. Além disso, a obtenção, por exemplo, de frequências de corte muito exatas depende da obtenção também de resistores e capacitores com valores bastante exatos, o que não é de fácil realização em tecnologia MOS. A figura 32 mostra três simulações do circuito apresentado para quando se varia o resistor R4, determinante da frequência de corte do filtro, em $\pm 1\%$. A variação em torno do valor da frequência de corte é de $\pm 0,5\%$, o que pode parecer pouco, porém para sinais cuja largura de banda seja estreita, essa variação pode significar a diferença entre separar este sinal ou não.

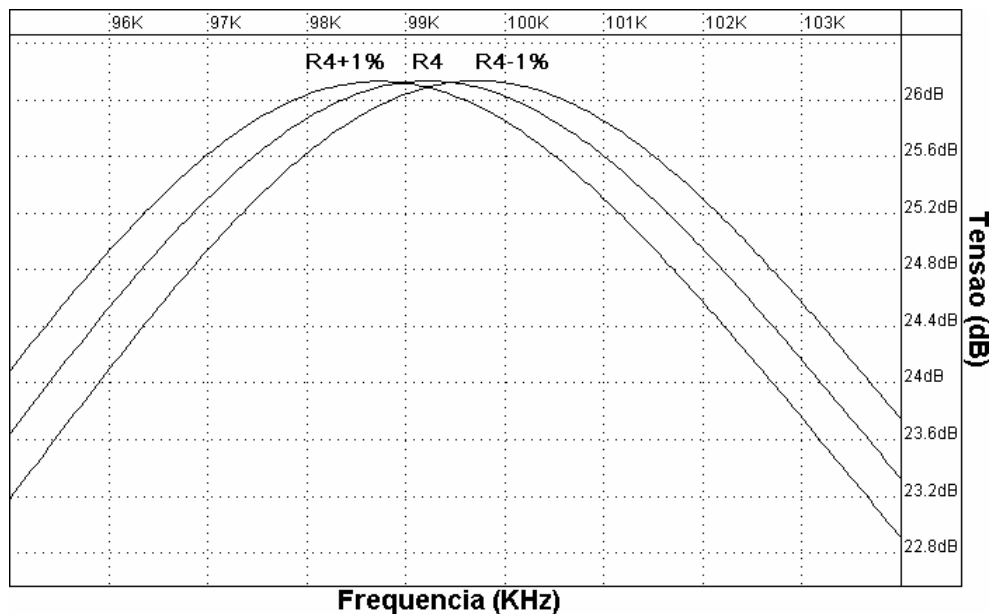


Figura 32. Simulação da variação da frequência de corte com a variação de R4.

Uma alternativa é a utilização, no lugar dos resistores passivos, de resistores ativos, implementados com transistores MOS polarizados em sua região linear (TSIVIDIS, 1986; OSA, 2001). A figura 33 mostra a estrutura de Tow-Thomas quando implementada através de

resistores ativos. A função de transferência é a mesma descrita em (40), sendo os valores de R dados pela equação (19).

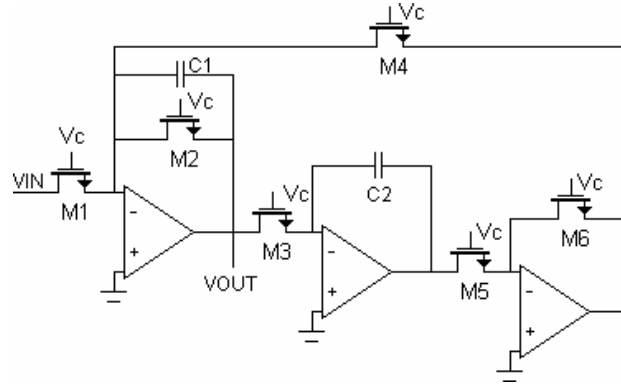


Figura 33. Filtro biquad de Tow-Thomas implementado com MOSFET-C, conforme (SCHAUMANN, 2001).

A utilização de MOSFET-C no lugar de uma rede RC traz como consequência a introdução de não-linearidades introduzidas pelos transistores operando na região linear, já que a resistência apresentada por estes dispositivos, como mostrado na seção 4.3.1, é variável conforme a tensão aplicada entre seus terminais de dreno e fonte. A variação da frequência de corte para o filtro implementado com esta técnica, devido à variação da tensão aplicada nos transistores, pode ser vista na figura 34, onde a tensão de *offset* do sinal de entrada é variada em $\pm 1\%$. A variação em torno do valor da frequência de corte é de $\pm 0,55\%$.

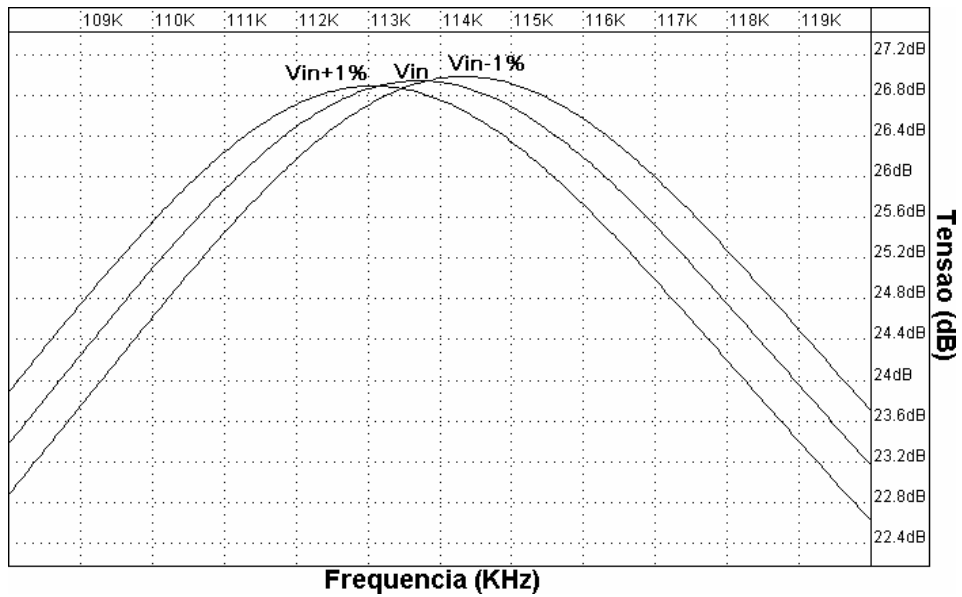


Figura 34. Simulação da variação da frequência de corte com a variação do *offset* do sinal de entrada.

Uma terceira possibilidade é a substituição dos resistores passivos ou ativos por capacitores chaveados, o que confere ao circuito um grau de programabilidade bastante elevado, já que a variação dos parâmetros do filtro pode ser feita apenas através da variação da frequência de chaveamento ou através da variação da razão entre dois capacitores, o que pode ser realizado com uma precisão muito mais elevada. A figura 35 mostra como fica a estrutura do filtro agora utilizando capacitores chaveados.

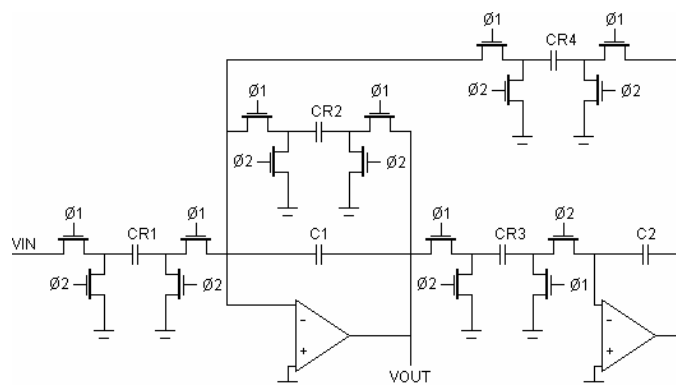


Figura 35. Filtro biquad de Tow-Thomas implementado com capacitor chaveado, conforme (SEDRA, 1991).

A função de transferência é agora dada pela equação (41):

$$\frac{V_{OUT}}{V_{IN}} = \frac{-\frac{s \cdot f_C \cdot C_{R1}}{C_1}}{s^2 + \frac{s \cdot f_C \cdot C_{R2}}{C_1} + \frac{f_C^2 \cdot C_{R3} \cdot C_{R4}}{C_1 \cdot C_2}} \quad (41)$$

Onde f_C é a frequência de chaveamento dos capacitores.

É interessante notar que, uma vez que se podem obter resistores de valor negativo com a técnica de capacitor chaveado, não mais é necessária a utilização de um inversor extra, como nos casos do MOSFET-C e do RC. Assim, o consumo do sistema torna-se menor devido à redução no número de amplificadores operacionais.

Um dos problemas de se utilizar este tipo de filtro, bem como os anteriormente descritos, é a baixa impedância de entrada, a qual pode inclusive ser variável, na medida que, para a estrutura de filtro apresentada, o ganho é ajustado através da variação do resistor de entrada, conforme equações (40) e (41).

A tabela 5 mostra algumas comparações quando o filtro Tow-Thomas é realizado através das três diferentes técnicas descritas. Apenas para se ter uma idéia de área ocupada, potência dissipada e impedância de entrada obtidas, supôs-se que se deseja um filtro cuja frequência de corte possa ser programada entre 100KHz e 500KHz (através da variação de C_1 e C_2), com um ganho programável entre 1 e 5 (através da variação de R_1 , tensão de controle de M_1 ou C_{R1}) e um fator de qualidade também programável entre 10 e 20 (através da variação de R_2 , tensão de controle de M_2 ou C_{R2}). A tabela 6 mostra como é constituído cada filtro.

Tabela 5. Comparação entre técnicas utilizadas para realização do biquad de Tow-Thomas.

	RC	MOSFET-C	Capacitor Chaveado
Corrente consumida (mA)*	2,946	2,946	2,813
Área ocupada (mm²)**	1,019	1,018	0,261
Impedância de entrada (KΩ)***	105	105	105

* Soma das correntes RMS das fontes de alimentação VDD e VSS, utilizando-se apenas um componente de cada banco;

** Contabilizando-se os capacitores e/ou resistores (ativos ou passivos), os opamps e as chaves dos capacitores chaveados. Para os capacitores considera-se uma capacitância por área de 950 aF/ μm^2 entre poly/poly. Para os resistores, considera-se uma resistência por quadrado de 1K Ω / \square (poço N). Não foram consideradas as áreas das chaves de conexão entre os componentes dos bancos de capacitores/resistores;

*** Para uma frequência de corte de 100KHz, ganho de 1 e fator de qualidade de 10.

Tabela 6. Constituição dos filtros Tow-Thomas para estimativas de área, potência e impedância de entrada *.

	RC	MOSFET-C	Capacitor Chaveado
C1	160; 128; 96; 64; 32	160; 128; 96; 64; 32	40; 32; 24; 16; 8
C2	160; 128; 96; 64; 32	160; 128; 96; 64; 32	40; 32; 24; 16; 8
R1, M1 ou CR1	10; 8; 6; 4; 2	W=10 μ ; L=2,2 μ 1,5V<V _{gs} <2,3V	0,1; 0,2; 0,3; 0,4; 0,5
R2, M2 ou CR2	100; 125; 150; 175; 200	W=1 μ ; L=22 μ 2,3V<V _{gs} <3,3V	0,1; 0,0875; 0,075; 0,0625; 0,05
R3, M3 ou CR3	10	W=1 μ ; L=2,2 μ V _{gs} =3,3V	1
R4, M4 ou CR4	10	W=1 μ ; L=2,2 μ V _{gs} =3,3V	1
R5 ou M5	1	W=10 μ ; L=2,2 μ V _{gs} =3,3V	---
R6 ou M6	1	W=10 μ ; L=2,2 μ V _{gs} =3,3V	---

* Valores de capacitores em pF e resistores em K Ω . Frequência de chaveamento dos capacitores igual a 4MHz. Cada capacitor chaveado possui 4 chaves de 14 μm^2 cada. A área estimada do opamp é de 2573 μm^2 , contabilizando-se dezesseis transistores e um capacitor de compensação de 0,443pF (vide descrição no apêndice B).

Uma outra possibilidade de implementação para o filtro seria a utilização de uma topologia SAB, o que reduziria consideravelmente tanto o custo em área como em potência (SEDRA, 1991; SCHAUMANN, 2001). Porém, os fatores de qualidade obtidos com este tipo de filtro não são elevados, ficando limitados a valores da ordem de 10 (SEDRA, 1991). Além

disso, mais uma vez a impedância de entrada continuaria a ser baixa e, mais importante ainda, variável já que, assim como no filtro Tow-Thomas, o resistor de entrada controla o ganho do filtro.

4.4.2 Filtro biquadrático Gm-C

O bloco que irá determinar a impedância de entrada da interface é aquele posterior ao mixer, já que a impedância deste é bastante baixa (vide seção 4.3.2). Como visto anteriormente (seção 4.3.5), a utilização de uma carga resistiva de valor baixo após o mixer, para reduzir os efeitos das capacitâncias parasitas, torna a interface limitada ao uso em sistemas que requeiram baixas impedâncias de entrada (comunicações e instrumentação em corrente, por exemplo). Para aplicações de instrumentação em tensão, cuja impedância de entrada deve ser elevada, é fundamental que o filtro a ser utilizado apresente uma impedância de entrada alta e constante, independentemente do ajuste dos parâmetros do filtro como ganho, frequência de corte e fator de qualidade.

Um método de realização de filtros utilizáveis desde frequências baixas de áudio, estendendo-se até aplicações em centenas de MHz, é o filtro que utiliza transdutores, conhecido filtro Gm-C (SEDRA, 1991; SCHAUMANN, 2001; NAUTA, 1992; MAHMOUD, 2003). Este método de implementação geralmente usa apenas amplificadores de transcondutância, também conhecidos como OTA, e capacitores, evitando-se, portanto, os problemas relatados ao uso de resistores e de amplificadores operacionais.

Os transdutores, cujo símbolo está representado na figura 36(a), são dispositivos cuja função de transferência é dada por:

$$I_o = gm.(V_i^+ - V_i^-) = gm.V_i \quad (42)$$

Onde gm é o fator de transcondutância. Ou seja, estes componentes convertem um sinal de tensão em um sinal de corrente. Várias funções podem ser realizadas a partir de transdutores (resistores, somadores, *gyrators*, amplificadores) e transdutores associados a capacitores (integradores, indutores).

Um exemplo de transcondutor diferencial é o apresentado na figura 36(b) (ANDREANI, 2002; NAESS, 2000; MUNOZ, 2001). Este é conhecido por transcondutor de Nauta, e é constituído por um conjunto de seis inversores, sendo os inversores 1 e 2 responsáveis pela geração da transcondutância e os inversores 3, 4, 5 e 6 garantem a estabilidade de modo-comum, enquanto forçam uma resistência diferencial de saída alta, necessária para o correto funcionamento do circuito (ANDREANI, 2002). A transcondutância pode ser controlada pela tensão V_{tune} .

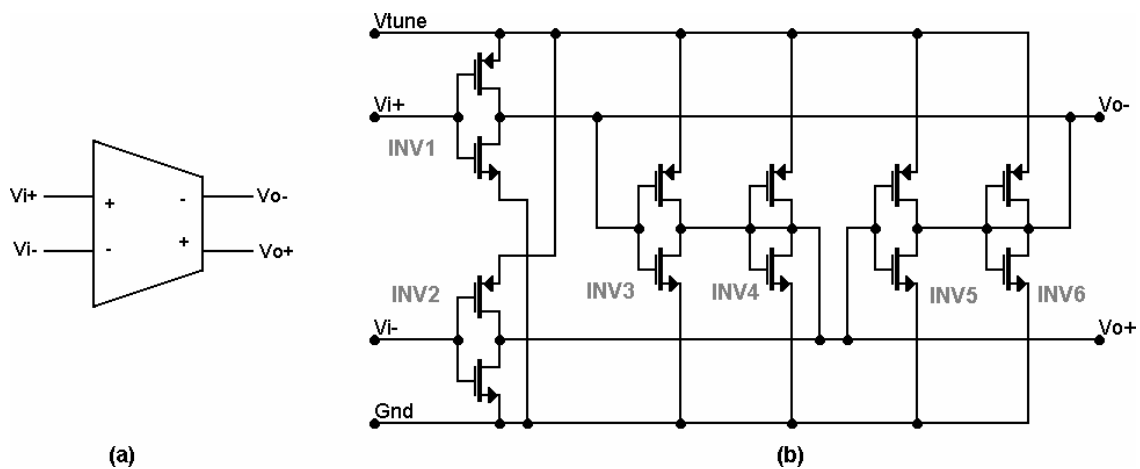


Figura 36. (a) Símbolo para o transcondutor diferencial conforme (SCHAUMANN, 2001) e (b) transcondutor diferencial de Nauta, conforme (ANDREANI, 2002).

Um exemplo de filtro utilizando transdutores é apresentado na figura 37 (SCHAUMANN, 2001). Nota-se que, assim como em outras topologias de filtros Gm-C (MUNOZ, 1999; NAUTA, 1992; YAMAZAKI, 1999; LINDFORS, 1997), a impedância de entrada deste circuito é elevada, pois o primeiro bloco do filtro é um transcondutor, cuja

impedância de entrada é elevada já que seu terminal entrada é a porta do transistor (vide figura 36(b)).

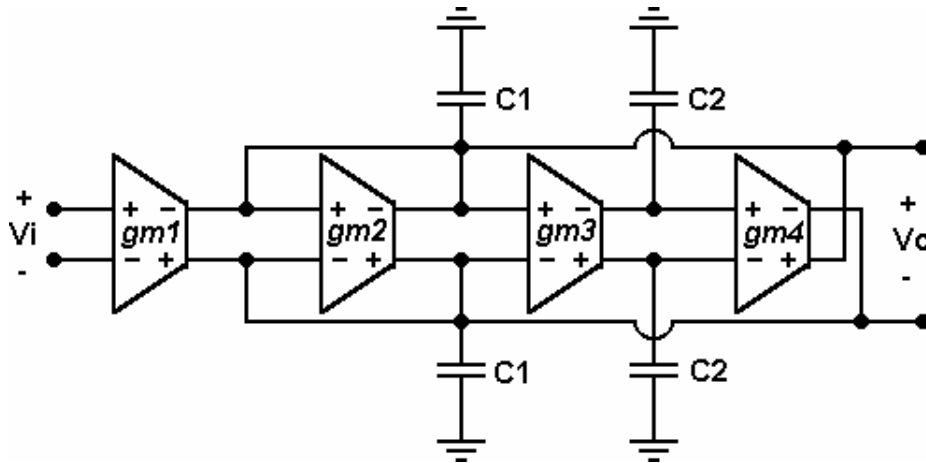


Figura 37. Filtro de segunda ordem Gm-C, conforme (SCHAUMANN, 2001).

A função de transferência deste filtro é dada por:

$$\frac{V_o}{V_i} = -\frac{\frac{gm_1}{C_1}s}{s^2 + \frac{gm_2}{C_1}s + \frac{gm_3 \cdot gm_4}{C_1 \cdot C_2}} \quad (43)$$

A figura 38 mostra várias simulações onde o valor de V_{tune} que controla a transcondutância é variado em quatro valores diferentes. Na figura 38(a), o ganho é variado a partir da variação de gm_1 . Na figura 38(b), varia-se o fator de qualidade através de gm_2 e na figura 38(c), a frequência de corte é alterada com a modificação de gm_3 e gm_4 . Os valores dos capacitores são mantidos inalterados.

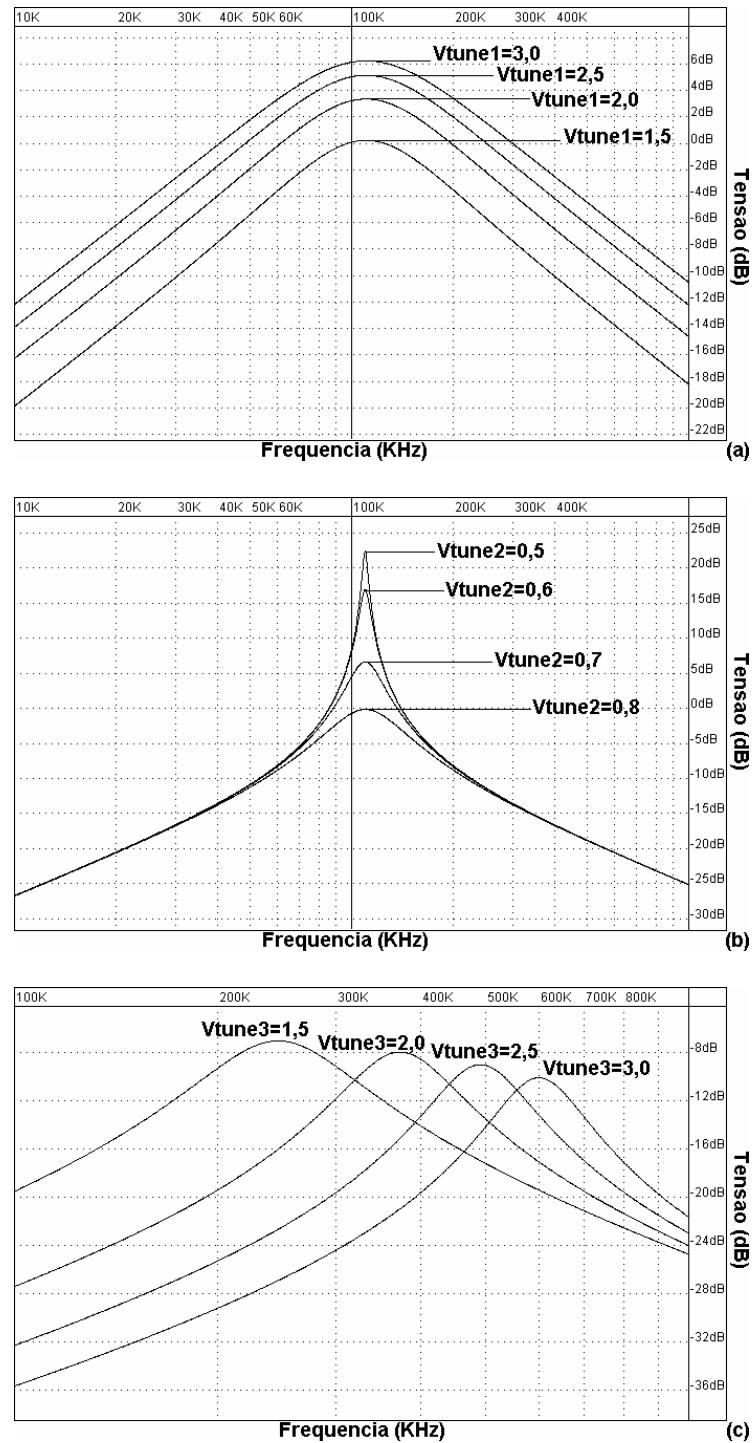


Figura 38. Simulação de (a) variação do ganho do filtro Gm-C com a variação gm_1 , (b) variação do fator de qualidade com variação de gm_2 e (c) variação da frequência de corte com a variação de gm_3 e gm_4 .

Um dos problemas relacionados a este tipo de filtro, assim como para qualquer filtro integrado, é a sintonia de seus parâmetros. Diversos métodos para a realização automática

desta sintonia foram desenvolvidos, baseados em PLL e processamento adaptativo de sinais (SCHAUMANN, 2001). O método apresentado anteriormente apresenta uma boa programabilidade, apesar da variação da transcondutância ser bastante sensível à variação da tensão de controle, como pode ser observado na figura 38b.

Das quatro técnicas de implementação de filtros ativos integrados apresentadas (amplificador operacional com rede RC, MOSFET-C ou capacitor chaveado e filtro Gm-C), todas apresentam suas vantagens e desvantagens. Enquanto para a técnica utilizando amplificadores operacionais e rede RC o fator área seja limitante, quando os resistores são substituídos por transistores MOSFET, reduzindo-se a área ocupada, o fator linearidade torna essa técnica não muito satisfatória. Uma solução bastante prática que resolve tanto o problema de área quanto o de linearidade, assim como fornece um nível de programabilidade bastante elevado, é a utilização de capacitores chaveados. Para a utilização desta topologia, porém, seria preciso a inclusão de mais um bloco entre o mixer e o filtro, na medida que, como demonstrado, a impedância de entrada do filtro a capacitor chaveado (assim como aquele com rede RC ou MOSFET-C), além de poder ter um valor baixo, também é variável de acordo com o ganho aplicado ao circuito. Assim, a introdução de um buffer para elevar a impedância de entrada da interface e para manter a impedância vista pelo mixer constante, se faz necessária.

Por fim, os filtros Gm-C, apresentam duas grandes vantagens em relação aos anteriores: alta impedância de entrada independentemente do ganho e área ocupada inferior aos filtros com amplificadores operacionais, uma vez que os próprios transdutores fazem o papel de parte ativa do sistema e de resistor. A utilização de outras técnicas de sintonia pode ser um fator ainda mais determinante para a escolha deste filtro.

A escolha do conjunto filtro Gm-C mais mixer passivo, como visto, levou ao surgimento de distorções no sinal mixado devido à presença das capacitâncias parasitas das

chaves do mixer. A proposta de se utilizar transistores de menores dimensões, apesar de permitir uma descarga mais rápida das curvas RC, mostra que as distorções devido ao acoplamento capacitivo continuam a ocorrer. O uso de uma carga de baixa impedância em conjunto com um buffer na entrada da interface, apesar de resolver tanto o problema da capacitância quanto o da impedância de entrada, leva a uma ocupação de área maior, além de uma maior aumento do consumo de potência. Tudo leva a crer, então, que uma opção bastante boa para a realização desta interface seria a utilização de um mixer ativo, o qual já irá disponibilizar uma alta impedância de entrada para o sistema, além de permitir o uso de outras topologias de filtros para seleção do sinal, de acordo com a tecnologia utilizada no próprio FPAA em que a interface será inserida.

5 RESULTADOS PRÁTICOS OBTIDOS COM FPAAS COMERCIAIS

Alguns resultados práticos utilizando-se FPAAs comerciais foram realizados a fim de validar a proposta apresentada. Primeiramente, dois exemplos utilizando-se dois diferentes FPAAs da Lattice, que trabalham em tempo contínuo (OTA-C), são apresentados. Um deles mostra como é possível filtrar-se sinais de baixa frequência utilizando-se um FPAA cuja frequência de corte mínima é superior às frequências dos sinais que se quer separar (SCHÜLER, 2004b). O outro apresenta a realização de uma soma entre dois sinais em alta frequência com um FPAA cuja frequência máxima de operação é bastante inferior às dos sinais a serem somados (SCHÜLER, 2004a).

Posteriormente, é apresentado um resultado prático utilizando-se um FPAA da Anadigm, o qual trabalha em tempo discreto (capacitor chaveado) onde uma demodulação de um sinal modulado em AM é realizada, estando a portadora do sinal em uma frequência superior à máxima frequência de corte dos filtros implementáveis com o FPAA (SCHÜLER, 2004b). Por fim, utilizando-se outro FPAA da Anadigm, apresenta-se uma aplicação bastante utilizada em instrumentação, que consta de uma ponte de Wheatstone para a leitura da variação da resistência de um sensor qualquer (SCHÜLER, 2005).

Um mixer passivo com chaves MOS foi implementado usando o circuito integrado MC14007UB (MOTOROLA, 1994), constituído por 3 transistores PMOS e 3 NMOS. O circuito integrado CD4030C (FAIRCHILD, 1999) formado por quatro portas XOR é utilizado para a realização dos sinais de LO e LO invertido. Os sinais foram gerados pelo gerador de sinais HP33120A e pelo gerador de funções Tektronix CFG253, e adquiridos pelo osciloscópio HP54645D a uma taxa de 25MSa/s.

5.1 FPAA LATTICE

A estrutura utilizada para as aplicações com os FPAA's da Lattice é apresentada na figura 39. O sinal de entrada (RF) é multiplicado pelo sinal do oscilador local (LO), resultando no sinal de saída do mixer (IF) composto pela soma e pela diferença entre LO e RF. O sinal desejado é então selecionado pelo filtro passa-faixa realizado pelo FPAA da Lattice ispPAC10 (LATTICE, 2000a). Este filtro consiste de duas seções de segunda ordem com fator de qualidade de 7.59 cada. O bloco subsequente é outro FPAA da Lattice, ispPAC80 (LATTICE, 2001) ou ispPAC20 (LATTICE, 2000a) que implementam um filtro ativo ou um somador, respectivamente. Uma rede de formada por um resistor e um capacitor deve ser incluída entre o mixer e o filtro passa-faixa para a adaptação do nível DC necessário ao funcionamento do FPAA.

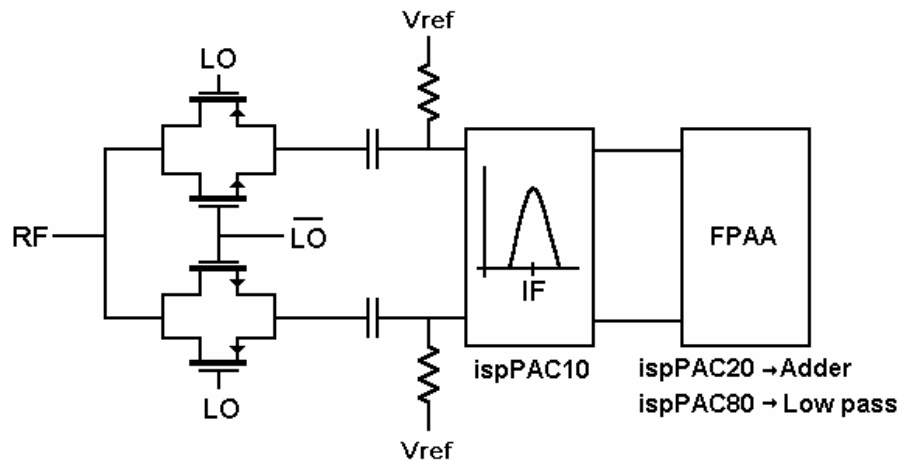


Figura 39. Estrutura do mixer, filtro passa-faixa e aplicação, usando FPAA's da Lattice.

No primeiro experimento com os FPAA's da Lattice, deseja-se filtrar, através da utilização de um filtro passa-baixa, um sinal formado pela soma de dois sinais senoidais de frequências distintas (10KHz e 30KHz), obtendo-se como resultado apenas o sinal em 30KHz (figura 40). Para isso, o ispPAC80, cuja mínima frequência de corte do filtro passa-baixa realizável é de 50KHz, será usado.

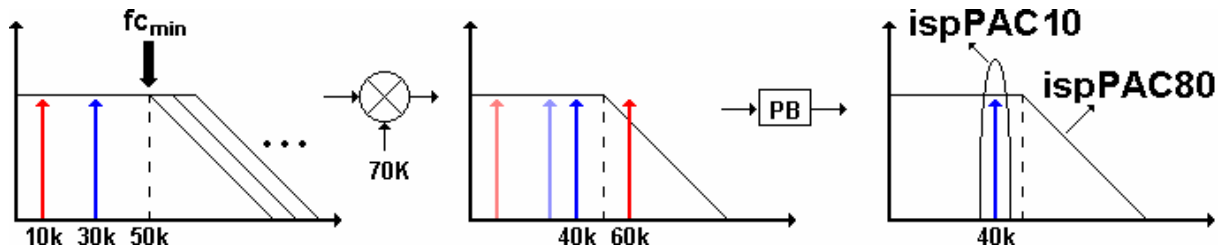


Figura 40. Seqüência para filtragem utilizando FPAA da Lattice.

O que se deseja realizar uma filtragem do tipo passa-alta usando um filtro passa-baixa implementado com o FPAA. Portanto, uma operação de *up-conversion* dos sinais de entrada, usando um sinal de LO em 70KHz, é requerida, resultando numa freqüência intermediária (IF) de 40KHz ($70\text{KHz}-30\text{KHz}$) e 60KHz ($70\text{KHz}-10\text{KHz}$). Assim, o sinal que estava em 30KHz está agora em 40KHz e o sinal que estava em 10KHz está agora em 60KHz, permitindo realizar a filtragem passa-baixa, obtendo-se o sinal desejado. O sinal em 40KHz é selecionado pelo filtro passa-faixa, implementado usando o ispPAC10, e o sinal em 60KHz, a harmônica do oscilador local em 70KHz e a resultante da soma de LO e RF em 80KHz e 100KHz, são removidos pelo ispPAC80 que implementa um filtro passa-baixa elíptico, cuja freqüência de corte é de 55,65KHz, com um ganho de 2dB. A figura 41 mostra os sinais resultantes da operação descrita.

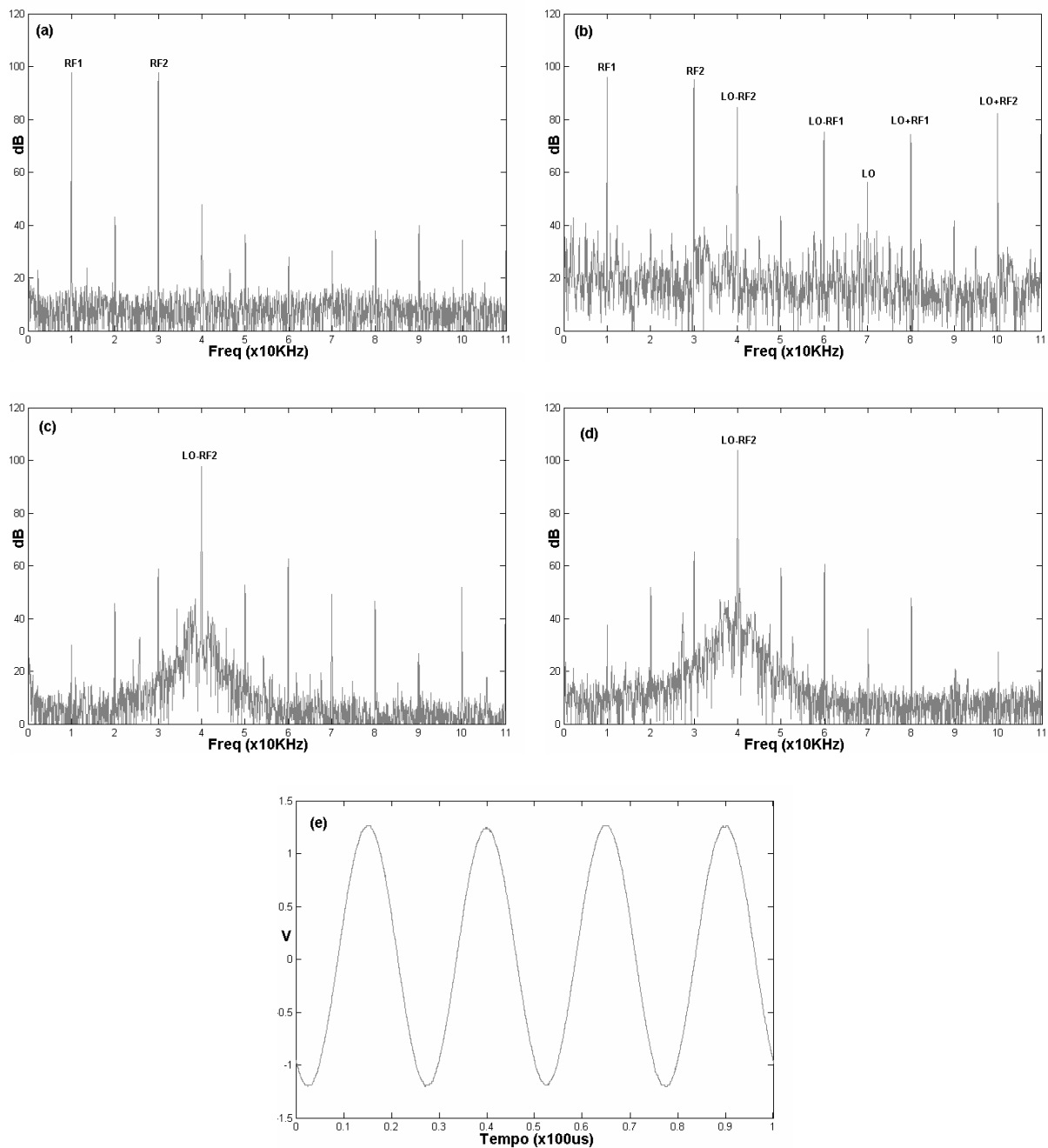


Figura 41. Medidas mostrando (a) FFT do sinal de entrada (10KHz+30KHz); (b) FFT do sinal mixado; (c) FFT do sinal filtrado pelo passa-faixa em 40KHz; (d) FFT do sinal filtrado pelo passa-baixa em 55,65KHz e (e) sinal filtrado no domínio tempo.

No segundo experimento (figura 42), deseja-se realizar a soma de dois sinais senoidais em alta frequência (5MHz e 5,01MHz), usando o ispPAC20, cuja máxima frequência de operação é de 550KHz. Faz-se necessário, então, a realização de um processo de *down-conversion* destes sinais para uma frequência na qual o ispPAC20 seja capaz de trabalhar e

realizar a soma. Uma frequência intermediária (IF) de 60KHz foi escolhida, resultando em uma frequência do oscilador local (LO) de 5,06MHz. Os sinais em 5MHz e 5,01MHz são então transladados para 60KHz e 70KHz, respectivamente, sendo então somados pelo ispPAC20.

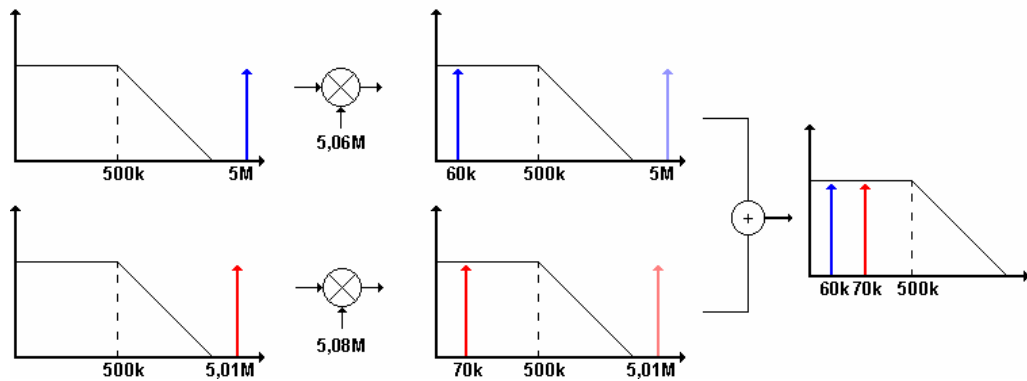


Figura 42. Seqüência para a soma de dois sinais em alta frequência usando o ispPAC20.

O sinal em 5,01MHz foi gerado diretamente em 70KHz através de um gerador de sinais. A figura 43(a) mostra as FFTs dos sinais de entrada em 5MHz e em 70KHz, enquanto que a figura 43(b) mostra o sinal de 5MHz convertido para 60KHz e a figura 43(c) este sinal após o filtro passa-faixa. A figura 43(d) apresenta o espectro em frequência dos sinais somados, enquanto a figura 43(e) mostra a resultante no domínio tempo desta soma.

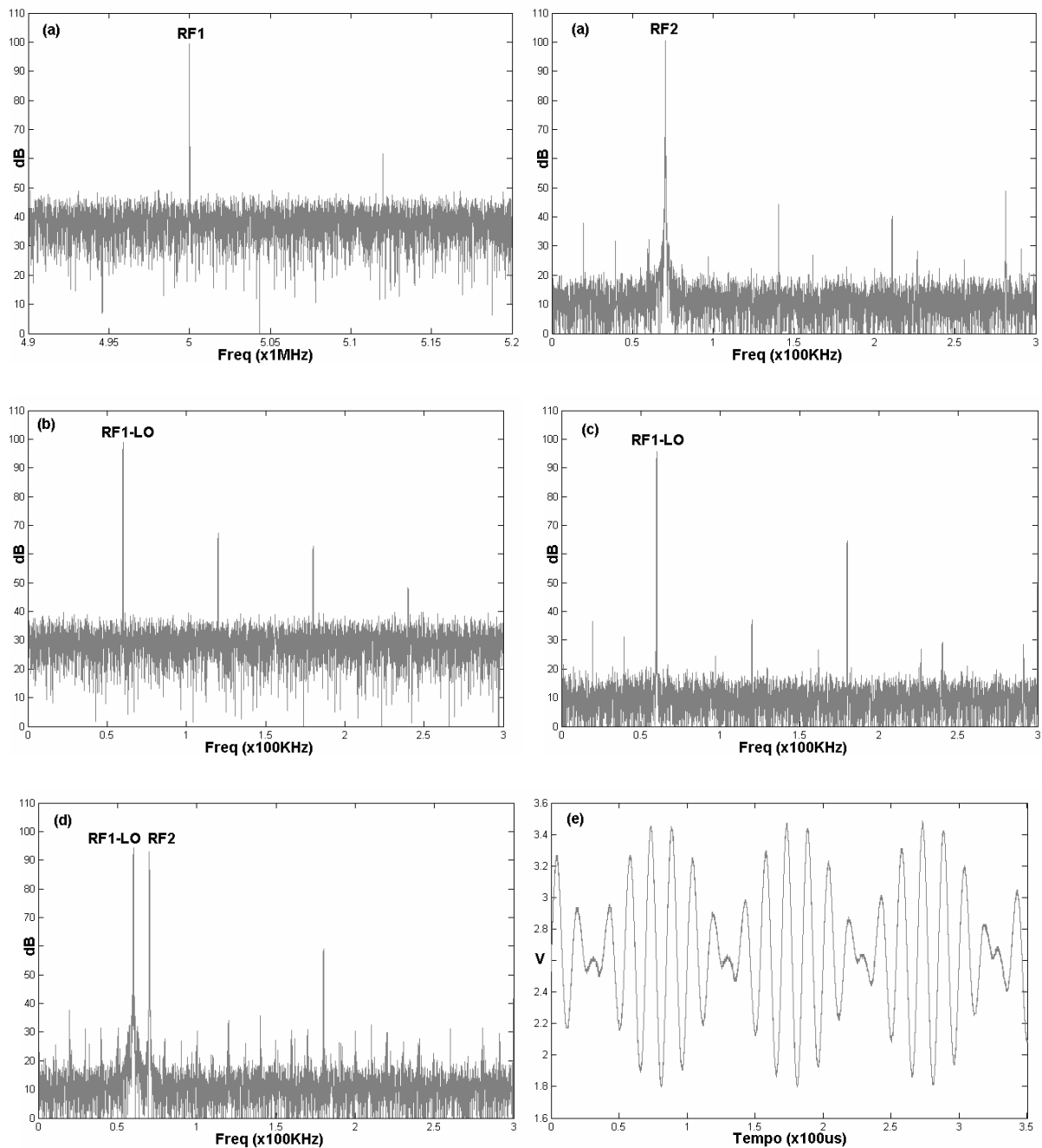


Figura 43. Medidas mostrando (a) FFTs dos sinais de entrada em 5MHz e 70KHz; (b) FFT do sinal em 5MHz mixado para 60KHz; (c) FFT do sinal em 60KHz após o filtro passa-faixa; (d) FFT da soma dos sinais em 60KHz e 70KHz e (e) sinal de saída no domínio tempo.

Um mixer baseado em chaves gera, além de sinais em $|\text{LO} \pm \text{RF}|$, harmônicas de maior ordem em $|3\text{LO} \pm \text{RF}|$, $|5\text{LO} \pm \text{RF}|$, e assim por diante, como visto no capítulo IV. Logo, as harmônicas que aparecem nas figuras 41 e 43 são introduzidas por três diferentes fontes: pelos

geradores de sinal, pelo filtro passa-faixa implementado com o FPAA comercial ispPAC10 e pelos filtros passa-baixa e somador, implementados com os FPAAs ispPAC10 e ispPAC20, respectivamente. Isso significa que o sistema original (sem a interface mixer+passa-faixa) já produz harmônicas que degradam o sinal.

5.2 FPAA ANADIGM

No experimento usando o FPAA da Anadigm AN10E40 (ANADIGM, 2002), uma seqüência de demodulação de um sinal modulado em amplitude (AM) é realizada. Para tanto, é necessária a utilização de um retificador e de um filtro passa-baixa para se recuperar o sinal modulado (LATHI, 1998), como mostra a figura 44.

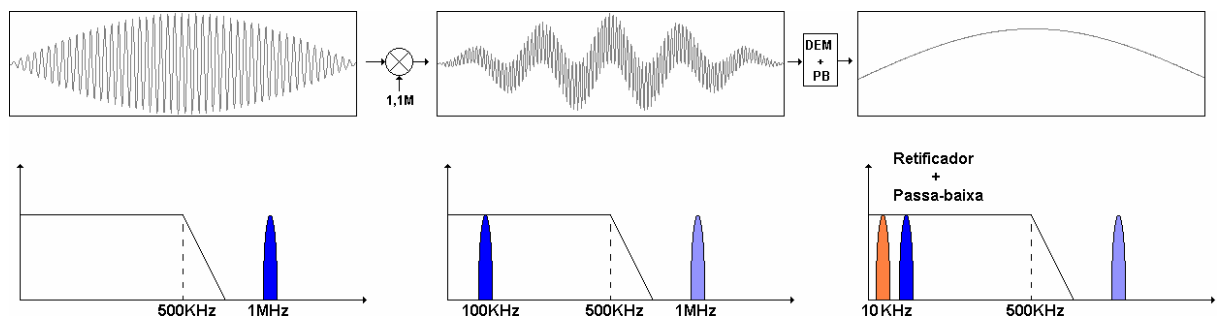


Figura 44. Esquema de demodulação AM.

Um sinal modulado em amplitude com uma portadora em uma frequência de 1MHz e um sinal modulador numa frequência de 10KHz são introduzidos no mixer, realizando uma operação de *down-conversion* para uma IF de 100KHz. Nesta frequência o AN10E40 é capaz de realizar operações analógicas, tais como retificação e filtragem, necessárias para demodular o sinal. O filtro passa-faixa realizado na saída do mixer para separar o sinal desejado é também realizado com os recursos do próprio AN10E40.

A figura 45 mostra o sinal de entrada modulado em amplitude, o sinal após o mixer e, finalmente, o sinal demodulado.

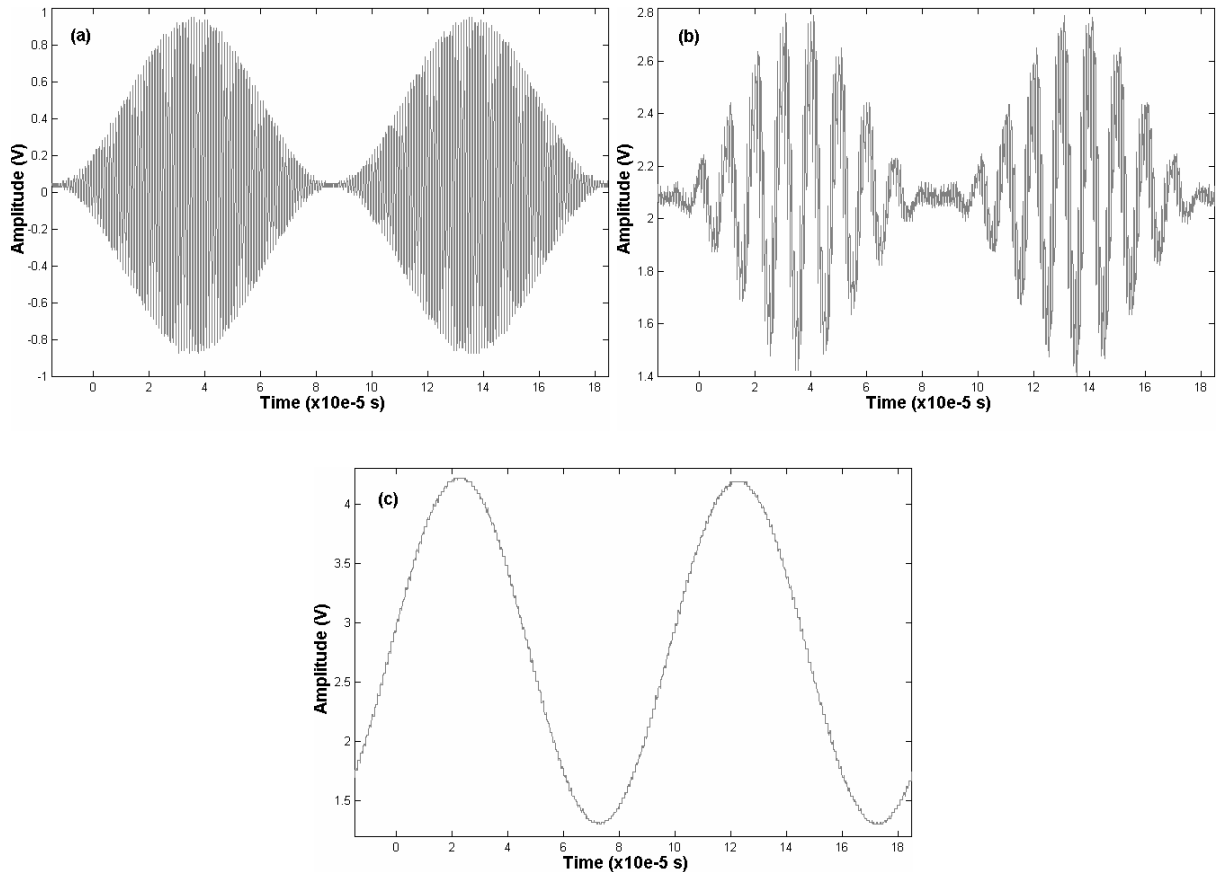


Figura 45. Medidas mostrando (a) sinal de entrada modulado em amplitude; (b) sinal mixado; (c) sinal de saída demodulado.

Observando-se a figura 45(c), é possível identificar o efeito de chaveamento dos capacitores do FPAA. Este efeito pode facilmente ser removido, se necessário, através do uso de um filtro *smooth*.

O próximo experimento foi desenvolvido partindo-se do pressuposto que se possua um FPAA cuja mínima frequência de utilização é de 40KHz, o que resultaria numa menor utilização de área analógica ocupada, permitindo assim, a maior inclusão de componentes passivos no sistema. O FPAA utilizado é o AN221E04 da Anadigm cuja máxima frequência de operação é de 2MHz, no qual, além do filtro passa-banda, também o mixer e o gerador de LO são implementados.

O experimento consta da leitura da variação de tensão entre os dois terminais de uma ponte de Wheatstone, cuja alimentação é um sinal DC, resultante da variação do valor de resistência de um potenciômetro. O potenciômetro simula um sensor resistivo qualquer, o qual poderia estar sendo usado, por exemplo na leitura da variação de temperatura através de um termistor NTC (*Negative Temperature Coefficient Thermistor*) ou na leitura da variação de tensões aplicadas a uma célula de carga utilizando *strain-gauges*. Com o FPAA em questão, não seria possível realizar-se a leitura desse sinal, já que a variação do sinal possui uma frequência, na maioria dos casos, muito abaixo da mínima frequência de operação do FPAA. Assim, realiza-se um processo de *up-conversion* para uma frequência na qual o FPAA opere. Neste caso, foi escolhida uma frequência de 50KHz.

A figura 46 mostra a estrutura utilizada, mostrando a configuração interna do sistema utilizado no FPAA, cuja entrada é *bufferizada*. O filtro passa-banda possui um fator de qualidade de 50. O sistema, desde a entrada até a saída do FPAA tem um ganho de 5.

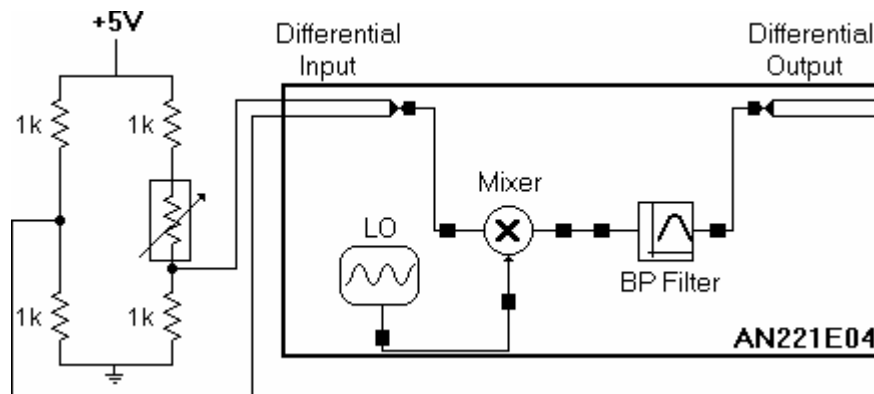


Figura 46. Estrutura para leitura de sensor em uma ponte de Wheatstone.

Na figura 47 apresentam-se os sinais temporais referentes às saídas do FPAA, as quais referem-se às saídas da ponte levadas para uma frequência de 50KHz. Além disso, apresenta-se também o sinal de diferença entre estas duas saídas, que é o sinal de interesse para o

cálculo do valor da variação de resistência do sensor. A figura 48 mostra uma FFT de uma das saídas do FPAA.

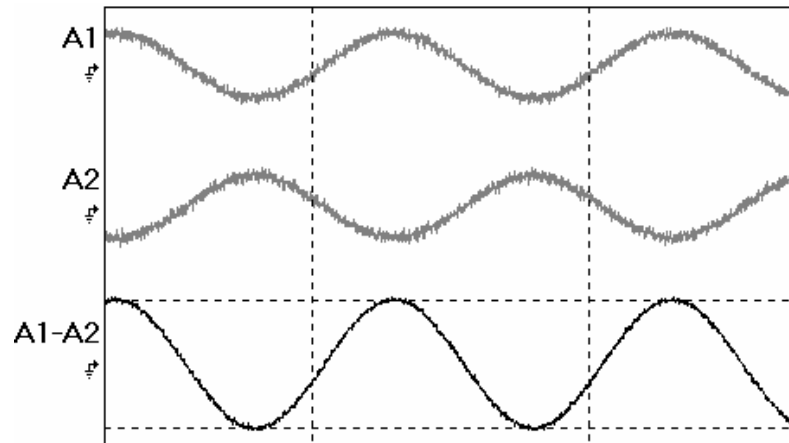


Figura 47. Medida dos sinais diferenciais de saída do FPAA e subtração entre estes sinais.

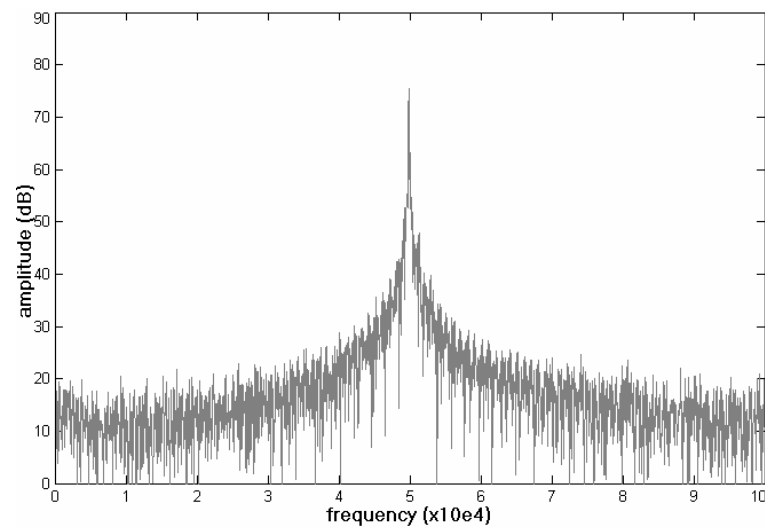


Figura 48. Medida mostrando o espectro de frequência de uma das saídas do FPAA.

A variação da resistência do sensor reflete-se como uma variação na amplitude do sinal de saída do sistema. Essa variação é mostrada na figura 49. Os valores medidos para o levantamento dessa curva estão descritos na tabela 7, bem como os valores calculados de resistência a partir da medição da variação da amplitude do sinal.

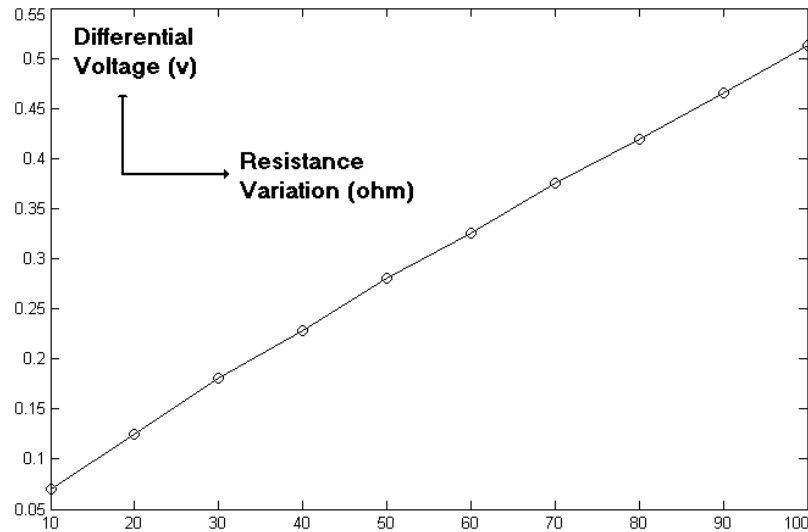


Figura 49. Aquisição prática mostrando a variação da tensão diferencial de saída *versus* variação da resistência do sensor.

Tabela 7. Valores medidos e calculados para variação da tensão e da resistência.

Resistência do sensor (Ω)	Diferença de tensão (V)	Resistência calculada (Ω)
100	0,51250	103,1447
90	0,46500	91,40049
80	0,41880	80,49202
70	0,37500	70,58824
60	0,32500	59,77011
50	0,28000	50,45045
40	0,22810	40,16022
30	0,18120	31,25755
20	0,12500	21,05263
10	0,07031	11,57514

Para os experimentos mostrados, os filtros passa-faixa da interface foram implementados com recursos dos próprios FPAAs, logo, uma vez que o AN10E40 e o AN221E04 da Anadigm permitem a implementação de filtros de ordens mais altas, os

resultados para estes dispositivos são muito melhores do que os resultados para os experimentos usando os FPAA's da Lattice FPAA, cujos filtros possuem fatores de qualidade que não são muito altos (na ordem de 1 a 7 para o passa-faixa implementado com o ispPAC10). Mesmo assim, foi possível a obtenção de frequências de operação superiores e inferiores àquelas nas quais os FPAA's são capazes de operar, o que mostra a possibilidade de ampliação da gama de sinais para os quais pode-se realizar operações analógicas utilizando-se FPAA's comerciais. Além disso, tomando-se como exemplo o experimento utilizando-se a ponte de Wheatstone, pode-se partir para o desenvolvimento de FPAA's que possuam bandas limitadas tanto em alta como em baixa frequência. Com isso, pode-se realizar dispositivos que ocupem uma menor área devido à limitação em baixa frequência, permitindo a inclusão de mais recursos no FPAA. Por sua vez, o limite em alta frequência permitiria o desenvolvimento de FPAA's que possuam um conjunto de chaves de programação maior, permitindo a realização de mais funções analógicas em um mesmo dispositivo.

A figuras 50 e 51 mostram as montagens utilizadas para a realização dos experimentos. O apêndice D mostra as estruturas internas dos FPAA's utilizados nos experimentos práticos, e o apêndice E as respostas em frequência e no tempo para simulações realizados com os softwares de programação destes FPAA's.

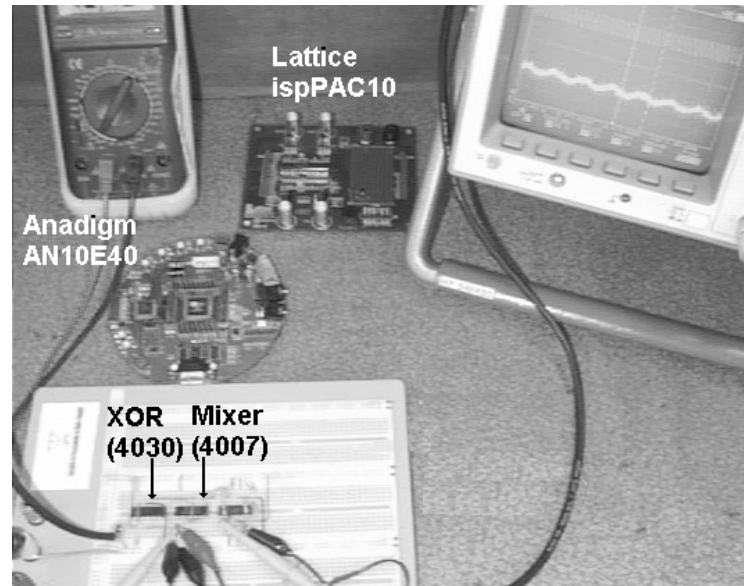


Figura 50. Montagem usada para os experimentos práticos.

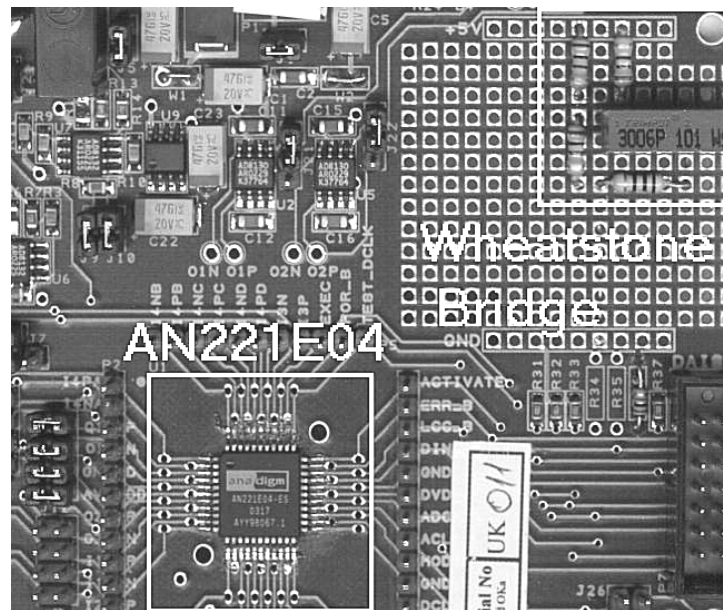


Figura 51. Montagem da ponte de Wheatstone juntamente com o AN221E04.

6 ANÁLISE DE POTÊNCIA, ÁREA E FREQUÊNCIA

Neste capítulo será realizada a comparação em termos de frequência de operação, área ocupada e potência dissipada entre um FPAA qualquer, com uma certa largura de banda, e este mesmo FPAA operando em conjunto com a interface proposta, porém com sua faixa de frequência de operação centrada em uma frequência maior que a do FPAA original, como mostra a figura 52. A utilização desses limites de frequência implica em uma redução da área ocupada, como visto no capítulo III, sem entretanto limitar sua programabilidade, já que o limite superior de operação não está em frequências muito elevadas. O uso da interface propicia o aumento da faixa de frequência de operação, incorrendo em um aumento no consumo de potência não muito elevado, na medida que a interface, em princípio, deve ser desenvolvida na mesma tecnologia na qual o FPAA é desenvolvido, sem ocupar muito mais recursos do que alguns CAB.

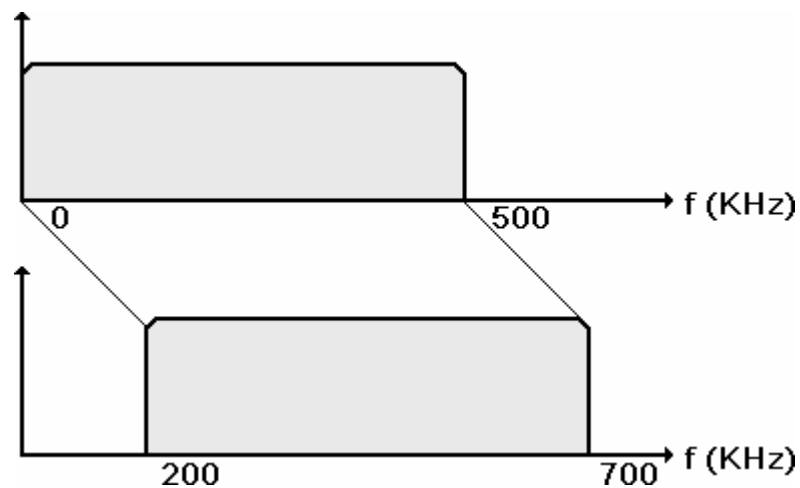


Figura 52. Comparação entre as faixas de frequência de operação dos FPAAs propostos.

A banda do FPAA a ser utilizado sem a interface, a exemplo do AN10E40 da Anadigm, vai desde DC até 500KHz (ANADIGM, 2002a). Para o FPAA que será usado

juntamente com a interface, esta banda foi deslocada para uma frequência de 200KHz a 700KHz, portanto 200KHz acima do FPAA anterior.

Assume-se um FPAA desenvolvido em uma certa tecnologia, formado por CABs distribuídos em uma matriz de 5 colunas por 4 linhas, conseqüentemente com 20 elementos, como mostra a figura 53(a). Cada CAB é baseado em um amplificador operacional, dois bancos de 4 capacitores cada, dois resistores variáveis (os quais podem ser implementados, por exemplo, por transistores operando na região linear, capacitores chaveados ou mesmo transdutores) e um conjunto de chaves para reconfiguração, como mostra a figura 53(b).

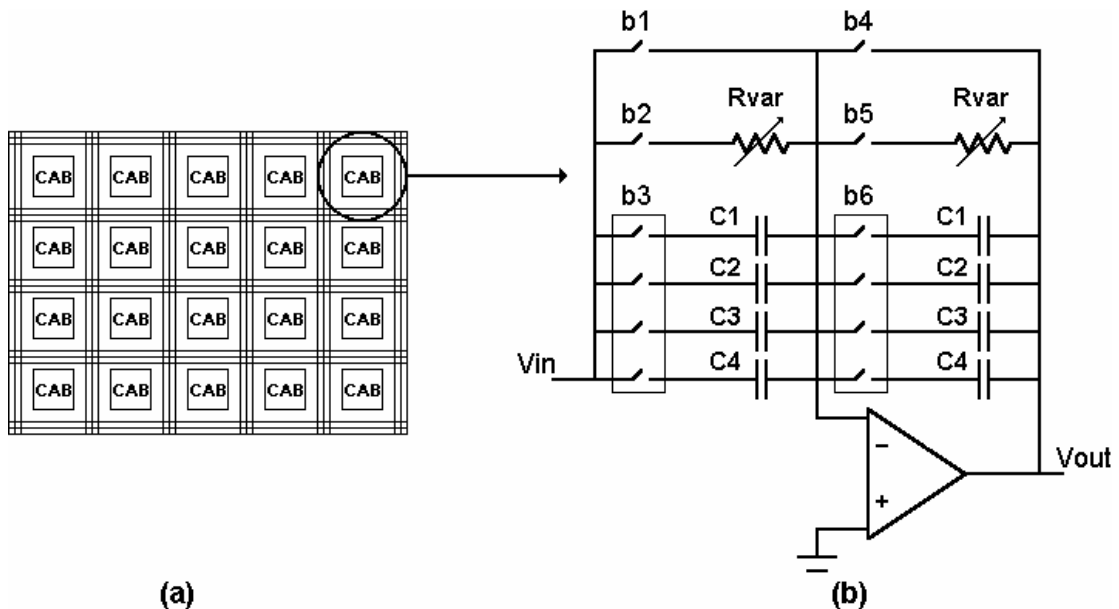


Figura 53. (a) Estrutura matricial do FPAA proposto e (b) estrutura interna do CAB.

O CAB proposto na figura 53(b) pode realizar seis funções básicas diferentes, de acordo com a configuração dos bancos de chaves $b1$ a $b6$, conforme mostra a tabela 8, sendo que $b3$ e $b6$ são um conjunto de chaves para programação do banco de capacitores. Juntando-se estas funções elementares, é possível realizar-se outras funções como filtros passa-faixa e osciladores. No apêndice B estão as descrições SPICE do CAB utilizado, e no apêndice F as

simulações das funções realizadas pelo CAB, para diferentes configurações e valores dos componentes.

Tabela 8. Configuração das chaves do CAB para realização de diferentes funções.

Função	b1 b2 b3 b4 b5 b6
Comparador	1 0 0 0 0 0
Amplificador Inversor	0 1 0 0 1 0
Integrador	0 1 0 0 0 1
Diferenciador	0 0 1 0 1 0
Filtro Passa-Baixa	0 1 0 0 1 1
Filtro Passa-Alta	0 0 1 0 1 1

De acordo com as frequências de corte mínimas e máximas dos filtros passa-baixa e passa-alta, ganhos mínimos e máximos do amplificador e constantes de integração e diferenciação mínimas e máximas dos integradores e diferenciadores, determinam-se os valores dos capacitores e as faixas de variação dos resistores de cada CAB. Se, por exemplo, para o FPAA cuja banda vai de DC até 500KHz a máxima frequência de corte do passa-alta deve ser em torno de 500KHz, utiliza-se um capacitor de valor mínimo de 3pF com um resistor de valor mínimo de 100K Ω . Da mesma forma, para o FPAA com banda entre 200KHz e 700KHz, se a mínima frequência de corte do passa-baixa deve ser em torno de 200KHz, o máximo valor do capacitor deve ser de 4,25pF com um resistor de valor máximo de 200K Ω . A tabela 9 mostra os valores dos capacitores e resistores necessários à implementação dos CABs para o FPAA com banda entre DC e 500KHz e para o FPAA com uma faixa de frequência de operação deslocada conforme a figura 52 (entre 200KHz e 700KHz).

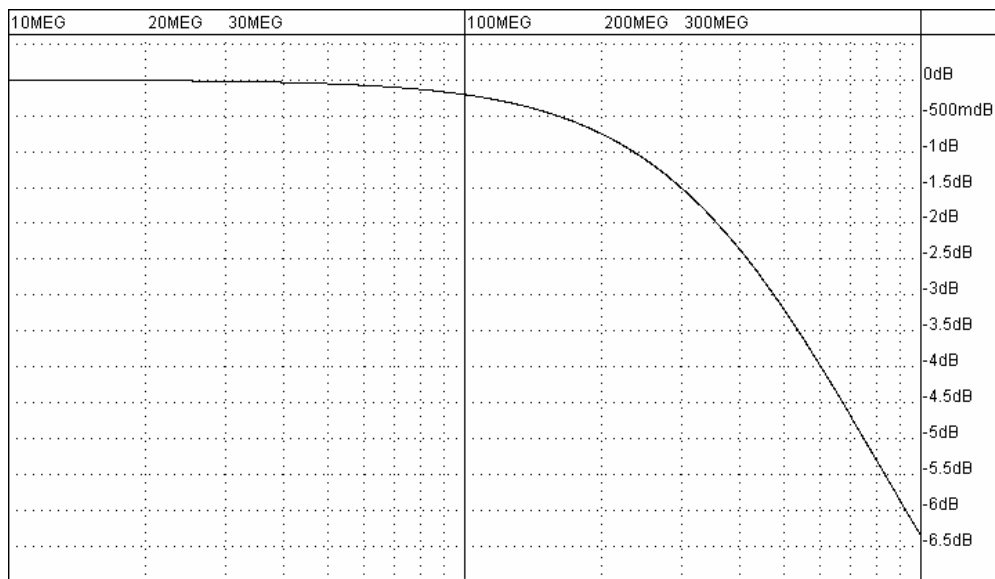
Tabela 9. Valores de resistores e capacitores dos FPAA's propostos para comparação.

Limite de Banda do FPAA		0 – 500KHz	200KHz – 700KHz
Resistores (Ω)		100K < R < 500K	100K < R < 200K
Capacitores (F)		3p; 23p; 43p; 63p	2p; 2,75p; 3,5p; 4,25p
Passa-Baixa	$f_{c_{min}}$	4,5KHz	190KHz
	$f_{c_{max}}$	530KHz	795KHz
	G_{min}	0,2	0,5
	G_{max}	5	2
Passa-Alta	$f_{c_{min}}$	4,5KHz	190KHz
	$f_{c_{max}}$	530KHz	795KHz
	G_{min}	0,047	0,47
	G_{max}	21	2,125
Amplificador	G_{min}	0,2	0,5
	G_{max}	5	2
Integrador	τ_{min}	0,3 μ s	0,2 μ s
	τ_{max}	31,5 μ s	0,85 μ s
Diferenciador	τ_{min}	0,3 μ s	0,2 μ s
	τ_{max}	31,5 μ s	0,85 μ s

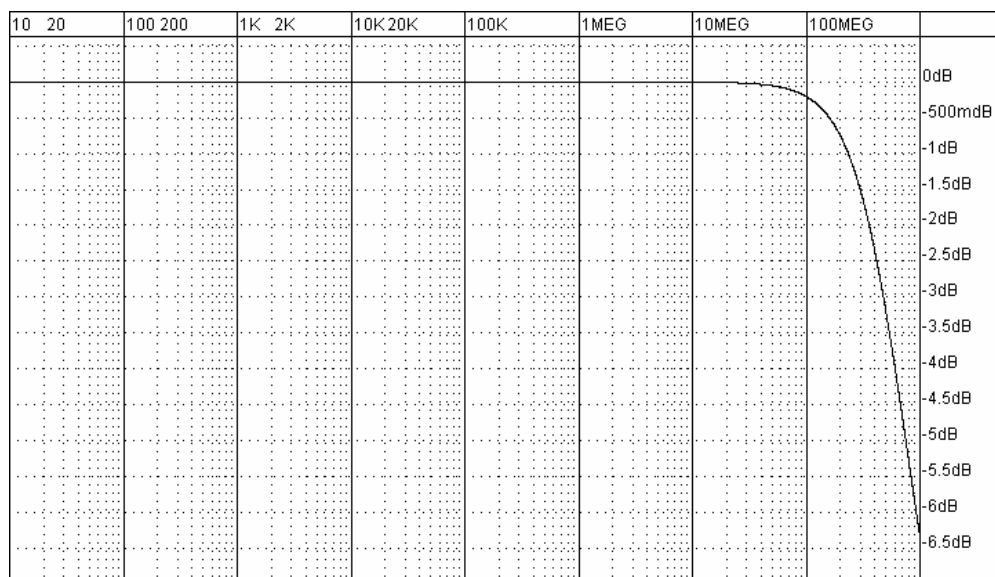
6.1 ANÁLISE DA FAIXA DE FREQUÊNCIA DE OPERAÇÃO

Para o FPAA cuja banda é limitada entre DC e 500KHz, a faixa de frequência de operação pode ser ampliada através da utilização da interface, para valores de frequências bastante superiores a 500KHz, uma vez que o mixer possui uma largura de banda suficientemente grande para varrer frequências de quase 500MHz, como mostra a simulação

da figura 54a. Para o FPAA com banda entre 200KHz e 700KHz, a faixa de frequência de operação pode ser estendida tanto para valores acima quanto para valores baixo dos seus limites desta banda, como pode ser verificado na figura 54b, que é a mesma simulação, porém para uma faixa maior de frequências a fim de mostrar a resposta do mixer para sinais de baixas frequências.



(a)



(b)

Figura 54. Simulação da resposta em frequência para o mixer utilizado na interface.

Portanto, a utilização da interface, em ambos os casos, torna possível a utilização dos FPAA's em faixas de frequências bastante superiores e inferiores àquelas nas quais eles operam.

6.2 ANÁLISE DA ÁREA OCUPADA

Na tabela 10 estão relacionadas as áreas ocupadas por cada CAB proposto, considerando-se a soma das áreas dos capacitores e do amplificador operacional. Os resistores, os quais supôs-se serem implementados usando transistores polarizados na região linear, ocupam uma área bem menor que a dos capacitores, sendo portanto não incluídas no cálculo.

Tabela 10. Área ocupada pelos FPAA's propostos.

	Área ocupada (μm^2) (0 – 500KHz)	Área ocupada (μm^2) (200KHz – 700KHz)
Área dos Capacitores¹	138.947	13.158
Área do Opamp²	2.573	2.573
Área total do CAB³	141.520	15.731
Área total do FPAA⁴	2.830.400	314.620

1 Soma das áreas dos capacitores, considerando-se uma capacitância por área de 950 aF/ μm^2 entre poly/poly.

2 Contabilizando-se dezesseis transistores e um capacitor de compensação de 0,443pF (vide descrição no apêndice B).

3 Soma das áreas capacitores e opamps, sem contabilizar chaves de configuração e programação.

4 Soma das áreas dos 20 CABs, sem contabilizar chaves de configuração, programação ou redes de interconexão.

A realização do filtro passa-faixa da interface ocuparia os recursos equivalentes a no mínimo 3 CABs, conforme mostra a figura 55, que apresenta um filtro de Tow-Thomas

realizado com os CAB descritos, constituído de dois integradores, sendo um com perdas e outro sem, e um amplificador inversor. Essa área é da ordem de $47193\mu\text{m}^2$, que é a soma das áreas de 3 CABs do FPAA de banda entre 200KHz e 700KHz, já que o filtro deverá possuir frequências de corte nesta faixa também.

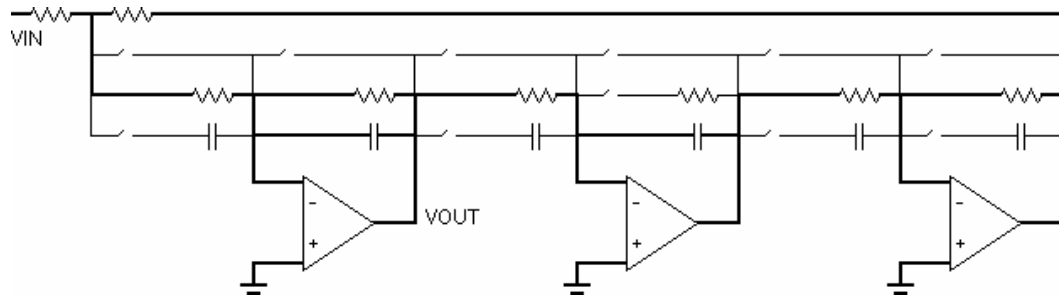


Figura 55. Filtro Tow-Thomas usando os CABs propostos.

O mixer, por sua vez, ocupa apenas a área de quatro transistores (duas portas de transmissão) cujos cálculos foram apresentados no capítulo IV. Essa área é de aproximadamente $3.000\mu\text{m}^2$. Somando-se as áreas do filtro e do mixer, tem-se uma área para a interface de $50.193\mu\text{m}^2$.

Como se percebe, a área ocupada pelo FPAA cuja banda está entre DC e 500KHz é bastante superior à área ocupada pelo FPAA de frequência de operação entre 200KHz e 700KHz (cerca de 9 vezes), mesmo quando esta área é somada à área ocupada pela interface ($50.193\mu\text{m}^2$), quando então essa razão cai para 7,8 vezes. Portanto, a inclusão da interface possibilita a redução da área analógica ocupada, permitindo assim a inclusão de mais recursos analógicos no FPAA.

6.3 ANÁLISE DA POTÊNCIA DISSIPADA

Na tabela 11 estão os valores de corrente consumidos pelos CABs dos FPAA's propostos anteriormente, quando executando diferentes funções.

Tabela 11. Consumo do CAB conforme função implementada*.

Função do CAB	Corrente consumida (μA_{RMS}) (0-500KHz)	Corrente consumida (μA_{RMS}) (200KHz-700KHz)
Amplificador Inversor	1,032	1,022
Comparador	1,018	1,018
Diferenciador	0,9818	0,9818
Integrador	1,018	1,018
Passa-Alta	0,9818	0,9818
Passa-Baixa	1,032	1,022

* Soma das correntes RMS de VSS e VDD.

Portanto, para a realização de um Tow-Thomas, o qual ocupa dois integradores e um amplificador inversor, a corrente consumida fica em torno de 3mA. O consumo do mixer, por sua vez, ocorre apenas em função do chaveamento, cuja frequência é controlada pelo oscilador local. A tabela 12 mostra como varia o consumo de corrente deste dispositivo conforme varia a frequência do oscilador local (LO).

Tabela 12. Consumo do mixer com a variação da frequência de chaveamento.

Frequência de LO (KHz)	Corrente consumida (μA_{RMS})
10.000	300,0
1.000	120,0
100	38,0
10	20,4
1	18,4

* Soma das correntes RMS de VSS, VDD, LO.

Sendo o FPAA constituído de 20CABs, o seu consumo médio de corrente fica em torno de 20mA (computando-se apenas o consumo dos CABs, sem levar em conta partes digitais de programação). A interface, por sua vez, possui um consumo que varia conforme a frequência do oscilador local entre aproximadamente 3mA e 3,3mA (também sem levar em consideração a parte digital responsável pela geração de LO e configuração da interface), o que equivale a 15% a quase 17% do consumo total do FPAA. Mesmo se fosse introduzido um *buffer* na entrada da interface para se obter uma impedância de entrada elevada, o consumo da interface seria acrescido de aproximadamente 1mA (equivalente a um CAB), o que equivale a 20% a quase 22% do consumo total do FPAA. Portanto, o uso da interface possibilita a ampliação da faixa de frequências de operação do FPAA, sem entretanto incorrer em uma grande elevação do consumo de potência do sistema.

7 CONCLUSÃO

Os FPAAs, apesar de terem tido um início que parecia rumar para o mesmo caminho dos FPGAs, permanecem atualmente em um estado um tanto quanto estagnado. A necessidade de dispositivos analógicos programáveis que possuam um elevado grau de reconfigurabilidade, permitindo a realização de diferentes sistemas analógicos, associado a uma frequência mínima/máxima de operação suficientemente baixa/alta, para operar em sistemas de instrumentação a telecomunicações, faz com que os dispositivos comerciais existentes se tornem componentes limitados a certas aplicações, e dentro de uma faixa de frequência também limitada, não atendendo aos desejos dos projetistas. Também, a grande área ocupada em circuitos integrados analógicos é outro fator que limita bastante a utilização destes componentes.

Os dispositivos desenvolvidos academicamente, apesar de abordarem diversas técnicas passíveis de integração e que possibilitam a realização de células reconfiguráveis, com raras exceções, não tiveram prosseguimento em seu desenvolvimento.

Fatores de engenharia como o baixo número de componentes analógicos possíveis para integração em uma pastilha, quando comparado ao número de transistores em um sistema digital, limitações em frequência impostas pela necessidade, na maioria dos casos, do uso de chaves de interconexão e reconfiguração, contribuem para a estagnação do desenvolvimento de novos FPAAs. Também aspectos como falta de padronização, complexidade de projeto e granularidade, determinam os rumos deste dispositivo.

A busca por soluções mistas, que realizem o processamento de sinais analógicos e digitais, esbarra no problema da potência, que é um dos grandes obstáculos a ser transposto pelos projetistas de sistemas embarcados. Outro fator limitante neste tipo de sistema é o uso de conversores analógico-digitais (ADC) e digital-analógicos (DAC) para o interfaceamento entre os sinais analógicos e digitais. Pontos como linearidade, resolução e largura de banda

são alguns dos aspectos críticos a serem levados em conta na fabricação destes conversores, e que podem determinar até onde estes dispositivos mistos irão operar.

Neste trabalho foi apresentada uma proposta para a realização de uma interface de baixa potência a ser utilizada em conjunto com um FPAA qualquer, permitindo o aumento da faixa de frequência de operação destes dispositivos. As larguras de banda do FPAA e, portanto, do sinal a ser processado, permanecem a mesma do FPAA original (sem interface) uma vez que o aumento desta largura de banda, como discutido no capítulo III, envolveria redução de programabilidade e aumento de área ocupada. Com o aumento da faixa de frequência de operação, uma maior gama de aplicações, as quais podem variar desde instrumentação de baixa frequência até telecomunicações em alta frequência, seria passível de ser realizada com a utilização de FPAAs. O desenvolvimento de FPAAs cuja operação se limite a uma certa faixa de frequência, propiciando a realização de um projeto analógico com especificações menos rigorosas, também é uma possibilidade a ser levada em conta. Com isso, a utilização destes componentes, juntamente com os FPGAs, poderia apontar para um dos caminhos a ser seguido atualmente pelos projetistas de SoCs, que é a utilização da reconfigurabilidade para a redução do tempo de desenvolvimento destes dispositivos bem como redução do custo de projeto.

A interface, baseada em um mixer para translação do sinal para uma frequência intermediária e um filtro passa-faixa para seleção do sinal mixado, foi projetada e simulada em tecnologia CMOS 0,35 μ m, e alguns resultados práticos envolvendo FPAAs comerciais e componentes discretos foram apresentados. Uma análise envolvendo uma possibilidade de realização da interface foi desenvolvida, para a qual os resultados obtidos foram apresentados. O fato de se propor uma interface de baixa potência e fácil programabilidade, cuja impedância de entrada fosse elevada para permitir sua utilização em aplicações diversas, e sem ocupar uma área excessiva, levou a escolha de um mixer passivo de chaves (baixa potência, fácil

programabilidade e pequena área) em conjunto com um filtro do tipo Gm-C (área relativamente pequena e alta impedância de entrada). Simulações da união destes dois dispositivos mostraram que as capacitâncias parasitas dos transistores utilizados no mixer em paralelo com a alta impedância do filtro geram distorções no sinal de saída do mixer, devido ao não descarregamento dos capacitores parasitas. Um levantamento dos valores das capacitâncias parasitas foi realizado mostrando que estas capacitâncias podem de fato assumir valores bastante significativos.

Como solução, poder-se-ia propor a utilização de um mixer ativo, a exemplo da célula de Gilbert, que apesar de possuir um consumo de potência maior e ocupar uma área maior do que o mixer chaveado, apresenta uma impedância de entrada elevada (porta do transistor MOS). Essa alta impedância de entrada possibilitaria a utilização de um filtro a capacitor chaveado, cuja programabilidade dos parâmetros é bastante mais fácil de ser realizada do que no caso do filtro Gm-C.

Aplicações em instrumentação que envolvem sinais em tensão exigem altas impedâncias de entrada, enquanto aquelas que envolvem sinais em corrente exigem baixas impedâncias de entrada. Como já citado no capítulo IV referente ao desenvolvimento do circuito, os mixers desenvolvidos e apresentados na literatura possuem um projeto voltado para uso em sistemas de comunicações, os quais envolvem impedâncias padrões, na maioria dos casos de 50Ω , 75Ω ou 300Ω . Além disso, os projetos desses mixers são otimizados para realizarem ou uma conversão para sinais de mais altas frequências (*up-conversion*) ou para realização de uma conversão para sinais de mais baixa frequência (*down-conversion*). Isso torna mais difícil o desenvolvimento de uma interface como a proposta neste trabalho que possibilite sua utilização nas mais variadas aplicações, enquanto mantém suas características de baixo consumo e pequena área analógica utilizada.

Como mostrado também no capítulo IV, uma maneira de se realizar um circuito mais genérico seria a utilização de uma carga constante de baixa impedância na saída do mixer a qual, com a inclusão de um buffer, permitiria a utilização da interface tanto em sistemas que exijam alta impedância de entrada como em sistemas que exijam baixa impedância. Porém, para o segundo caso, seria necessária a inclusão de pelo menos mais um par de chaves para optar-se entre o uso ou não desse buffer. Portanto, os fatores consumo de potência e área ocupada começam a tornar-se fatores limitantes, levando-se novamente à escolha de uma segunda topologia de mixer a ser utilizado.

Apesar de ter sido apresentada uma solução para a realização da estrutura da interface, outras soluções são também possíveis, na medida que o circuito deve, em princípio, ser desenvolvido na mesma tecnologia de desenvolvimento do FPAA, o que certamente levará o projetista à escolha de um projeto otimizado para tal tecnologia. Independentemente da estrutura escolhida para o desenvolvimento do sistema, a idéia apresentada neste trabalho pode ser empregada seja em FPAAs seja em *front-ends* de dispositivos SoCs, permitindo, como mostram os resultados práticos apresentados no capítulo V, o aumento da utilização de sistemas analógicos reconfiguráveis na realização de processamento analógico de sinais, sem incorrer em um consumo muito maior de potência, e permitindo uma redução da área analógica utilizada, como mostrou o capítulo VI. Com isso, além do aumento da flexibilidade dos FPAAs, pode-se também se reduzir boa parte da potência consumida em sistemas mistos, na medida que grande parte do processamento dos sinais pode ser feita analogicamente, diminuindo-se a carga de processamento digital envolvida nestes sistemas.

Como trabalhos futuros, propõe-se o estudo da utilização de outras topologias de mixers, a exemplo dos ativos, em conjunto com filtros passa-faixa programáveis para o desenvolvimento de um protótipo integrado da interface.

REFERÊNCIAS

- ANADIGM. AN10E40: field programmable analog array. **DataSheet**, 2002. Disponível em <<http://www.datasheetlocator.com>>. Acesso em: 16 mar. 2005.
- ANADIGM. AnadigmVortex FPAA Family Overview. **DataSheet**, 2003. Disponível em <<http://www.datasheetlocator.com>>. Acesso em: 16 mar. 2005.
- ANALOG DEVICES. AD8400/AD8402/AD8403: 1-/2-/4 channel digital potentiometers. **DataSheet**, 1997. Disponível em <<http://www.datasheetlocator.com>>. Acesso em: 16 mar. 2005.
- ANALOG DEVICES. AD603: low-noise, 90MHz variable-gain amplifier. **DataSheet**, 2003. Disponível em <<http://www.datasheetlocator.com>>. Acesso em: 16 mar. 2005.
- ANDREANI, P.; MATTISSON, S. On the use of Nauta's transconductor in low-frequency CMOS gm-C bandpass filters. **IEEE Journal of Solid-State Circuits**. New York, v.37, feb. 2002. p.114 – 124.
- BENINI, L.; DE MICHELI, G. Networks on chips: a new SoC paradigm. **Computer**. USA, v. 35, n.1, p.70 – 78, jan. 2002.
- BRATT, A.; MACBETH, I. Design and implementation of a field programmable analogue array. In: ACMISIGDA FPGA'96, Monterey. **Proceedings...**Monterey:[s.n], p.88-93, feb. 1996.
- BRATT, A. Motorola field programmable analogue arrays, present hardware and future trends. In: IEEE HALF-DAY COLLOQUIUM ON EVOLVABLE HARDWARE SYSTEMS, 1998, London. **Proceedings...**London: IEEE, 1998. p.1/1-1/5, mar. 1998a.
- BRATT, A.; MACBETH, I. DPAD2: a field programmable analog array. **Analog Integrated Circuits and Signal Processing**. Boston: Kluwer Academic Publisher, v.17, n.1-2, p.67-89, sept. 1998b.
- BURR-BROWN. PGA202/203: digitally-controlled programmable-gain instrumentation amplifier. **DataSheet**, 1993. Disponível em <<http://www.datasheetlocator.com>>. Acesso em: 16 mar. 2005.
- BURR-BROWN. UAF42: universal active filter. **Datasheet**, 1998. Disponível em <<http://www.datasheetlocator.com>>. Acesso em: 16 mar. 2005.
- CANDY, J.C. **Oversampling Delta-sigma Data Converters: theory, design, and simulation**. Nova Iorque : IEEE Press, 1992. 499p.

CHANG, S. T.; HAYES-GILL, B. R.; PAULL, C. J. Multi-function block for a switched current field programmable analogue array. In: MIDWEST SYMPOSIUM ON CIRCUITS AND SYSTEMS, 1996, Iowa. **Proceedings**...Iowa, v.1, p.158-161, ago. 1996.

CLARKE, P. Analog-cell IC takes reconfigurable tack. **EETimes**. Oldham, 1996. Disponível em: <<http://www.eetimes.com/news/96/922news/analog.html>>. Acesso em: 07 jan. 2004.

CYPRESS MICROSYSTEMS INC. CY8C22113, CY8C22213: PSoC mixed signal array. **DataSheet**, 2003. Disponível em <<http://www.datasheetlocator.com>>. Acesso em: 16 mar. 2005.

D'MELLO, D., GULLAK, P., Design approaches to field-programmable analog integrated circuits. **Analog Integrated Circuits and Signal Processing**. Boston: Kluwer Academic Publishers, v. 17, 1998.

EMBABI, S.H.K. et al. A current-mode based field-programmable analog array for signal processing applications. **Analog Integrated Circuits and Signal Processing**. Boston: Kluwer Academic Publishers, v.17, n.1-2, p.125-142, sept. 1998.

ERNST, R. **System-On-Chip Architectures**. Germany. Technical University of Braunschweig, 2000.

FABRIS, E.E.; CARRO, L.; BAMPI, S. An analog signal interface with constant performance for SoCs. In: INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS, 2003, Bangkok. **Proceedings**...Bangkok, may. 2003a. v.1, p.773-776.

FABRIS, E.E.; CARRO, L.; BAMPI, S. A universal high-performance analog interface for signal processing SOCs. In: SYMPOSIUM ON INTEGRATED CIRCUITS AND SYSTEMS DESIGN, 16., 2003 São Paulo. **Proceedings**...São Paulo: IEEE, sept. 2003b. p.137-142.

FABRIS, E.E.; CARRO, L.; BAMPI, S. Analog signal processing reconfiguration for systems-on-chip using a fixed analog cell approach. In: INTERNATIONAL CONFERENCE ON FIELD-PROGRAMMABLE LOGIC AND ITS APPLICATIONS, 2004, Bélgica. **Proceedings**... Bélgica: Springer-Verlag, ago./sept. 2004.

FAIRCHILD SEMICONDUCTOR CORPORATION. CD4030C: quad EXCLUSIVE-OR gate. **Datasheet**. jan. 1999. Disponível em <<http://www.datasheetlocator.com>>. Acesso em: 16 mar. 2005.

FLOCKTON, S.J.; SHEEHAN, K. Intrinsic circuit evolution using programmable analogue arrays. **Lecture Notes in Computer Science**. London: Springer-Verlag, v.1478, p.144-153, 1998.

GAUDET, V.; GULAK, G. 10 MHz field programmable analog array prototype based on CMOS current conveyors. **Micronet Annual Workshop**, Ottawa, apr. 1999.

GREENBAUM, J. Reconfigurable logic in SoC systems. In: IEEE CUSTOM INTEGRATED CIRCUITS CONFERENCE, Florida, USA. **Proceedings**...Florida: IEEE, may 2002, p. 12-15.

GUPTA, R. K.; ZORIAN, Y. Introduction to core-based system design. **IEEE Design & Test of Computers**. New York, IEEE, v. 14, n. 4, oct./dec., 1997.

INTERNATIONAL TECHNOLOGY ROADMAP FOR SEMICONDUCTORS, 2002 update. Disponível em: <<http://public.itrs.net/Files/2002Update/2002Update.htm>>. Acesso em : 10 Ago. 2004.

IVIE, R. FPAA's offer fast route to analog system design. **Nikkei Electronics Asia**, Apr. 2002. Disponível em: <http://neasia.nikkeibp.com/nea/200204/inst_178991.html>. Acesso em: 07 Jan. 2004.

KLEIN, H.W. Introductory EPAC: an analog FPGA. In: CONFERENCE RECORD: MICROELECTRONICS COMMUNICATIONS TECHNOLOGY PRODUCING QUALITY PRODUCTS MOBILE AND PORTABLE POWER EMERGING TECHNOLOGIES, 1995, Winnipeg. **Proceedings...**Winnipeg: IEEE, nov. 1995. p.237.

KLEIN, H.W. The EPAC architecture: an expert cell approach to field programmable analog devices. **Analog Integrated Circuits and Signal Processing**. Boston : Kluwer Academic Publishers, v.17, n.1-2, p.91-103, sept. 1998.

KUTUK, H.; KANG, S.M. A switched capacitor approach to field-programmable analog array (FPAA) design. **Analog Integrated Circuits and Signal**. Boston : Kluwer Academic Publishers, v.17, n.1-2, p.51-65, sept. 1998.

LAKER, K. R.; SANSEN, W. M. C. **Design of Analog Integrated Circuits and Systems**. Nova Iorque : McGraw Hill, 1994. 898p.

LATHI, B. P. **Modern Digital and Analog Communication Systems**. 3.ed. Nova Iorque : Oxford University Press, 1998. p.781.

LATORRE, L. et al., On the use of test structures for the electro-mechanical characterization of a CMOS compatible MEMS technology. In: IEEE INTERNATIONAL CONFERENCE ON MICROELECTRONIC TEST STRUCTURES, 1998. Japan: **Proceedings...**Japan: IEEE, v. 11, mar. 1998.

LATTICE SEMICONDUCTOR CORPORATION. **ispPAC Handbook**: programmable analog circuits. Oregon, p.1-186, 2000a.

LATTICE SEMICONDUCTOR CORPORATION. PSpice Simulation Using ispPAC SPICE Models and PAC-Designer. **Application Note**, 2000b. Disponível em <<http://www.latticesemi.com>>. Acesso em: 16 mar. 2005.

LATTICE SEMICONDUCTOR CORPORATION. ispPAC80 – In-System Programmable Analog Circuit. **DataSheet**, oct. 2001. Disponível em <<http://www.latticesemi.com>>. Acesso em: 16 mar. 2005.

LEE, E.; GULAK, G. A CMOS field-programmable analog array. **IEEE Journal of Solid-State Circuits**, New York, v.26, n.12, p.1860-1867, dec. 1991.

LEE, E.K.F.; HUI, W.L. A novel switched-capacitor based field-programmable analog array architecture. **Analog Integrated Circuits and Signal** . Boston : Kluwer Academic Publishers, v.17, n.1-2, p.35-50, Set. 1998.

LEUNG, B. **VLSI for Wireless Communication**. New Jersey : Prentice Hall Electronics and VLSI Series, 2002. 366p.

LEWIS, B. et al. Reconfigurable SoC: what will it look like. In: DESIGN, AUTOMATION AND TEST IN EUROPE CONFERENCE AND EXHIBITION, 2002, Paris. **Proceedings**...Paris: IEEE, mar. 2002, p. 660 – 662.

LINDFORS, S.; HALONEN, K.; ISMAIL, M. A 3 V all-MOS elliptical 1 MHz Gm-C-OTA filter. In: IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS, 1997. ISCAS '97. Hong Kong. **Proceedings**...Hong Kong: IEEE, jun. 1997, v.3, p.1980 – 1983.

LONG, S. **RFIC MOS Gilbert cell mixer design**. Jun. 1999. Disponível em: <<http://eesof.tm.agilent.com/adsdemo/seminar4/slides1.html#slide>>. Último acesso em 11 ago. 2004.

LONG, S. **Designing an RFIC CMOS upconversion mixer**. Mar. 2002a. Disponível em: <http://rfdesign.com/mag/radio_designing_rfic_cmos/>. Último acesso em 11 ago. 2004.

LONG, S. **Evaluating and optimizing tradeoffs in CMOS RFIC upconversion mixer design**. 2002b. Disponível em: <http://www.analogzone.com/hft_0930.htm>. Último acesso em 11 ago. 2004.

LOOBY, C. A.; LYDEN, C. Op-amp based CMOS field-programmable analogue array. In: CIRCUITS, DEVICES AND SYSTEMS. **Proceedings**...[s.l]: IEEE, apr. 2000, v.147, n.2, p.93-99.

MACHADO, G. A. S. **Low-power HF microelectronics: a unified approach**. Londres : The Institution of Electrical Engineers, 1996. p.1028.

MADRENAS, J. et al. Rapid prototyping of electronic systems using FIPSOC. In: IEEE INTERNATIONAL CONFERENCE ON EMERGING TECHNOLOGIES AND FACTORY AUTOMATION, Barcelona. **Proceedings**...Barcelona: IEEE, v.1, p.287-296, oct. 1999.

MAHMOUD, S. A.; AWAD, I. A. New CMOS balanced output transconductor and application to gm-C biquad filter. In: INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS, 2003. ISCAS '03, Bangkok. **Proceedings**...Bangkok: IEEE, 25-28 may. 2003, v.1, p.I-385 - I-388.

MOSIS. Descrição de parâmetros elétricos. Disponível em <<http://www.mosis.org/html>> . Acesso em: 11 ago. 2004.

MOTOROLA, INC. MC14007UB: Dual complementary pair plus inverter. **Semiconductor Technical Data**. Jan. 1994. Disponível em <<http://www.datasheetlocator.com>>. Acesso em: 16 mar. 2005.

MUNOZ, F. et al. Tunable CMOS low-voltage linear transconductor and its application to HF gm-C filter design. In: MIDWEST SYMPOSIUM ON CIRCUITS AND SYSTEMS, 42.,1999, New Mexico. **Proceedings**...New Mexico: IEEE, v.2, ago. 1999. p.826 – 829.

MUNOZ, F. et al. Floating-gate-based tunable CMOS low-voltage linear transconductor and its application to HF gm-C filter design. **IEEE Transactions on Circuits and Systems II: analog and digital signal processing**, New York. v.48, jan. 2001. p.106 - 110

- NAESS, O.; BERG, Y. Tunable ultralow voltage transconductance amplifier and GmC filter. In: IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS, 2000. ISCAS 2000. **Proceedings**...Geneva: IEEE, v.2, may 2000. p.709 – 712.
- NATIONAL SEMICONDUCTOR. MF10: Universal monolithic dual switched capacitor filter. **Datasheet**, may. 2001. Disponível em <<http://www.datasheetlocator.com>>. Acesso em: 16 mar. 2005.
- NAUTA, B. A CMOS Transconductance-C filter technique for very high frequencies. **IEEE Journal of Solid State Circuits**. [s.n], v.27, feb. 1992.
- NORSWORTHY, S.R. **Delta-sigma data converters: theory, design and simulation**. Nova Iorque : IEEE Press, 1997. 476p.
- OHR, S. Lattice enters market for programmable analog. **EETimes**. Hillsboro, 8 Nov. 1999. Disponível em: <<http://www.eetimes.com/story/OEG19991108S0032>>. Acesso em: 07 jan. 2004.
- OSA, J.I.; CARLOSENA, A.; LOPEZ-MARTIN, A.J. MOSFET-C filter with on-chip tuning and wide programming range. **IEEE Transactions on Circuits and Systems II: analog and digital signal processing**. New York, v.48, oct. 2001. p.944 - 951
- PIERZCHALA, E.; PERKOWSKI, M.A. A high-frequency field-programmable analog array (FPAA) part I: design. **Analog Integrated Circuits and Signal Processing**. Boston: Kluwer Academic Publisher, v.17, n.1-2, p.143-156, sep. 1998a.
- PIERZCHALA, E.; PERKOWSKI, M.A. A high-frequency field-programmable analog array (FPAA) part 2: applications. **Analog Integrated Circuits and Signal Processing**. Boston: Kluwer Academic Publisher, v.17, n.1-2, p.157-169, sept. 1998b.
- PREMONT, C. et al. A current conveyor based field programmable analog array. **Analog Integrated Circuits and Signal Processing** Boston: Kluwer Academic Publisher, v.17, n.1-2, p.105-124, setp. 1998.
- RAZAVI, B. **RF Microelectronics**. New Jersey : Prentice Hall Ptr., 1998. 335p.
- RINCON, F.; TERES, L. Reconfigurable hardware systems. In: INTERNATIONAL SEMICONDUCTOR CONFERENCE, Romania. **Proceedings**...Romania: IEEE, v.1, p.45-54, oct. 1998.
- SANTINI, C.C, et al. Evolutionary analog circuit design on a programmable analog multiplexer array. In: INTERNATIONAL CONFERENCE ON FIELD-PROGRAMMABLE TECHNOLOGY, Hong Kong. **Proceedings**...Hong Kong: IEEE, p.189-196, dec. 2002.
- SAVAGE, W.; CHILTON, J.; CAMPOSANO, R. IP reuse in the system on a chip era. In: INTERNATIONAL SYMPOSIUM ON SYSTEM SYNTHESIS, 13., 2000, Madrid. **Proceedings**...Madrid: IEEE, p.2 – 7, sept. 2000.
- SCHAUMANN, R.; VALKENBURG, M. E. V. **Design of Analog Filters**. Nova Iorque : Oxford University Press, 2001. 737p.

SCHÜLER, E.; CARRO, L. **Field Programmable Analog Array (FPAA)**: revisão bibliográfica. Universidade Federal do Rio Grande do Sul. Departamento de Eng. Elétrica. Porto Alegre, nov. 2003. Trabalho individual.

SCHÜLER, E., CARRO, L. A low power FPAA for wide band applications. In: INTERNATIONAL CONFERENCE ON FIELD-PROGRAMMABLE LOGIC AND ITS APPLICATIONS, 2004, Bélgica. **Proceedings...** Bélgica: Springer-Verlag, ago./sept. 2004a.

SCHÜLER, E., CARRO, L. Achieving wide frequency range in an analog FPGA. In: INTERNATIONAL CONFERENCE ON FIELD PROGRAMMABLE TECHNOLOGY (FPT'04). Australia, 2004. **Proceedings...**Australia: IEEE, dec. 6-8, 2004b.

SEDRA, S. A.; SMITH, K. C. **Microelectronic Circuits**, 3ed. EUA : Saunders College Publishing, 1991. 1054p.

SHAHANI, A.R.; SHAEFFER, D.K.; LEE, T.H. A 12-mW wide dynamic range CMOS front-end for a portable GPS receiver. **IEEE Journal of Solid-State Circuits**. New York, v.32, dec. 1997. p.2061 – 2070.

SPIEGEL, M. R. **Manual de fórmulas, métodos e tabelas de matemática**. 2. ed. rev. ampl. São Paulo: Makron Books, 1992. 420 p. : il.

TOUMAZOU, C.; LIDGEY, F.J; HAIGH, D.G. **Analogue IC Design: the current-mode approach**. Londres : Peter Peregrinus Ltd., 1990. 613p.

TRIMBERGER, Stephen M. (ed.). **Field Programmable Gate Array Technology**, Boston. Kluwer Academic Publishers, 1994.

TSIVIDIS, Y.; BANU, M.; KHOURY, J. Continuous-time MOSFET-C filters in VLSI. **IEEE Transactions on Circuits and Systems**, New York, v.33, feb. 1986. p.125 – 140.

XICOR. X9C102/103/104/503: digitally controlled potentiometer. **DataSheet**, 2003. Disponível em <<http://www.datasheetlocator.com>>. Acesso em: 16 mar. 2005.

YAMAZAKI, H.; OISHI, K.; GOTOH, K. A 450 kHz CMOS Gm-C bandpass filter with $\pm 0.5\%$ center frequency accuracy for on-chip PDC IF receivers. In: DIGEST OF TECHNICAL PAPERS OF IEEE INTERNATIONAL SOLID-STATE CIRCUITS CONFERENCE, 1999, San Francisco. **Proceedings...**San Francisco: IEEE, feb. 1999. p.392 – 393.

ZETEX LTD. ZXF36Lxx: computational application specific integrated circuit (CASIC). **DataSheet**, 1999a. Disponível em <<http://www.datasheetlocator.com>>. Acesso em: 16 mar. 2005.

ZETEX LTD. TRAC020LH: totally re-configurable analog circuit (TRAC). **DataSheet**, 1999b. Disponível em <<http://www.datasheetlocator.com>>. Acesso em: 16 mar. 2005.

ZHANG, C.; BRATT, A.; MACBETH, I. A new field programmable mixed signal array and its applications. In: CANADIAN WORKSHOP ON FIELD-PROGRAMMABLE DEVICES, 4., 1996, Toronto. **Proceedings...**Toronto: [s.l], may. 1996.

APÊNDICE A:

Modelos AMS 0,35 μ dos transistores.

APÊNDICE A: MODELOS AMS 0,35 μ DOS TRANSISTORES

Os parâmetros abaixo foram utilizados nas simulações de todos os circuitos que utilizam transistores.

A1: TRANSISTOR NMOS

```
.MODEL NM NMOS LEVEL=49
***** SIMULATION PARAMETERS *****
* format   : PSPICE
* model    : MOS BSIM3v3
* process  : CS[ADFI]
* revision : N/C;
* extracted : CSA C61417; 1998-10; ese(487)
* doc#     : 9933016 REV_N/C
* -----
*                TYPICAL MEAN CONDITION
* -----
*
*   *** Flags ***
+MOBMOD =1.000e+00 CAPMOD =2.000e+00
+NLEV   =0
*   *** Threshold voltage related model parameters ***
+K1     =6.044e-01
+K2     =2.945e-03 K3     =-1.72e+00 K3B    =6.325e-01
+NCH    =2.310e+17 VTH0   =4.655e-01
+VOFF   =-5.72e-02 DVT0   =2.227e+01 DVT1   =1.051e+00
+DVT2   =3.393e-03 KETA   =-6.21e-04
+PSCBE1 =2.756e+08 PSCBE2 =9.645e-06
+DVT0W  =0.000e+00 DVT1W  =0.000e+00 DVT2W  =0.000e+00
*   *** Mobility related model parameters ***
+UA     =1.000e-12 UB     =1.723e-18 UC     =5.756e-11
+U0     =4.035e+02
*   *** Subthreshold related parameters ***
+DSUB   =5.000e-01 ETA0   =3.085e-02 ETAB   =-3.95e-02
+NFACTOR=1.119e-01
*   *** Saturation related parameters ***
+EM     =4.100e+07 PCLM   =6.831e-01
+PDIBLC1=1.076e-01 PDIBLC2=1.453e-03 DROUT  =5.000e-01
+A0     =2.208e+00 A1     =0.000e+00 A2     =1.000e+00
```

```

+PVAG =0.000e+00 VSAT =1.178e+05 AGS =2.490e-01
+B0 =-1.76e-08 B1 =0.000e+00 DELTA =1.000e-02
+PDIBLCB=2.583e-01
*   *** Geometry modulation related parameters ***
+W0 =1.184e-07 DLC =8.285e-09
+DWC =2.676e-08 DWB =0.000e+00 DWG =0.000e+00
+LL =0.000e+00 LW =0.000e+00 LWL =0.000e+00
+LLN =1.000e+00 LWN =1.000e+00 WL =0.000e+00
+WW =0.000e+00 WWL =0.000e+00 WLN =1.000e+00
+WWN =1.000e+00
*   *** Temperature effect parameters ***
+AT =3.300e+04 UTE =-1.80e+00
+KT1 =-3.30e-01 KT2 =2.200e-02 KT1L =0.000e+00
+UA1 =0.000e+00 UB1 =0.000e+00 UC1 =0.000e+00
+PRT =0.000e+00
*   *** Overlap capacitance related and dynamic model parameters ***
+CGDO =2.100e-10 CGSO =2.100e-10 CGBO =1.100e-10
+CGDL =0.000e+00 CGSL =0.000e+00 CKAPPA =6.000e-01
+CF =0.000e+00 ELM =5.000e+00
+XPART =1.000e+00 CLC =1.000e-15 CLE =6.000e-01
*   *** Parasitic resistance and capacitance related model parameters ***
+RDSW =6.043e+02
+CDSC =0.000e+00 CDSCB =0.000e+00 CDSCD =8.448e-05
+PRWB =0.000e+00 PRWG =0.000e+00 CIT =1.000e-03
*   *** Process and parameters extraction related model parameters ***
+TOX =7.700e-09 NGATE =0.000e+00
+NLX =1.918e-07
*   *** Substrate current related model parameters ***
+ALPHA0=0.000e+00 BETA0 =3.000e+01
*   *** Noise effect related model parameters ***
+AF =1.400e+00 KF =2.810e-27 EF =1.000e+00
+NOIA =1.000e+20 NOIB =5.000e+04 NOIC =-1.40e-12
*   *** Common extrinsic model parameters ***
+LINT =-1.67e-08 WINT =2.676e-08 XJ =3.000e-07
+RSH =8.200e+01 JS =2.000e-05
+CJ =9.300e-04 CJSW =2.800e-10
+MJ =3.100e-01 MJSW =1.900e-01
+PB =6.900e-01
+PSW =9.400e-01

```

A2: TRANSISTOR PMOS

```

.MODEL PM NMOS LEVEL=49
***** SIMULATION PARAMETERS *****
* format   : PSPICE
* model    : MOS BSIM3v3
* process  : CS[ADFI]
* revision : N/C;
* extracted : CSA C61417; 1998-10; ese(487)
* doc#     : 9933016 REV_N/C
* -----
*                TYPICAL MEAN CONDITION
* -----
*
*   *** Flags ***
+MOBMOD=1.000e+00 CAPMOD =2.000e+00
+NLEV =0
*   *** Threshold voltage related model parameters ***
+K1   =5.675e-01
+K2   =-4.39e-02 K3   =4.540e+00 K3B  =-8.52e-01
+NCH  =1.032e+17 VTH0 =-6.17e-01
+VOFF =-1.13e-01 DVT0 =1.482e+00 DVT1 =3.884e-01
+DVT2 =-1.15e-02 KETA =-2.56e-02
+PSCBE1=1.000e+09 PSCBE2=1.000e-08
+DVT0W =0.000e+00 DVT1W =0.000e+00 DVT2W =0.000e+00
*   *** Mobility related model parameters ***
+UA   =2.120e-10 UB   =8.290e-19 UC   =-5.28e-11
+U0   =1.296e+02
*   *** Subthreshold related parameters ***
+DSUB =5.000e-01 ETA0 =2.293e-01 ETAB =-3.92e-03
+NFACTOR=8.237e-01
*   *** Saturation related parameters ***
+EM   =4.100e+07 PCLM =2.979e+00
+PDIBLC1=3.310e-02 PDIBLC2=1.000e-09 DROUT =5.000e-01
+A0   =1.423e+00 A1   =0.000e+00 A2   =1.000e+00
+PVAG =0.000e+00 VSAT =2.000e+05 AGS  =3.482e-01
+B0   =2.719e-07 B1   =0.000e+00 DELTA =1.000e-02
+PDIBLCB=-1.78e-02
*   *** Geometry modulation related parameters ***
+W0   =4.894e-08 DLC  =-5.64e-08
+DWC  =3.845e-08 DWB  =0.000e+00 DWG  =0.000e+00
+LL   =0.000e+00 LW   =0.000e+00 LWL  =0.000e+00
+LLN  =1.000e+00 LWN  =1.000e+00 WL   =0.000e+00
+WW   =0.000e+00 WWL  =0.000e+00 WLN  =1.000e+00
+WWN  =1.000e+00
*   *** Temperature effect parameters ***
+AT   =3.300e+04 UTE  =-1.35e+00
+KT1  =-5.70e-01 KT2  =2.200e-02 KT1L =0.000e+00

```

```

+UA1 =0.000e+00 UB1 =0.000e+00 UC1 =0.000e+00
+PRT =0.000e+00
*   *** Overlap capacitance related and dynamic model parameters ***
+CGDO =2.100e-10 CGSO =2.100e-10 CGBO =1.100e-10
+CGDL =0.000e+00 CGSL =0.000e+00 CKAPPA =6.000e-01
+CF =0.000e+00 ELM =5.000e+00
+XPART =1.000e+00 CLC =1.000e-15 CLE =6.000e-01
*   *** Parasitic resistance and capacitance related model parameters ***
+RDSW =1.853e+03
+CDSC =6.994e-04 CDSCB =2.943e-04 CDSCD =1.970e-04
+PRWB =0.000e+00 PRWG =0.000e+00 CIT =1.173e-04
*   *** Process and parameters extraction related model parameters ***
+TOX =7.700e-09 NGATE =0.000e+00
+NLX =1.770e-07
*   *** Substrate current related model parameters ***
+ALPHA0 =0.000e+00 BETA0 =3.000e+01
*   *** Noise effect related model parameters ***
+AF =1.290e+00 KF =1.090e-27 EF =1.000e+00
+NOIA =1.000e+20 NOIB =5.000e+04 NOIC =-1.40e-12
*   *** Common extrinsic model parameters ***
+LINT =-8.14e-08 WINT =3.845e-08 XJ =3.000e-07
+RSH =1.560e+02 JS =2.000e-05
+CJ =1.420e-03 CJSW =3.800e-10
+MJ =5.500e-01 MJSW =3.900e-01
+PB =1.020e+00
+PBSW =9.400e-01

```

APÊNDICE B:

Descrição SPICE dos circuitos utilizados nas simulações.

APÊNDICE B: DESCRIÇÃO SPICE DOS CIRCUITOS UTILIZADOS NAS SIMULAÇÕES

As descrições abaixo referem-se aos circuitos e sub-circuitos utilizados nas simulações apresentadas.

B.1 AMPLIFICADOR OPERACIONAL *SINGLE-ENDED*

```
.SUBCKT OPAMP Vp Vm VSS Vo VCC
M1 2 Vm 1 1 PM W=66U L=0.8U AD=66p AS=66p PD=134u PS=134u
M2 3 Vp 1 1 PM W=66U L=0.8U AD=66p AS=66p PD=134u PS=134u
M3 2 2 VSS VSS NM W=14U L=0.8U AD=14p AS=14p PD=30u PS=30u
M4 3 2 VSS VSS NM W=14U L=0.8U AD=14p AS=14p PD=30u PS=30u
M5 1 4 VCC VCC PM W=18U L=0.8U AD=18p AS=18p PD=38u PS=38u
M6 Vo 3 VSS VSS NM W=64U L=0.8U AD=64p AS=64p PD=128u PS=130u
M7 Vo 4 VCC VCC PM W=54U L=0.8U AD=54p AS=54p PD=100u PS=100u
M8 4 4 VCC VCC PM W=2.4U L=0.8U AD=2.4p AS=2.4p PD=6.8u PS=6.8u
M9 10 8 3 3 NM W=40U L=0.8U AD=40p AS=40p PD=82u PS=82u
M10 8 8 9 9 NM W=8.0U L=0.8U AD=8.0p AS=8.0p PD=18u PS=18u
M11 9 9 VSS VSS NM W=8.0U L=0.8U AD=8.0p AS=8.0p PD=18u PS=18u
M12 5 5 6 6 NM W=1.2U L=2.4U AD=1.2p AS=1.2p PD=4.4u PS=4.4u
M13 6 6 7 7 NM W=1.2U L=2.4U AD=1.2p AS=1.2p PD=4.4u PS=4.4u
M14 7 7 8 8 NM W=1.2U L=2.4U AD=1.2p AS=1.2p PD=4.4u PS=4.4u
Mref 4 VCC 5 5 NM W=1.0U L=8.8U AD=1.0p AS=1.0p PD=4u PS=4.0u
Cc 10 Vo 0.443p
.ENDS OPAMP
```

B.2 CARREGADOR DE CORRENTE

```
.SUBCKT CC X Y Z VCC VSS
M1 Y 1 1 Y NM L=1.2U W=10U AD=10p AS=10p PD=22u PS=22u
M2 X 1 3 X NM L=1.2U W=10U AD=10p AS=10p PD=22u PS=22u
M3 Y 2 2 Y PM L=1.2U W=25U AD=25p AS=25p PD=52u PS=52u
M4 X 2 4 X PM L=1.2U W=25U AD=25p AS=25p PD=52u PS=52u
M5 3 4 4 3 PM L=1.2U W=25U AD=25p AS=25p PD=52u PS=52u
M6 VCC 3 X VCC PM L=2.0U W=60U AD=60p AS=60p PD=122u PS=122u
M7 VSS 4 X VSS NM L=2.0U W=15U AD=15p AS=15p PD=32u PS=32u
M8 VCC 3 Z VCC PM L=2.0U W=60U AD=60p AS=60p PD=122u PS=122u
```

```

M9 VSS 4 Z VSS NM L=2.0U W=15U AD=15p AS=15p PD=32u PS=32u
M10 VCC Vp 1 VCC PM L=1.2U W=25U AD=25p AS=25p PD=52u PS=52u
M11 VCC Vp 3 VCC PM L=1.2U W=25U AD=25p AS=25p PD=52u PS=52u
M12 VSS Vn 2 VSS NM L=1.2U W=10U AD=10p AS=10p PD=22u PS=22u
M13 VSS Vn 4 VSS NM L=1.2U W=10U AD=10p AS=10p PD=22u PS=22u
V1 Vp 0 .95
V2 Vn 0 -.3
.ENDS CC

```

B.3 TRANSCONDUTOR DE NAUTA

```

.SUBCKT TRANSC Vi+ Vi- Vo- Vo+ Vtune
M1 Vtune Vi+ Vo- Vtune PM W=10.3U L=2.1U AD=10.3p AS=10.3p PD=22.6u PS=22.6u
M2 Vo- Vi+ 0 0 NM W=4.00U L=2.1U AD=4p AS=4p PD=10u PS=10u
M3 Vtune Vi- Vo+ Vtune PM W=10.3U L=2.1U AD=10.3p AS=10.3p PD=22.6u PS=22.6u
M4 Vo+ Vi- 0 0 NM W=4.00U L=2.1U AD=4p AS=4p PD=10u PS=10u
M5 Vtune Vo- Vo+ Vtune PM W=6.50U L=2.1U AD=6.5p AS=6.5p PD=15u PS=15u
M6 Vo+ Vo- 0 0 NM W=2.60U L=2.1U AD=2.6p AS=2.6p PD=7.2u PS=7.2u
M7 Vtune Vo+ Vo+ Vtune PM W=6.50U L=2.1U AD=6.5p AS=6.5p PD=15u PS=15u
M8 Vo+ Vo+ 0 0 NM W=2.60U L=2.1U AD=2.6p AS=2.6p PD=7.2u PS=7.2u
M9 Vtune Vo+ Vo- Vtune PM W=6.50U L=2.1U AD=6.5p AS=6.5p PD=15u PS=15u
M10 Vo- Vo+ 0 0 NM W=2.60U L=2.1U AD=2.6p AS=2.6p PD=7.2u PS=7.2u
M11 Vtune Vo- Vo- Vtune PM W=6.50U L=2.1U AD=6.5p AS=6.5p PD=15u PS=15u
M12 Vo- Vo- 0 0 NM W=2.60U L=2.1U AD=2.6p AS=2.6p PD=7.2u PS=7.2u
.ENDS TRANSC

```

B.4 CHAVE TIPO PORTA DE TRANSMISSÃO

```

.SUBCKT CHAVE_SC IN OUT FI VSS VCC
M1 IN FI OUT VSS NM W=10U L=.35u AD=10p AS=10p PD=22u PS=22u
M2 IN 1 OUT VCC PM W=30U L=.35u AD=30p AS=30p PD=62u PS=62u
M3 VCC FI 1 VCC PM W=.85U L=.35U AD=.85p AS=.85p PD=3.7u PS=3.7u
M4 VSS FI 1 VSS NM W=.35U L=.35U AD=.35p AS=.35p PD=2.7u PS=2.7u
.ENDS CHAVE_SC

```

B.5 FILTRO BIQUADRÁTICO COM OPAMP

```

.INCLUDE AMS035_model.txt
.INCLUDE Amplificador_Operacional.txt
* Filtro
Xop1 0 1 VSS VPF VCC OPAMP
Xop2 0 2 VSS 3 VCC OPAMP
Xop3 0 4 VSS VPB VCC OPAMP
R2 VPF 2 250k
R3 1 VPB 250k

```


R5 3 4 250k
 R6 4 VPB 250k
 * Ajuste do Fator de qualidade
 R1 1 VPF 2500k
 * Ajuste da Frequência
 C1 1 VPF 6.35p
 C2 2 3 6.35p
 * Ajuste do Ganho
 R4 VIN 1 2500k

B.6 AMPLIFICADOR INVERSOR A CAPACITOR CHAVEADO

```

.INCLUDE AMS035_model.txt
.INCLUDE Amplificador_Operacional.txt
.INCLUDE Porta_Trasmissoao.txt
* Amplificador inversor
X1 VIN 1      FI1 VSS VCC CHAVE
X2 1 0      FI2 VSS VCC CHAVE
X3 2 0      FI2 VSS VCC CHAVE
X4 2 3      FI1 VSS VCC CHAVE
X5 4 0      FI2 VSS VCC CHAVE
X6 4  VOUT FI1 VSS VCC CHAVE
X7 0 3 VSS VOUT VCC OPAMP
C1a 1 2      1n
C1b VIN 3    1n
C2a 2 4      0.1n
C2b 3  VOUT 0.1n
  
```

B.7 FILTRO BIQUADRÁTICO COM CARREGADOR DE CORRENTE

```

.INCLUDE AMS035_model.txt
.INCLUDE Carregador_Corrente.txt
* Filtro
X1 1 0 PF VCC VSS CC
X2 PB PF PA VCC VSS CC
R1 PA 1 1k
C1 PA 0 1n
R2 PB 0 1k
C2 PF 0 1n
  
```

B.8 MIXER PASSIVO COM NMOS E COM PORTA DE TRANSMISSÃO

* Fontes do Oscilador Local

V1 LOnn 0 PULSE 1.7 -1.7 0 20n 20n .08u .2u

V2 LOpp 0 PULSE -1.7 1.7 0 20n 20n .08u .2u

* Carga do gerador de LO

RLOn LOnn LOn 50

RLOp LOpp LOp 50

* Mixer com NMOS

M1 Vin1 LOp 1 VSS NM W=100U L=2u AD=100p AS=100p PD=202u PS=202u

M2 Vin1 LOn 2 VSS NM W=100U L=2u AD=100p AS=100p PD=202u PS=202u

* Mixer com Porta de Transmissão

M1A Vin1 LOp 1 VSS NM W=100U L=2u AD=100p AS=100p PD=202u PS=202u

M1B Vin1 LOn 1 VCC PM W=300U L=2u AD=300p AS=300p PD=602u PS=602u

M2A Vin1 LOn 2 VSS NM W=100U L=2u AD=100p AS=100p PD=202u PS=202u

M2B Vin1 LOp 2 VCC PM W=300U L=2u AD=300p AS=300p PD=602u PS=602u

B.9 FILTRO GM-C

.INCLUDE AMS035_model.txt

.INCLUDE Transconductor_Nauta.txt

* Sinal para controle da transcondutância

* Ajuste do Ganho (gm1)

V1 Vt1 0 1

* Ajuste do Fator de Qualidade (gm2)

V2 Vt2 0 1

* Ajuste da Frequência (gm3 e gm4)

V3 Vt3 0 1

* Filtro

X1 Vi+ Vi- Vo+ Vo- Vt1 TRANSC

X2 Vo+ Vo- Vo+ Vo- Vt2 TRANSC

X3 Vo+ Vo- 1 2 Vt3 TRANSC

X4 1 2 Vo- Vo+ Vt3 TRANSC

C1a Vo+ 0 100p

C1b Vo- 0 100p

C2a 1 0 100p

C2b 2 0 100p

APÊNDICE C:

Arquivos em Matlab® para cálculos de capacitâncias parasitas e análises dos espectros de mixers.

APÊNDICE C: ARQUIVOS EM MATLAB® PARA CÁLCULOS DE CAPACITÂNCIAS PARASITAS E ANÁLISES DOS ESPECTROS DE MIXERS.

Os arquivos abaixo foram utilizados para análise da resposta em frequência de um multiplicador ideal e para cálculo das capacitâncias parasitas dos transistores NMOS e PMOS.

C.1 MULTIPLICADOR IDEAL

```

clear;
clc;
n_pontos=2^18;           % Número de pontos do sinal
n=[0:n_pontos-1];
frf=5120000;           % Frequência do sinal de entrada
flo=5000000;           % Frequência do sinal do oscilador local
per=5000/flo;           % Número de períodos do sinal
T=per/n_pontos;
tout=n*T;

% Sinais para multiplicação
vrf=sin(2*pi*frf*tout); % Sinal de entrada
vlo=square(2*pi*flo*tout); % Sinal do oscilador local
vfi=vlo.*vrf;           % Multiplicação

% Cálculo da FFT
Vlo=abs(fft(vlo));
Vrf=abs(fft(vrf));
Vfi=abs(fft(vfi));
FS=1/(tout(2)-tout(1));
F=(1:length(Vlo))-1*FS/length(Vlo);
F=F(1:floor(length(Vlo)/2));
Vlo=Vlo(1:floor(length(Vlo)/2));
Vrf=Vrf(1:floor(length(Vrf)/2));
Vfi=Vfi(1:floor(length(Vfi)/2));

```

C.2 CÁLCULO DAS CAPACITÂNCIAS PARASITAS

```

clear;
clc;

% Dimensões dos transistores
Wn=100e-6;
Wp=300e-6;
Leff=2e-6;
drain_heigth=1e-6;
ADn=Wn*drain_heigth;
ADp=Wp*drain_heigth;
ASn=ADn;
ASp=ADp;
PDn=2*Wn+2*drain_heigth;
PDp=2*Wp+2*drain_heigth;
PSn=PDn;
PSp=PDp;

% Parâmetros SPICE dos transistores
eox=34e-12; % [F/m]

% NMOS
toxn=7.7e-9; % [m]
Cjn=9.3e-4; % [F/m^2]
Cjswn=2.8e-10; % [F/m]
PBn=6.9e-1; % [V]
mjn=3.1e-1; % [-]
mjswn=1.9e-1; % [-]
CGSON=1.9e-10; % [F/m]
CGDON=1.9e-10; % [F/m]

%PMOS
toxp=7.7e-9; % [m]
Cjp=1.42e-3; % [F/m^2]
Cjswp=3.8e-10; % [F/m]
PBp=1.02; % [V]
mjp=5.5e-1; % [-]
mjswp=3.9e-1; % [-]
CGSOp=1.9e-10; % [F/m]
CGDOP=1.9e-10; % [F/m]

% Tensões entre terminais (na pior das hipóteses)
Vbcn=0;
Vbcp=0;
Vbsn=-3.3;
Vbsp=3.3;
Vbdn=-3.3;
Vbdp=3.3;

```

% Equações intermediárias

Coxn=eox/toxn;

Coxp=eox/toxp;

Coxtn=Coxn*Wn*Leff;

Coxtp=Coxp*Wp*Leff;

CjBCn=Cjn/abs(((1-(Vbcn/PBn))^mjn));

CjBCp=Cjp/abs(((1-(Vbcp/PBp))^mjp));

CBCtn=CjBCn*Wn*Leff;

CBCtp=CjBCp*Wp*Leff;

CjSBn=Cjn/abs(((1-(Vbsn/PBn))^mjn));

CjSBp=Cjp/abs(((1-(Vbsp/PBp))^mjp));

CjswSBn=Cjswn/abs(((1-(Vbsn/PBn))^mjswn));

CjswSBp=Cjswp/abs(((1-(Vbsp/PBp))^mjswp));

CjSBtn=ASn*CjSBn+PSn*CjswSBn;

CjSBtp=ASp*CjSBp+Psp*CjswSBp;

CjDBn=Cjn/abs(((1-(Vbdn/PBn))^mjn));

CjDBp=Cjp/abs(((1-(Vbdp/PBp))^mjp));

CjswDBn=Cjswn/abs(((1-(Vbdn/PBn))^mjswn));

CjswDBp=Cjswp/abs(((1-(Vbdp/PBp))^mjswp));

CjDBtn=ADn*CjDBn+PDn*CjswDBn;

CjDBtp=ADp*CjDBp+PDp*CjswDBp;

%%%%%%%%%% Capacitâncias parasitas na saturação %%%%%%%%%%%

Cdbn_sat=CjDBtn;

Cdbp_sat=CjDBtp;

Cgdn_sat=CGDOn*Wn;

Cgdp_sat=CGDOp*Wp;

Cgsn_sat=CGSOn*Wn+(2/3)*Coxtn;

Cgsp_sat=CGSOp*Wp+(2/3)*Coxtp;

Csbn_sat=CjSBtn+(2/3)*CBCtn;

Csbp_sat=CjSBtp+(2/3)*CBCtp;

%%%%%%%%%% Capacitâncias parasitas na região linear %%%%%%%%%%%

Cdbn_lin=CjDBtn+(1/2)*CBCtn;

Cdbp_lin=CjDBtp+(1/2)*CBCtp;

Cgdn_lin=CGDOn*Wn+(1/2)*Coxtn;

Cgdp_lin=CGDOp*Wp+(1/2)*Coxtp;

Cgsn_lin=CGSOn*Wn+(1/2)*Coxtn;

Cgsp_lin=CGSOp*Wp+(1/2)*Coxtp;

Csbn_lin=CjSBtn+(1/2)*CBCtn;

Csbp_lin=CjSBtp+(1/2)*CBCtp;

APÊNDICE D:

Estruturas internas dos FPAAs comerciais utilizados.

APÊNDICE D: ESTRUTURAS INTERNAS DOS FPAAS COMERCIAIS UTILIZADOS

As figuras a seguir mostram a estruturas internas dos FPAAs utilizados nas realizações dos experimentos práticos.

D.1 LATTICE ISPPAC10 COMO PASSA-FAIXA

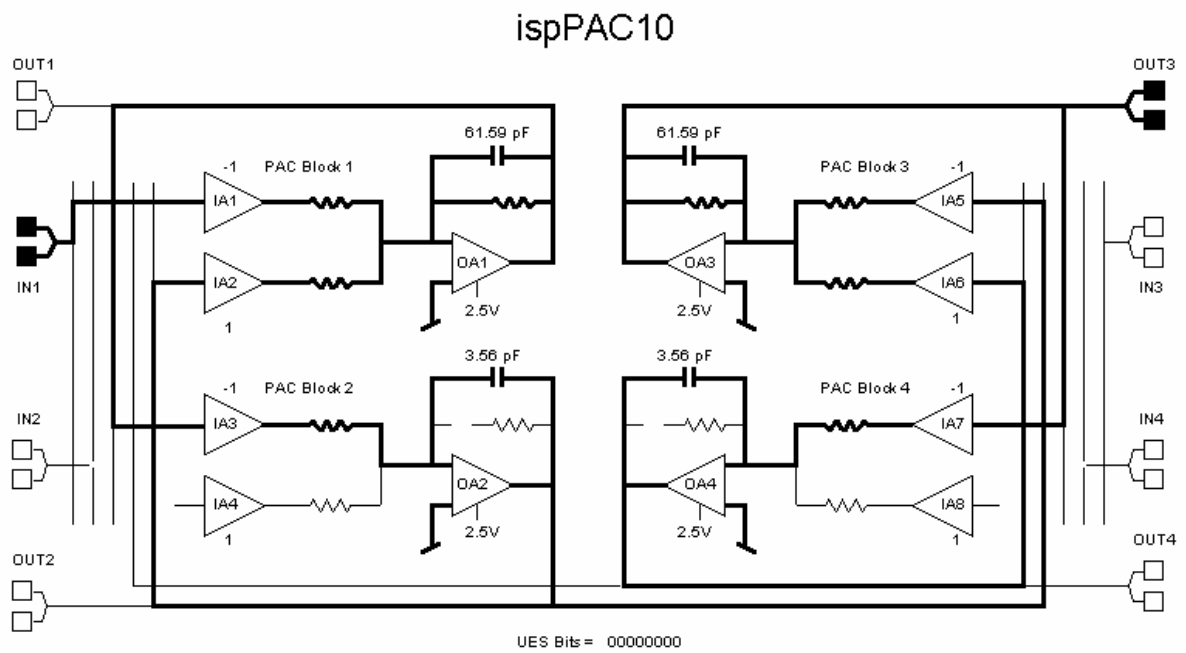


Figura 56. Estrutura interna do ispPAC10.

D.2 LATTICE ISPPAC80 COMO PASSA-BAIXA

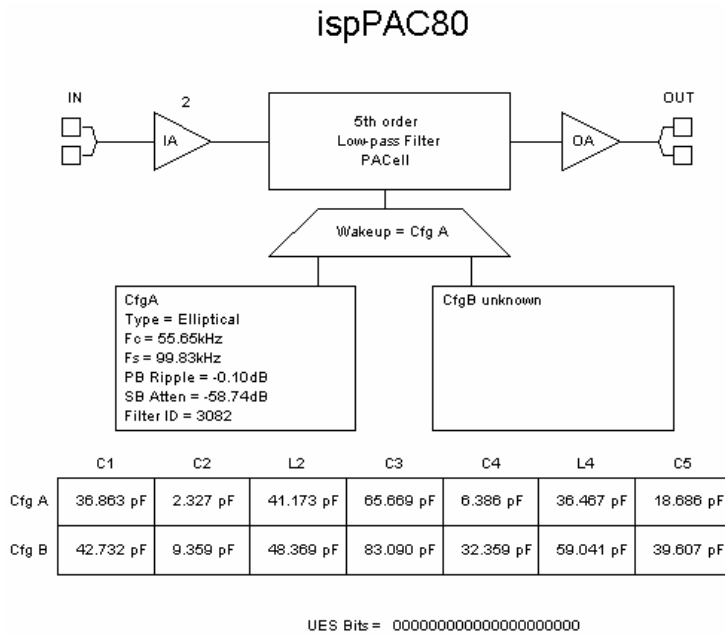


Figura 57. Estrutura interna do ispPAC80.

D.3 LATTICE ISPPAC20 COMO SOMADOR

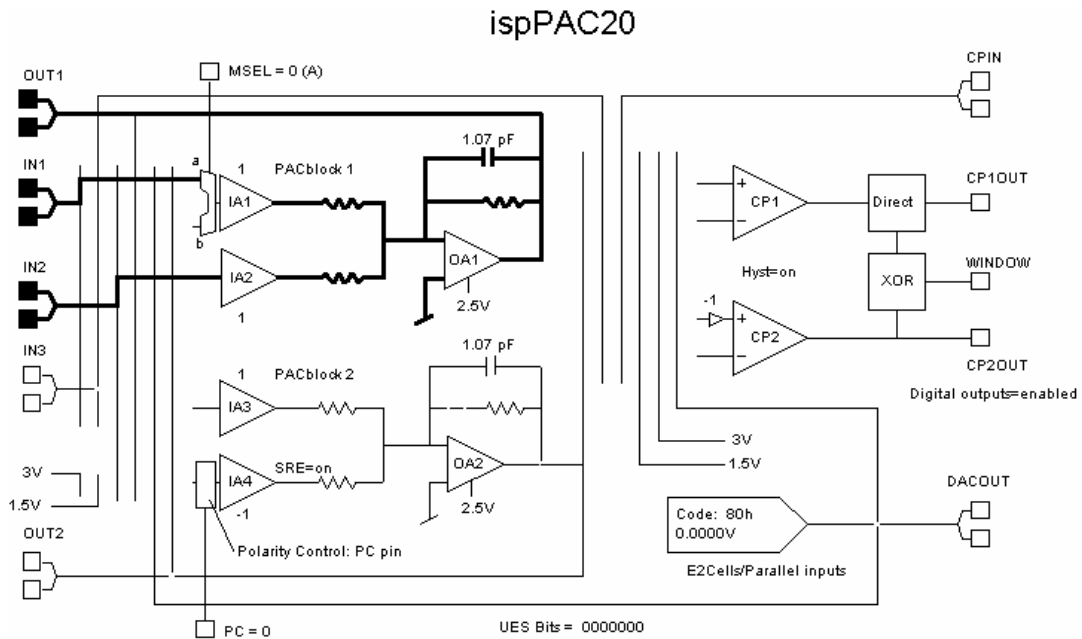


Figura 58. Estrutura interna do ispPAC20.

D.4 ANADIGM AN10E40 COMO DEMODULADOR AM

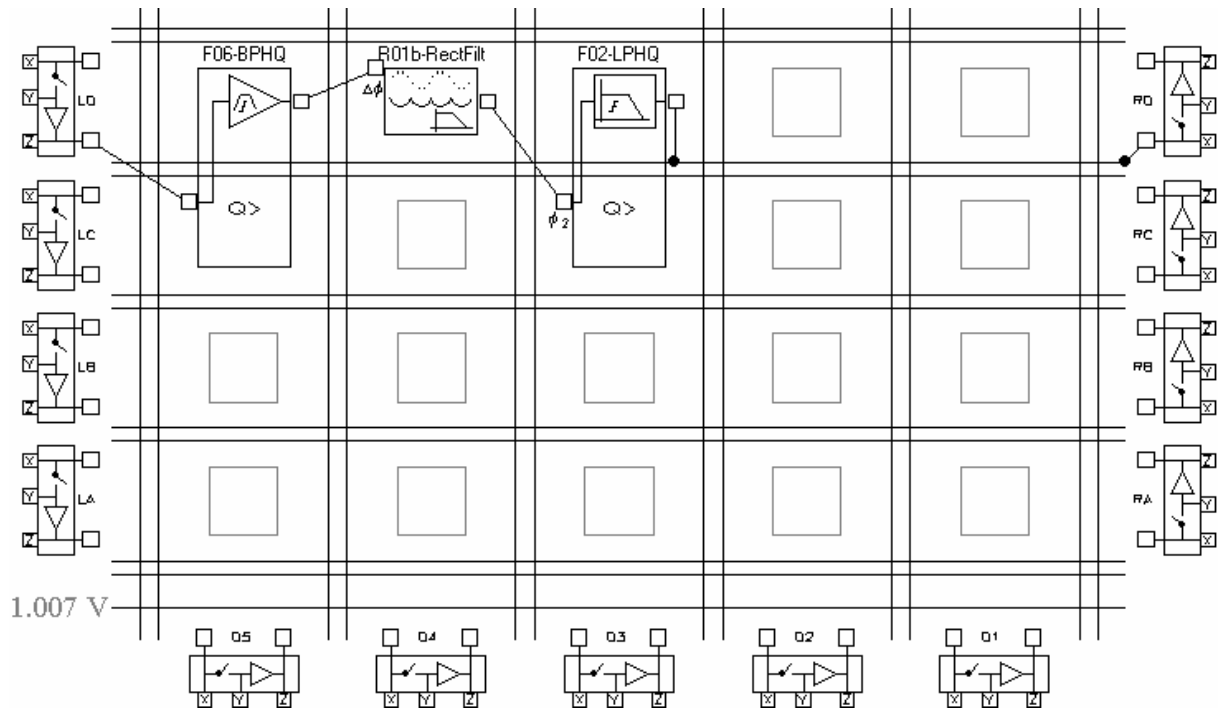


Figura 59. Estrutura interna do AN10E40.

D.5 ANADIGM AN221E04 COMO CONDICIONADOR PARA PONTE DE WHEATSTONE

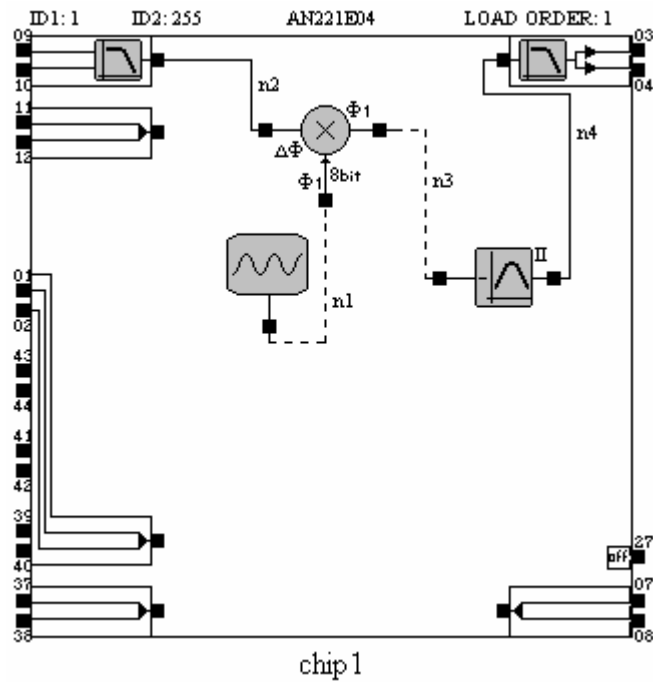


Figura 60. Estrutura interna do AN221E04.

APÊNDICE E:

Simulações dos experimentos práticos.

APÊNDICE E: SIMULAÇÕES DOS EXPERIMENTOS PRÁTICOS

As figuras a seguir mostram as simulações das estruturas utilizados nas realizações dos experimentos práticos. As simulações foram realizadas com os softwares de programação dos FPAAs.

E.1 FILTRO PASSA-FAIXA USANDO ISPAC10

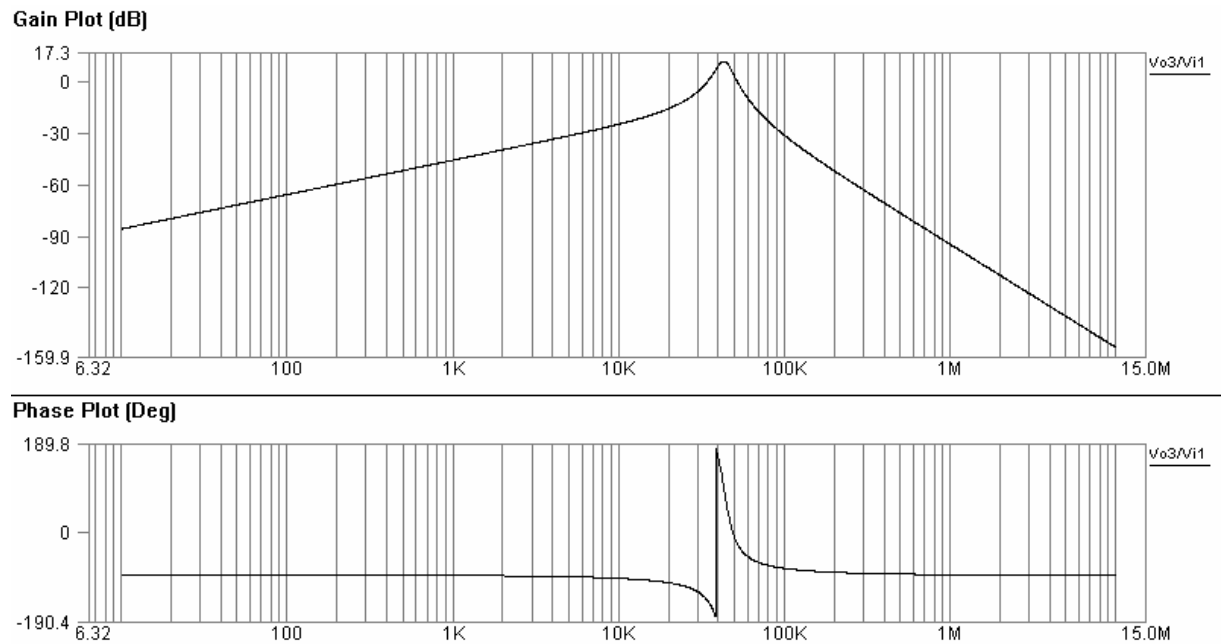


Figura 61. Simulação do Diagrama de Bode para passa-faixa usando ispPAC10.

E.2 FILTRO PASSA-BAIXA USANDO ISPPAC80

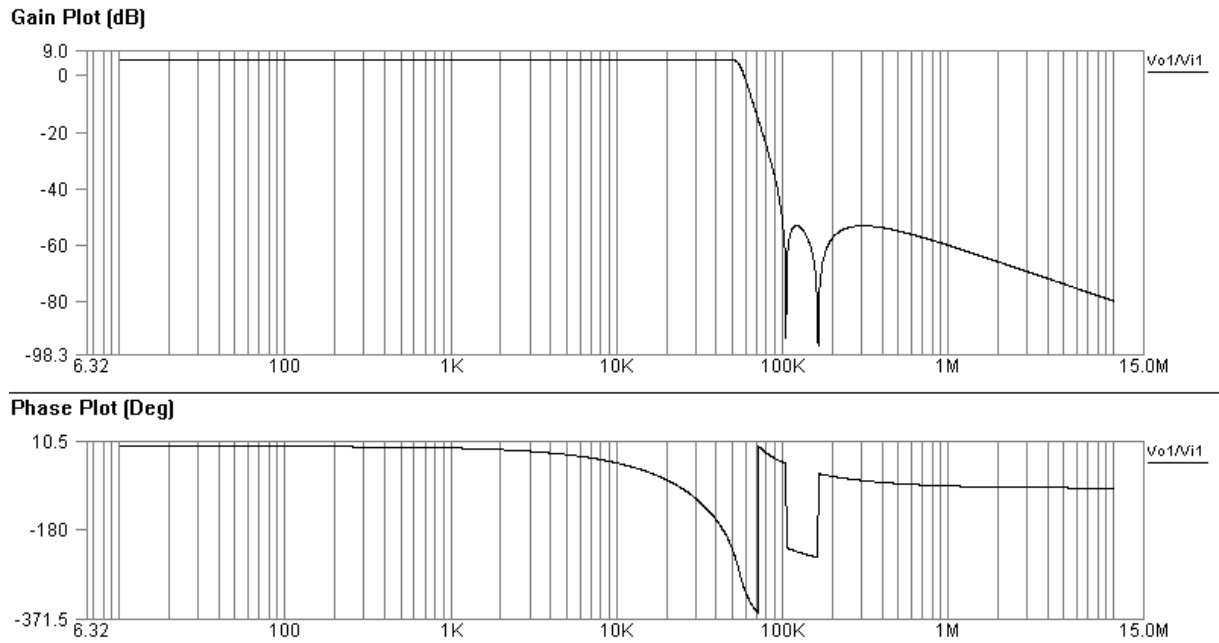


Figura 62. Simulação do Diagrama de Bode para passa-baixa usando ispPAC80.

E.3 SOMADOR USANDO ISPPAC20

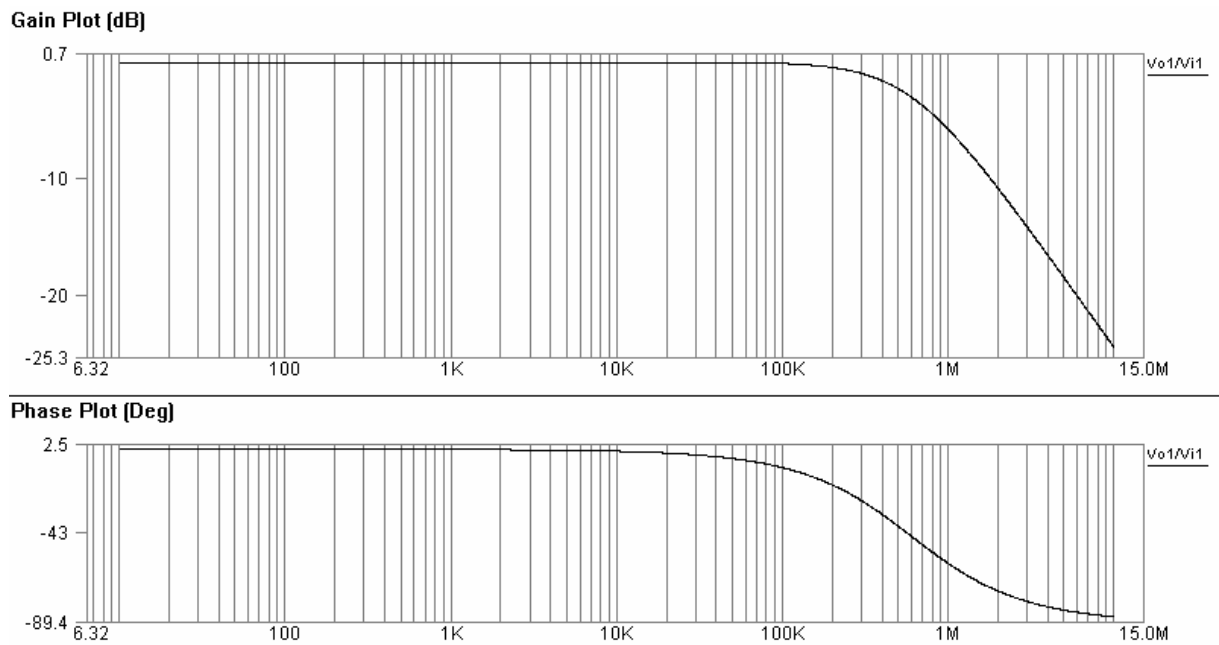


Figura 63. Simulação do Diagrama de Bode para somador usando ispPAC20.

E.4 DEMODULADOR AM USANDO AN10E40

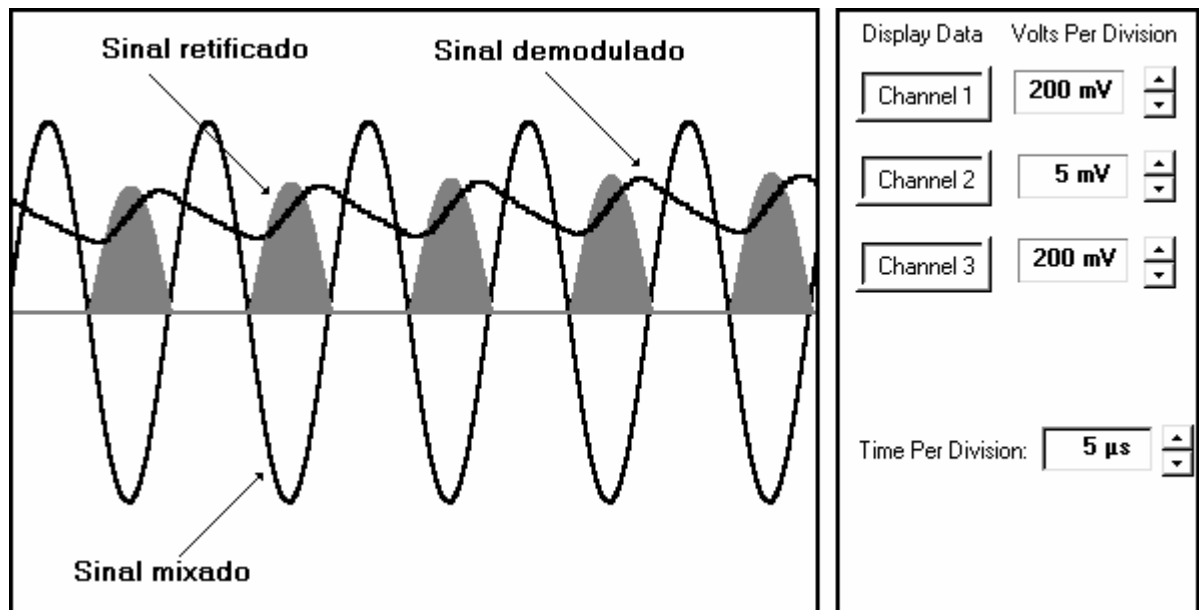


Figura 64. Simulação da Demodulação AM de sinal usando AN10E40.

E.5 PONTE DE WHEATSTONE USANDO AN221E04

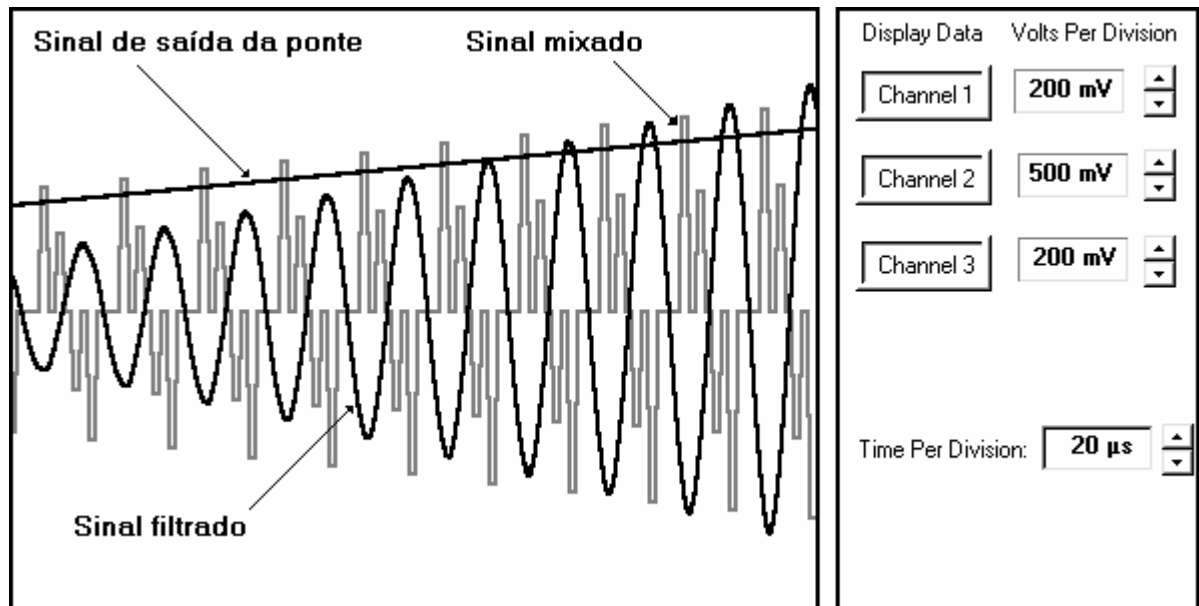


Figura 65. Simulação da Ponte de Wheatstone usando AN221E04.

APÊNDICE F:

Simulações SPICE dos circuitos utilizados.

APÊNDICE F: SIMULAÇÕES SPICE DOS CIRCUITOS UTILIZADOS

As figuras a seguir mostram as simulações das diferentes funções realizadas pelo CAB utilizado na análise de frequência, área e potência (capítulo VI), bem como de outros circuitos usados neste trabalho. As simulações foram realizadas com o software de simulação de circuitos Smash, versão 5.2.1p1.

F.1 CAB IMPLEMENTANDO FILTRO PASSA-BAIXA

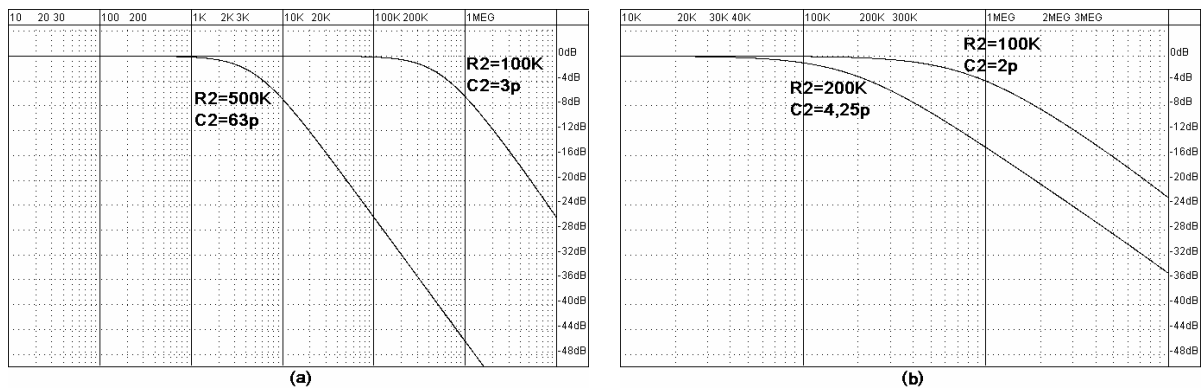


Figura 66. Simulação do Diagrama de Bode para passa-baixa usando CABs descritos no apêndice B para FPAA com banda entre (a) DC-500KHz e (b) 200KHz-700KHz.

F.2 CAB IMPLEMENTANDO FILTRO PASSA-ALTA

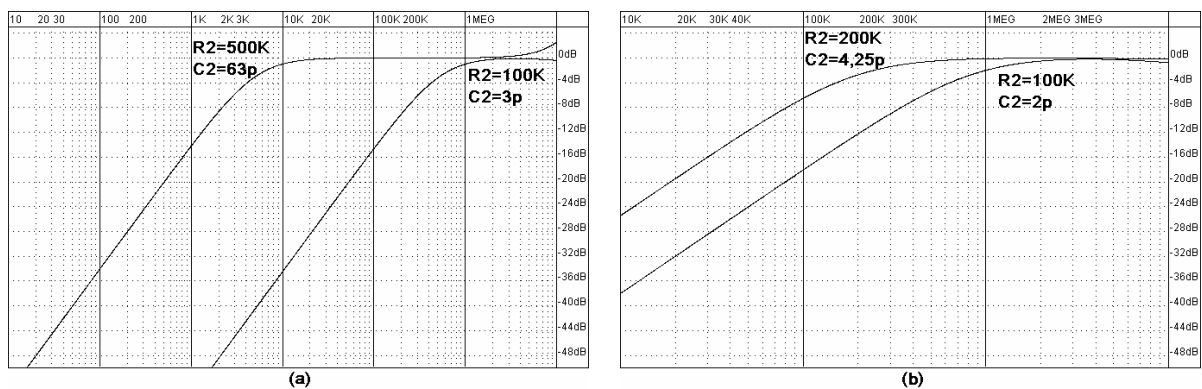


Figura 67. Simulação do Diagrama de Bode para passa-alta usando CABs descritos no apêndice B para FPAA com banda entre (a) DC-500KHz e (b) 200KHz-700KHz.

F.3 CAB IMPLEMENTANDO AMPLIFICADOR-INVERSOR

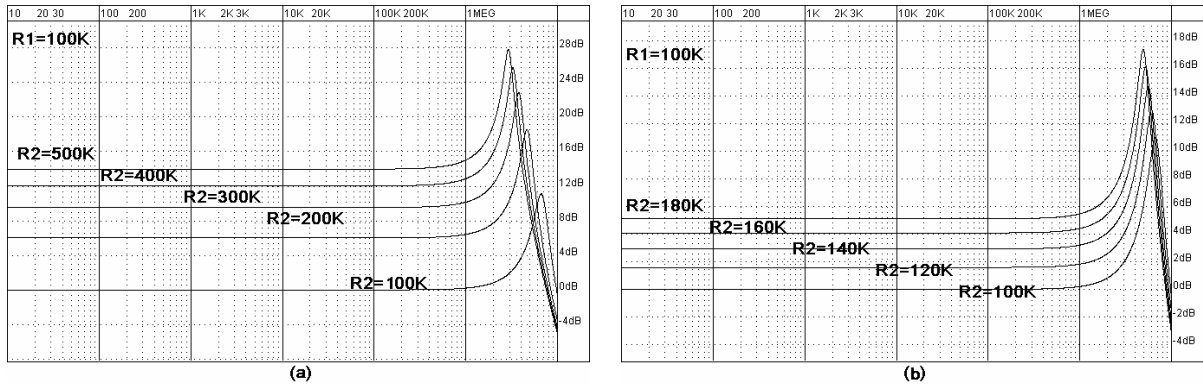


Figura 68. Simulação do Diagrama de Bode para amplificador usando CABs descritos no apêndice B para FPAA com banda entre (a) DC-500KHz e (b) 200KHz-700KHz.

F.4 CAB IMPLEMENTANDO INTEGRADOR

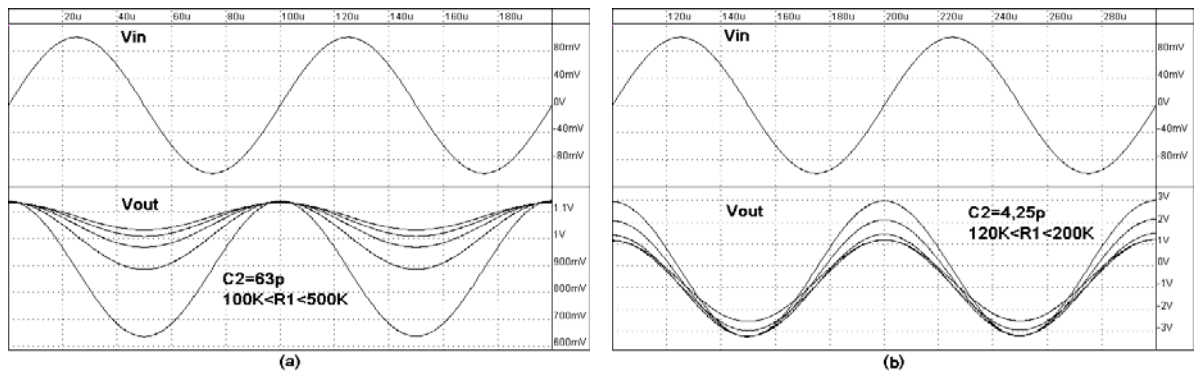


Figura 69. Simulação do integrador usando CABs descritos no apêndice B para FPAA com banda entre (a) DC-500KHz e (b) 200KHz-700KHz.

F.5 CAB IMPLEMENTANDO DIFERENCIADOR

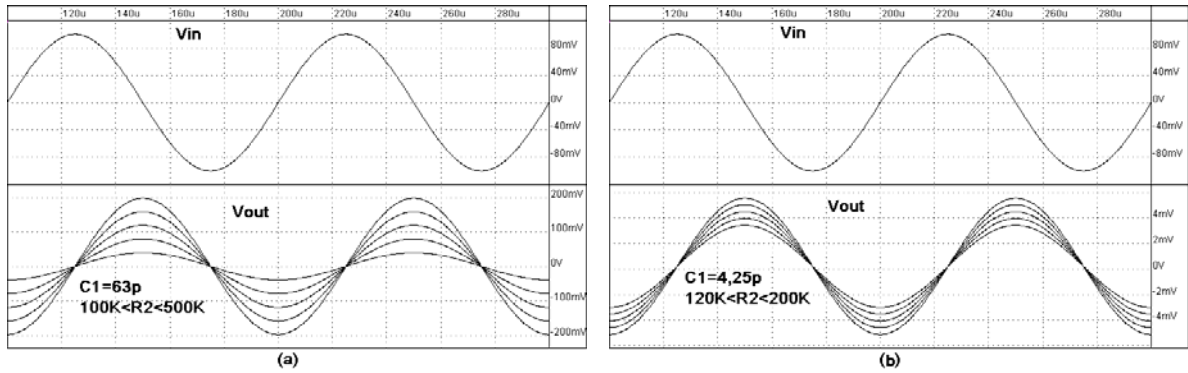


Figura 70. Simulação do diferenciador usando CABs descritos no apêndice B para FPAA com banda entre (a) DC-500KHz e (b) 200KHz-700KHz.

F.6 AMPLIFICADOR OPERACIONAL SINGLE-ENDED

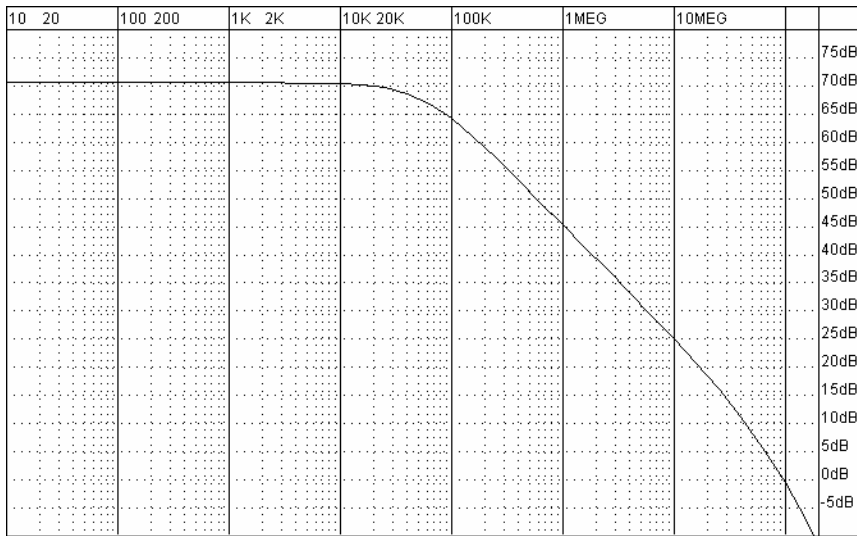


Figura 71. Simulação do Diagrama de Bode do opamp utilizado nos circuitos, descrito no apêndice B, com uma carga de 100KΩ e 5pF.

F.7 CARREGADOR DE CORRENTE

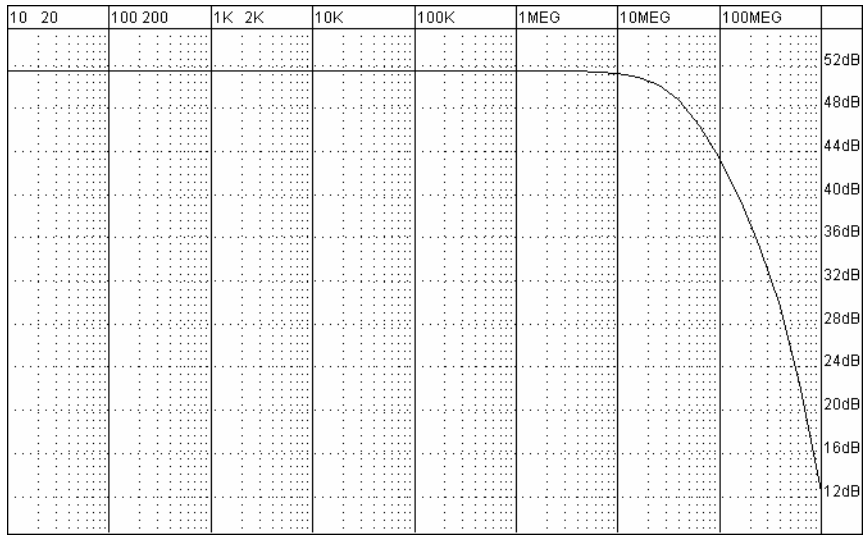


Figura 72. Simulação do Diagrama de Bode do carregador de corrente utilizado nos circuitos, descrito no apêndice B, com uma carga de $100K\Omega$ e $5pF$.

F.8 TRANSCONDUTOR DE NAUTA

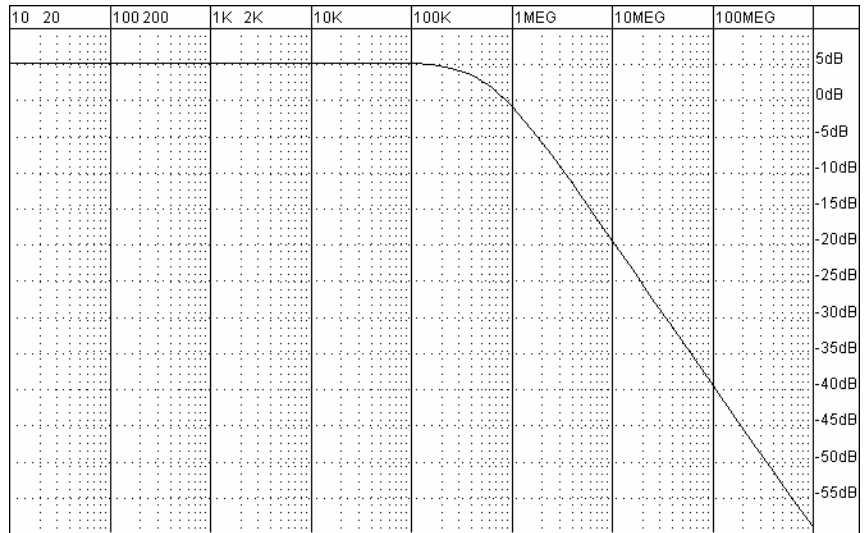


Figura 73. Simulação do Diagrama de Bode para o transcondutor de Nauta utilizado nos circuitos, descrito no apêndice B, com uma carga de $100K\Omega$ e $5pF$.