

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
INSTITUTO DE INFORMÁTICA
PROGRAMA DE PÓS-GRADUAÇÃO EM MICROELETRÔNICA

GUILHERME SCHWANKE CARDOSO

**Impacto dos Desvios de Tensão de Limiar
Induzidos por Radiação Ionizante no
Desempenho dos Blocos Básicos de Dois
Amplificadores Operacionais
Complementares**

Dissertação apresentada como requisito parcial
para a obtenção do grau de Mestre em
Microeletrônica

Prof. Dr. Marcelo Soares Lubaszewski
Orientador

Porto Alegre, Junho de 2012.

CIP – CATALOGAÇÃO NA PUBLICAÇÃO

Cardoso, Guilherme Schwanke

Impacto dos Desvios de Tensão de Limiar Induzidos por Radiação Ionizante no Desempenho dos Blocos Básicos de Dois Amplificadores Operacionais Complementares

[manuscrito] / Guilherme Schwanke Cardoso. – 2012.

118 f.:il.

Orientador: Marcelo Soares Lubaszewski

Dissertação (mestrado) – Universidade Federal do Rio Grande do Sul. Programa de Pós-Graduação em Microeletrônica. Porto Alegre, BR – RS, 2012.

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

Reitor: Prof. Carlos Alexandre Netto

Vice-Reitor: Prof. Rui Vicente Oppermann

Pró-Reitor de Pós-Graduação: Prof. Aldo Bolten Lucion

Diretor do Instituto de Informática: Prof. Luís da Cunha Lamb

Coordenador do PGMICRO: Prof. Ricardo Augusto da Luz Reis

Bibliotecária-Chefe do Instituto de Informática: Beatriz Regina Bastos Haro

DEDICATÓRIA

Dedico essa segunda conquista à minha família, e em especial, à minha esposa, pelo apoio, incentivo e compreensão ao longo de toda essa caminhada.

AGRADECIMENTOS

Agradeço a Deus por essa conquista e por todas as coisas boas que tem acontecido na minha vida.

Quero agradecer ao meu orientador Prof. Dr. Marcelo Soares Lubaszewski por ter me dado à oportunidade de seguir estudando num dos momentos em que mais precisei de ajuda. Agradeço também pelos ensinamentos, confiança e incentivo durante esse período.

Ao Prof. Dr. Tiago Roberto Balen pela acolhida, paciência, contribuições diretas para a realização desse trabalho, pelos momentos cordiais dos nossos encontros para discussão sobre o trabalho, pelos ensinamentos, pelas caronas até o CEITEC-SA. Muito obrigado cara, espero estar te recompensando com essas palavras!

Agradeço à UFRGS, ao Programa de Pós-Graduação em Microeletrônica (PGMICRO) e aos professores , pela estrutura, oportunidades de crescimento e ensinamentos. Ao CNPq pela bolsa no primeiro ano do mestrado e suporte financeiro para ir aos congressos.

Sou grato ao IFSul e, em especial, aos colegas da coordenadoria de Eletrônica, onde quero citar o nome do coordenador Ulisses Lyra dos Santos, por ter percebido que eu estava precisando de ajuda (e ter me ajudado) num dos momentos que mais precisei. Muito obrigado cara!

Agradeço meus pais, sogros, irmã, cunhados e avós pela ajuda na mudança, de ida para Porto Alegre e volta para Pelotas; e também por todas as vezes que foram me acompanhar até a rodoviária. Agradeço a todos vocês pelo incentivo e suporte durante todo esse tempo. Espero estar recompensando cada um de vocês com esse parágrafo, principalmente, meus pais.

Mais uma vez quero agradecer a minha esposa por ter estado comigo durante todo esse tempo, me incentivando, me fazendo acreditar que era possível. Por ter sido uma verdadeira companheira, sempre compreensiva e dedicada para que eu me preocupasse somente em estudar. Muito obrigado minha FLOR! Espero também estar te recompensando, por tudo que tu fez por mim, com essas palavras.

SUMÁRIO

LISTA DE ABREVIATURAS E SIGLAS	7
LISTA DE FIGURAS.....	9
LISTA DE TABELAS	12
RESUMO.....	13
ABSTRACT	14
1 INTRODUÇÃO	15
2 EFEITOS DA RADIAÇÃO EM DISPOSITIVOS MOS.....	20
2.1 Origens e caracterização dos efeitos da radiação em circuitos eletrônicos	20
2.2 Efeitos de dose total ionizante.....	25
2.2.1 Desvios da tensão de limiar dos transistores	27
2.2.2 <i>Current Leakage</i> (corrente de fuga)	34
2.2.3 Tendências com o <i>scaling</i> da tecnologia	38
3 PROJETO DE DOIS AMPLIFICADORES OPERACIONAIS COM	
COMPENSAÇÃO MILLER	40
3.1 Introdução	40
3.2 Projeto do amplificador operacional NMOS-DA	44
3.3 Projeto do amplificador operacional PMOS-DA.....	49
3.4 Otimização e comparação entre as duas topologias estudadas	51
4 EFEITO DE TID NOS BUILDING-BLOCKS	55
4.1 Análise do estágio de entrada	58
4.1.1 Análise DC do estágio de entrada.....	60
4.1.2 Corrente de polarização do bloco amplificador diferencial.....	67
4.1.3 Ganho de pequenos sinais do estágio de entrada.....	68
4.1.4 Análise Monte Carlo do estágio de entrada	72
4.2 Análise do estágio de saída.....	76
5 EFEITOS DA TID EM PARÂMETROS DE DESEMPENHO DOS	
OPAMPS COMPLEMENTARES	81
5.1 Desempenho em frequência	82
5.2 <i>Offset</i> de saída dos OpAmps	88
5.3 Análise do ganho DC	91
5.4 Influência da frequência de entrada e do esquema de realimentação na	
robustez dos OpAmps	94
5.5 Análise da THD.....	98
6 CONCLUSÃO.....	101
REFERÊNCIAS	105
APÊNDICE A - ARQUIVOS SPICE UTILIZADOS COMO BASE NAS	
SIMULAÇÕES	112

**APÊNDICE B - VALORES EXATOS DE V_{THN} E V_{THP} ADOTADOS NAS
SIMULAÇÕES 114**

LISTA DE ABREVIATURAS E SIGLAS

AEB	Agência Espacial Brasileira
AMI	American Microelectronics
CBERS	China Brasil Earth Resource Satellite
CERN	Conseil Européen pour la Recherche Nucléaire
CI	Circuito Integrado
CMOS	Complementary Metal-Oxide-Semiconductor
CMR	Common Mode Ratio
COTS	Commercial-Off-The-Shelf
DA	Amplificador Diferencial
DC	Direct Current
ECL	Emitter Coupled Logic
ELT	Enclosed Layout Transistor
EM	ElectroMigration
FPAA	Field Programmable Analog Array
GB	Produto ganho x largura de banda
HCI	Hot Carrier Injection
INPE	Instituto Nacional de Pesquisas Espaciais
LHC	Large Hadron Collider
LINAC	Linear Accelerator
LOCOS	Local Oxidation of Silicon
MOS	Metal Oxide Semiconductor
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
NASA	National Aeronautics and Space Administration
NBTI	Negative Bias Temperature Instability
NIEL	Non-ionizing Energy Loss
NMOS	N-channel Metal Oxide Semiconductor
NMOS-DA	NMOS Differential Amplifier

PO	Ponto de Operação
OpAmp	Operational Amplifier
PBM	Plano Brasil Maior
PMOS	P-channel Metal Oxide Semiconductor
PMOS-DA	PMOS Differential Amplifier
RCG	Raios Cósmicos Galácticos
RDF	Random Dopant Fluctuations
RHBD	Radiation Hardened-By-Design
SAA	South Atlantic Anomaly
SEB	Single Event Burnout
SEE	Single Event Effects
SEGR	Single Event Gate Rupture
SEL	Single Event Latch-up
SET	Single Event Transient
SEU	Single Event Upset
SHE	Single Hard Error
SPICE	Simulated Program with Integrated Circuits Emphasis
SR	Slew Rate
STI	Shallow Trench Isolation
THD	Total Harmonic Distortion
TID	Total Ionizing Dose
TSMC	Taiwan Semiconductor Manufacturing Company
VLSI	Very Large Scale Integration

LISTA DE FIGURAS

Figura 2.1: Cinturões de <i>Van Allen</i> . Figura extraída de (SALA DE FÍSICA, 2012).	21
Figura 2.2: Anomalia magnética do Atlântico Sul simulada com o modelo AP-8, considerando 500 Km de altitude. Figura Extraída de (SPENVIS, 2012).	22
Figura 2.3: Geração das partículas secundárias e terciárias quando os RCG atingem a atmosfera. Figura extraída de (BALEN, 2010).	23
Figura 2.4: Relação das partículas e o que elas podem ocasionar nos circuitos eletrônicos. Figura extraída de (ECOFFET, 2007).	25
Figura 2.5: Mecanismo de aprisionamento de cargas no óxido. Figura extraída de (SANTOS, 2010).	28
Figura 2.6: Demonstração dos longos tempos para as cargas aprisionadas na interface atingirem a saturação, considerando diferentes taxas de dose irradiada. Figura extraída de (SCHWANK et al, 2008).	30
Figura 2.7: Desvios em ΔV_{ot} e ΔV_{it} em função da dose acumulada para transistor NMOS com diferentes L.	31
Figura 2.8: Desvios na tensão de limiar de um transistor NMOS em função da dose acumulada para diferentes valores de L. Extraída de (DJEZZAR et al., 2000).	32
Figura 2.9: Evolução típica da tensão de limiar para transistores MOS. Figura extraída de (FRANCO; ZONG; AGAPITO, 2006).	33
Figura 2.10: Tendência da característica $I_D \times V_{GS}$ para os transistores NMOS e PMOS, antes e depois da radiação considerando apenas desvios promovidos pela N_{ot} . Figura extraída de (BARNABY, 2006).	35
Figura 2.11: Tendência da característica $I_D \times V_{GS}$ para os transistores NMOS e PMOS, antes e depois da irradiação considerando apenas desvios promovidos pela N_{it} . Figura extraída de (BARNABY, 2006).	36
Figura 2.12: Alteração na curva $I_D \times V_{GS}$ devido a TID. Figura extraída de (BALEN, 2010).	36
Figura 2.13: Região de inversão no substrato (P) induzidas por cargas positivas aprisionadas nos óxidos de campo em decorrência do acúmulo de dose total - a) Para LOCOS e b) Para STI. Figura adaptada de (SCHWANK et al, 2008).	37
Figura 2.14: Região de inversão do substrato (P) e a corrente de fuga entre dois transistores NMOS. Figura extraída de (BARNABY, 2006).	38
Figura 3.1: Topologias de amplificadores usados como estudo de caso. A- Configuração PMOS-DA, B- Configuração NMOS-DA.	42
Figura 3.2: Margens de fase de um buffer quando é aplicado um degrau na entrada. Figura extraída de (ALLEN, 2012).	45
Figura 4.1: Comportamento do parâmetro V_{th} considerado nas simulações. Figura adaptada de (FRANCO; ZONG; AGAPITO, 2006).	56
Figura 4.2: Amplificador diferencial com par NMOS.	59

Figura 4.3: Modelos de simulação do estágio de entrada do OpAmp: A- Topologia PMOS-DA e B- Topologia NMOS-DA.	60
Figura 4.4: Resposta DC do estágio de entrada da configuração PMOS-DA.	62
Figura 4.5: Resposta DC do estágio de entrada da configuração NMOS-DA.	62
Figura 4.6: Resposta de um amplificador diferencial com <i>offset</i> sistêmico. Figura adaptada de (ALLEN, 2012).	64
Figura 4.7: Comportamento do ponto de operação (nó Vout1 pela Figura 4.3) do amplificador diferencial para as duas topologias consideradas.	64
Figura 4.8: Resposta DC do estágio de entrada da configuração PMOS-DA após as modificações nas dimensões dos transistores.	66
Figura 4.9: Comportamento da corrente de polarização (I_{SS}) para a topologia NMOS-DA e PMOS-DA devido aos desvios em V_{th}	68
Figura 4.10: Ganho de pequenos sinais do estágio de entrada das duas configurações. 70	
Figura 4.11: Resposta no domínio tempo para o estágio de entrada da configuração PMOS-DA.	71
Figura 4.12: Resposta no domínio tempo para o estágio de entrada da configuração NMOS-DA.	72
Figura 4.13: Comportamento do parâmetro V_{th} considerado nas simulações indicando onde foram promovidos os desvios pela simulação Monte Carlo. Figura adaptada de (FRANCO; ZONG; AGAPITO, 2006).	73
Figura 4.14: Resultados das simulações Monte Carlo do par diferencial de entrada PMOS-DA, considerando 1000 iterações.	75
Figura 4.15: Resultados das simulações Monte Carlo do par diferencial de entrada NMOS-DA, considerando 1000 iterações.	76
Figura 4.16: Estágio de entrada do OpAmp; A- configuração PMOS-DA e B- configuração NMOS-DA.	77
Figura 4.17: Comportamento DC do estágio de saída da configuração PMOS-DA.	78
Figura 4.18: Comportamento DC do estágio de saída para a configuração NMOS-DA. 79	
Figura 4.19: Função de transferência de um inversor da Motorola com diferentes combinações como sinal de entrada, para dose de 890KRad (Si) com taxa de 10KRad/h. Figura extraída de (QUITTARD et al., 1998).	80
Figura 5.1: Esquema de realimentação utilizado para obter os parâmetros de desempenho dos OpAmps.	82
Figura 5.2: Resposta em frequência do OpAmp na configuração PMOS-DA.	83
Figura 5.3: Resposta em frequência do OpAmp na configuração NMOS-DA.	85
Figura 5.4: Comportamento da GB para as duas configurações de OpAmps.	85
Figura 5.5: Trabalho de simulação relacionado. (A) Arquitetura de OpAmp e (B) modelo de desvios para o parâmetro V_{th} adotado. Figuras adaptadas de (HUANG et al., 2004).	86
Figura 5.6: Resposta em frequência do OpAmp da Figura 5.5 (A), para os desvios de V_{th} da Figura 5.5 (B). Extraída de (HUANG et al., 2004).	87
Figura 5.7: <i>Offset</i> de saída dos OpAmps para as duas arquiteturas.	89
Figura 5.8: Sinais de saída de um filtro analógico de um trabalho experimental. Figura adaptada de (BALEN et al., 2011).	90
Figura 5.9: Comportamento do ganho DC das duas topologias de OpAmp.	92
Figura 5.10: Resposta transiente dos OpAmp com ganho de malha fechada unitário e frequência de entrada igual a 10KHz.	95
Figura 5.11: Resposta transiente dos OpAmps com ganho unitário e frequência de entrada igual a 1MHz.	96

Figura 5.12: Resposta transiente dos OpAmps com ganho de malha fechada igual a 20 e frequência de entrada com 10KHz.	97
Figura 5.13: Sinal presente na entrada inversora do OpAmp (V_- pela Figura 5.1) considerando apenas a configuração PMOS-DA.	98
Figura 5.14: THD para as duas abordagens de OpAmp, considerando 100 harmônicas.	99
Figura 5.15: THD de um filtro analógico configurado em FPAA. Figura adaptada de (BALEN et al., 2011).	100

LISTA DE TABELAS

Tabela 2.1: Faixas de energia de prótons, elétrons e íons, para as três origens de radiação espacial. Tabela Extraída de (BALEN, 2010).....	24
Tabela 2.2: Desvios em V_{th} para diferentes nós tecnológicos com dose acumulada de 10 MRad (Si) para os dois tipos de dispositivos. Tabela adaptada de (MANGHISONI et al., 2003) com os dados de (RE et al., 2005).....	39
Tabela 3.1: Especificações do projeto das duas topologias estudadas.	44
Tabela 3.2: Resumo do projeto com a topologia NMOS-DA.	49
Tabela 3.3: Resumo do projeto com a topologia PMOS-DA.....	51
Tabela 3.4: Dependência dos parâmetros de performance em função da corrente contínua, da relação W/L e do capacitor de compensação. Tabela adaptada de (ALLEN, 1987).....	52
Tabela 3.5: Resumo do projeto das duas topologias sem otimizações.....	53
Tabela 3.6: Resumo do projeto das duas topologias com os transistores redimensionados.	53
Tabela 4.1: Valores de V_{th} das sete amostras selecionadas.	58
Tabela 4.2: Desvios no V_{th} (em mV) devido à radiação para transistores NMOS e PMOS com geometria mínima na tecnologia TSMC 0.35 μ m. Tabela extraída de (LACOE et al., 1998).....	74

RESUMO

Este trabalho estuda os efeitos de dose total ionizante (TID – *Total Ionizing Dose*) em amplificadores operacionais e em seus blocos básicos de construção. A radiação ionizante presente no espaço pode afetar o funcionamento das estruturas MOS, sendo que um dos parâmetros mais prejudicados é a tensão de limiar (*Threshold Voltage*). Em virtude da diferença nos mecanismos de aprisionamento de cargas nos óxidos dos transistores do tipo *N* e do tipo *P*, esses dois dispositivos exibem comportamentos distintos à medida que a dose acumulada aumenta referente à tensão de limiar. Por isso, foram investigados os comportamentos de dois tipos de amplificadores que podem ser ditos complementares entre si. Nesse contexto, através de simulações SPICE desvios na tensão de limiar foram promovidos através da injeção direta no arquivo de parâmetros da tecnologia considerada. Com isso, um conjunto de simulações foi feito para gerar a estimativa da tendência de comportamento de parâmetros que qualificam o desempenho dos amplificadores operacionais, como é o caso do produto ganho largura de banda (GB), ganho DC e THD (*Total Harmonic Distortion*). Nesse sentido, foi possível compreender os mecanismos associados à degradação de desempenho e concluir qual das duas arquiteturas pode apresentar melhor desempenho relacionado à TID.

Palavras-Chave: Dose ionizante total (TID), efeitos da radiação em circuitos analógicos, blocos analógicos básicos, amplificadores operacionais, desvios na tensão de limiar.

ABSTRACT

This work studies the effects of Total Ionizing Dose (TID) in operational amplifiers as well as in their basic building blocks. The radiation from space may affect functionality of MOS structures. One of the most affected parameters is the threshold voltage. Due to the difference between *N*-type and *P*-type transistors related to the mechanism of charge trapping into the oxides, these two devices exhibit different behaviors, related to the threshold voltage parameter according to accumulated dose. Therefore, this work investigates the behavior of two counterpart operational amplifiers. In this context, by means of SPICE simulations, threshold deviations are injected into the transistors by modifying the technology models of the devices. Thus, a set of simulations was performed in order to generate an estimate of tendency for some of performance parameters of operational amplifiers, such as: the gain-bandwidth product (GB), DC gain, THD (Total Harmonic Distortion). In this sense, it was possible to understand the mechanisms associated to performance degradation and also, to conclude which of both architectures is more robust related to TID.

Keywords: Total Ionizing Dose (TID), radiation effects in analog circuits, analog building blocks, operational amplifiers, threshold voltage deviations.

1 INTRODUÇÃO

O avanço tecnológico tem permitido a concepção de circuitos integrados (CI) cada vez menores, com maior complexidade e com capacidade de operar em frequências cada vez maiores. A lei de MOORE (MOORE, 1965) para circuitos digitais, que diz que a capacidade de integração é dobrada a cada 18 meses, vem se mantendo verdadeira há quatro décadas. Porém, os caminhos para conseguir o sucesso estão mudando, sendo necessário utilizar novos materiais e estruturas de dispositivos para que se possa continuar o *scaling* da tecnologia (INTEL, 2010c). A introdução do *High-K/Metal-Gate* em 2007 no processo 45nm da Intel (INTEL, 2010a) representou, para o doutor Gordon Moore, como a maior mudança na tecnologia de transistores dos últimos 40 anos (INTEL, 2010b) contribuindo para que a famosa lei se mantenha verdadeira, pelo menos, até 2015.

Por outro lado, a diminuição das dimensões dos transistores vem tornando-os mais suscetíveis a falhas. A variabilidade do processo de fabricação contribui para que, em alguns casos, os circuitos operem fora de seu limiar de tolerância. Alguns desafios a ser superados pelos circuitos estado da arte são RDF (*Random Dopant Fluctuations*), NBTI (*Negative Bias Temperature Instability*), HCI (*Hot Carrier Injection*), efeitos de canal curto, EM (*ElectroMigration*) (WIRTH, 2010) e a maior vulnerabilidade a falhas transientes ocasionadas por radiação (MESSENGER, 1992).

Apesar da complexidade dos circuitos integrados estarem avançando agressivamente no domínio digital, o mesmo não ocorre para os circuitos utilizados em aplicações analógicas e de sinal misto, nas quais é comum encontrar circuitos comerciais fabricados com processos CMOS mais antigos (quando comparado com as tecnologias estado da arte adotadas em dispositivos digitais de alta performance), por exemplo, 0.5 μ m e 0.6 μ m. Conseqüentemente, os dispositivos fabricados em tais tecnologias são sensíveis aos efeitos de acúmulo de dose total em virtude da maior

espessura dos óxidos de isolamento (SCHWANK et al., 2008; SCHRIMPF, 2007), conforme será apresentado no capítulo dois.

De fato, a preferência por circuitos digitais para implementar a maioria dos blocos de circuitos mais complexos é natural em função da menor área ocupada pelos CIs digitais. Porém, existem funções que os circuitos digitais não podem realizar como é o caso dos circuitos de interfaceamento entre o mundo real e o sistema digital. O mundo físico é por natureza analógico, e por isso circuitos como filtros contínuos e chaveados, comparadores de tensão, amplificadores terão aplicabilidade na conversão dos sinais do domínio analógicos para o digital (digital para analógico) de sistemas eletrônicos.

O amplificador operacional (OpAmp) com dois estágios de ganho (ou amplificador Miller) representa um importante macro bloco funcional de aplicação em circuitos integrados analógicos. Uma das razões é por ser bastante flexível, pois, sem consumir uma área muito grande do CI consegue atender determinados requisitos de desempenho (SEDRA & SMITH, 2007). Por isso, esse circuito foi utilizado como estudo de caso devido a sua importância para o projeto analógico.

A investigação dos efeitos da radiação em circuitos eletrônicos ocasionadas por incidência de partículas de origem espacial vem sendo estudada há bastante tempo pela comunidade acadêmica internacional, tanto da área da engenharia como da física nuclear, visando qualificar os dispositivos fabricados para aplicações espaciais e militares. O recém criado LHC (*Large Hadron Collider*) do CERN (*Conseil Européen pour la Recherche Nucléire*) é um exemplo puro, onde diversos trabalhos foram desenvolvidos para qualificar os circuitos que seriam utilizados na instrumentação e controle desta estação (FRANCO et al., 2004; GINGRICH et. al., 2003; BALEN, 2010).

O Brasil recentemente elegeu o setor “defesa, aeronáutico e espacial” como uma das prioridades de investimentos em pesquisas, através do PBM (Plano Brasil Maior) (PBM, 2012). Outro exemplo do esforço brasileiro em qualificar pesquisas na área é através dos acordos de cooperação com a China, que já permitiu o lançamento de três satélites e pretende lançar outros nos próximos anos pelo programa CBERS (*China Brasil Earth Resources Satellites*) (AEB, 2012). Adicionalmente, uma decisão do governo Norte Americano proíbe ou dificulta a exportação de componentes eletrônicos tolerantes à radiação. Por isso, para o desenvolvimento do programa de satélites e física

nuclear brasileiro, torna-se essencial direcionar pesquisas para a criação de circuitos integrados tolerantes a estes ambientes hostis. (BALEN, 2010).

Esse trabalho teve como motivação inicial, realizar um estudo mais aprofundado do comportamento observado em um experimento de dose total ionizante desenvolvido previamente em um dispositivo FPAA (*Field Programmable Analog Array*), que tinha um filtro analógico configurado. Durante tal experimento, foi detectado um fenômeno descrito na literatura como “janela de inatividade”. O dispositivo FPAA é composto basicamente por chaves analógicas e OpAmps. O estudo através de simulações da influência das chaves analógicas na “janela de inatividade” foi realizado em (BALEN et al, 2011). Logo, nessa dissertação, o amplificador operacional passou a ser o alvo de um estudo mais detalhado por meio de simulação SPICE (*Simulated Program with Integrated Circuits Emphasis*).

Os efeitos de dose total ionizante, ou como o termo é mais largamente conhecido em inglês, *Total Ionizing Dose* (TID) se manifestam a longo prazo nos dispositivos eletrônicos. Devido às cargas elétricas retidas na estrutura do CI induzidas pela radiação ionizante, a exposição a estes ambientes pode, dependendo da dose acumulada, acarretar em alterações nas características de desempenho, podendo levar ao mau funcionamento de partes de um circuito, ou até mesmo, danificá-lo permanentemente.

Um dos parâmetros afetados pela TID em transistores MOS é a tensão de limiar, V_{th} (*Threshold Voltage*). Logo, este trabalho visa estudar os efeitos de dose total nos amplificadores operacionais selecionados através de simulação SPICE. Para isso, foi considerado variações na tensão de limiar dos transistores CMOS de acordo com comportamentos já observados da tensão de threshold em ambientes com radiação. O modelo de transistores considerado nas simulações foi o da tecnologia AMI 0.5 μm , sendo que, os desvios em V_{th} foram injetadas diretamente no arquivo de parâmetros da tecnologia.

Os transistores do tipo N e do tipo P exibem comportamentos distintos relacionado à TID. Por isso, duas arquiteturas complementares (duais) de OpAmp foram consideradas nesse estudo com o objetivo de comparar o funcionamento das duas e poder apontar qual delas apresenta desempenho mais satisfatório relacionado a TID. Para permitir um melhor entendimento da tendência de comportamento, os circuitos

OpAmps foram divididos em dois blocos básicos, denominados como estágio de entrada e de saída.

Nesse sentido, o estudo do comportamento do OpAmp Miller partiu dos blocos básicos, onde foi investigado os desvios no ponto de operação, resposta de pequenos sinais e o comportamento da função de transferência em função dos desvios da tensão de limiar. Depois disso, levando em consideração os mesmo desvios em V_{th} utilizado na análise dos blocos básicos, o OpAmp em si passou a ser alvo das investigações através da observação das variações de parâmetros de desempenho do OpAmp completo.

Os resultados encontrados indicam que a arquitetura que utiliza como estágio de entrada par diferencial com transistores NMOS pode apresentar maior robustez do que a que utiliza par diferencial com transistores PMOS. Pois, de acordo com o comportamento simulado para o parâmetro V_{th} , a topologia NMOS (como par diferencial de entrada) consegue manter a funcionalidade, enquanto que a topologia com transistores PMOS no estágio de entrada perde sua funcionalidade.

O trabalho de (HUANG et al., 2004) também monitorou através de simulação o comportamento de um OpAmp, no que tange a resposta em frequência. Só que nesse caso, o amplificador exibia uma arquitetura um pouco mais complexa. No entanto, o comportamento dos desvios do parâmetro V_{th} foi bem semelhante ao que foi adotada nas simulações desse trabalho de dissertação. A resposta em frequência do amplificador se mostrou coerente aos do trabalho de (HUANG et al., 2004). Nos estudos de (TURFLINGER et al., 1996; BARBARA et al., 1990; LEE & JOHNSTON, 1998; GUNASEELAN et al., 2003; GUCKENBERGER & HIEMSTRA, 2001) foram observados alterações nos parâmetros de desempenho de circuitos analógicos (que, possivelmente, utilizam OpAmps em sua estrutura) e de amplificadores operacionais especificamente. Como exemplos de parâmetros alterados têm-se: *Offset* de saída, a resposta em frequência e alterações no consumo de corrente CC.

Logo, este trabalho está organizado da seguinte forma: no capítulo 2 são apresentadas as origens da radiação espacial bem como os efeitos da radiação em dispositivos MOS. O capítulo 3 descreve o projeto de dois amplificadores operacionais complementares e os *tradeoffs* (no nível de projeto) de se utilizar uma arquitetura ou outra. Os efeitos das variações da tensão de limiar no funcionamento dos blocos básicos analógicos de cada amplificador operacional são estudados no capítulo 4. No capítulo 5,

são investigados os principais efeitos nos parâmetros de desempenho dos amplificadores complementares relacionado aos desvios da tensão de limiar. A conclusão desse trabalho bem como os apontamentos de trabalhos futuros é feita no capítulo 6.

2 EFEITOS DA RADIAÇÃO EM DISPOSITIVOS MOS

Em 1962 foi observado, pela primeira vez, que a radiação pode afetar o desempenho de circuitos eletrônicos, pois um satélite de telecomunicações lançado pelos Estados Unidos falhou durante um teste em altas altitudes (VELAZCO; FOUILLAT; REIS, 2007). Desde então, as pesquisas relacionadas aos efeitos da radiação em circuitos eletrônicos passaram a ser alvo de interesse da comunidade científica, das agências espaciais e de repartições militares (BALEN, 2010).

A intensidade da radiação está relacionada com a altitude em relação ao nível do mar. Logo, quanto maior a altitude maior será a intensidade dos efeitos nos circuitos eletrônicos. No nível do mar, a intensidade da radiação é maior na região dos polos, porém com níveis bem menores quando comparado com as das altas altitudes. Por isso, circuitos eletrônicos presentes, por exemplo, em satélites, terão tendência de sofrer mais com tais efeitos (O’GORMAN, 1994). Com o encolhimento das dimensões dos transistores na tecnologia CMOS, os níveis de energias necessários para gerar atividade em um transistor são menores para as tecnologias mais recentes, e isso permite que alterações elétricas de funcionamento dos circuitos possam ser observadas já no nível do mar (O’GORMAN, 1994).

2.1 Origens e caracterização dos efeitos da radiação em circuitos eletrônicos

Conforme retratado em (BALEN, 2010) as principais partículas que podem provocar atividade indesejada nos circuitos eletrônicos são elétrons, prótons, nêutrons, partículas alfa e íons pesados, além da radiação eletromagnética produzida por raios-x e raios gama. As principais fontes de radiação de origem espacial que podem gerar as

partículas listadas acima são os cinturões de *Van Allen*, a atividade solar e os Raios Cósmicos Galácticos (RCG).

Os cinturões de *Van Allen* são regiões do espaço formadas ao redor da Terra, onde existe uma quantidade significativa de prótons e elétrons. De acordo com a Figura 2.1 é possível notar que existem dois cinturões (um interno e outro externo). Onde o externo possui partículas com maior energia do que o interno (STASSINOPOULOS & RAYMOND, 1988). A NASA (*National Aeronautics and Space Administration*) a partir de dados de radiação coletados de satélites criou modelos capazes de determinar o fluxo de prótons (modelo AP-8) e o fluxo de elétrons (modelo AE-8), para uma determinada órbita, ocasionado pelos cinturões (HEYNDERICKX et al, 1996).

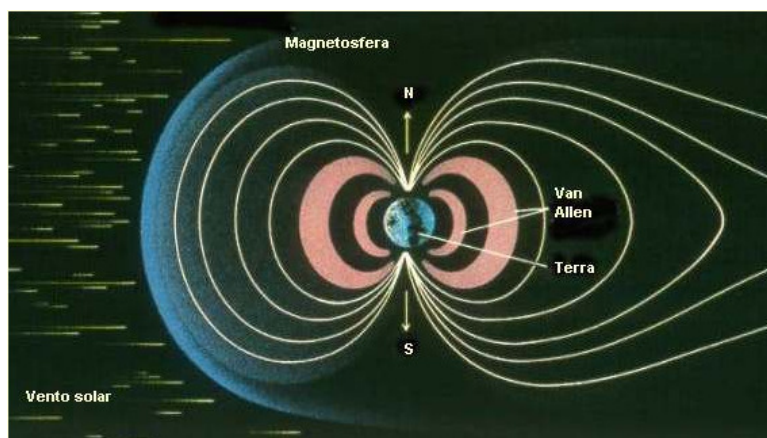


Figura 2.1: Cinturões de *Van Allen*. Figura extraída de (SALA DE FÍSICA, 2012).

Simulações utilizando o modelo AP-8 mostraram que uma região relativamente grande localizada no território brasileiro possui fluxo de prótons cerca de 100 vezes maior do que nas outras áreas da Terra, conforme mostra a Figura 2.2. Esse fenômeno é conhecido como Anomalia Magnética do Atlântico Sul, ou como o termo é conhecido em inglês, *South Atlantic Anomaly* (SAA). Possivelmente, os dispositivos eletrônicos que irão operar nessa região receberão uma quantidade maior de partículas capazes de alterar o seu funcionamento.

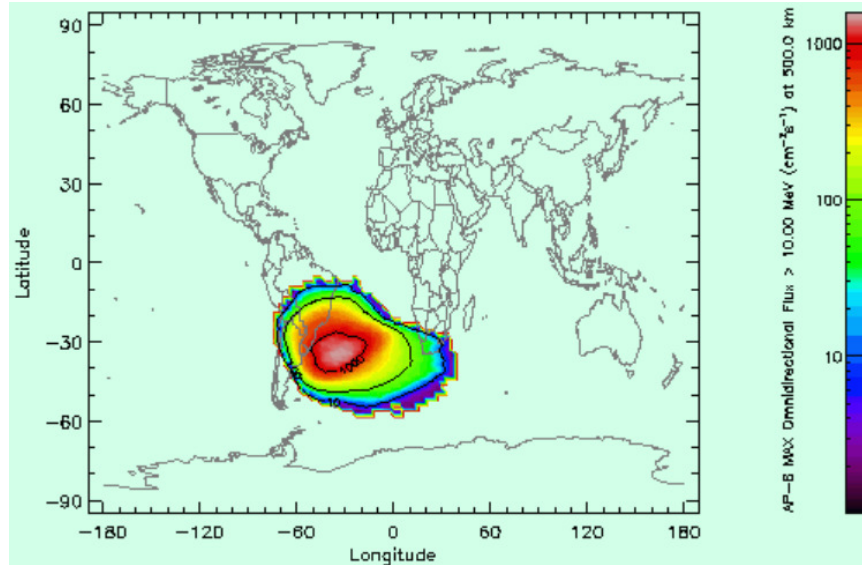


Figura 2.2: Anomalia magnética do Atlântico Sul simulada com o modelo AP-8, considerando 500 Km de altitude. Figura Extraída de (SPENVIS, 2012).

A atividade solar é outra fonte que contribui na radiação espacial, sendo cíclica, com duração aproximada de 11 anos. Onde durante 4 anos apresenta baixa atividade e durante 7 anos tem alta atividade (BOUDENOT, 2007). No período de alta atividade, as explosões solares (*solar flares*) aumentam de intensidade e a emissão de íons pesados aumentam em relação ao semiciclo de baixa atividade. Podendo, em alguns momentos, superar o fluxo gerado pelos raios cósmicos galácticos (STASSINOPOULOS & RAYMOND, 1988). Além dos íons emitidos pelas explosões solares que podem chegar, em alguns casos, a ordem de Giga-elétron-Volt (GeV), essa atividade também pode gerar partículas-alfa e elétrons. O vento solar é outro evento associado à atividade do sol que produz, em virtude da altíssima temperatura, a ejeção de elétrons da coroa solar, desencadeando também a ejeção de prótons e íons pesados. O vento solar é composto, aproximadamente, por 95% de prótons, 4% de íons de Hélio e 1% de outros íons pesados – além de elétrons em quantidade tal que torne o vento solar neutro (BOUDENOT, 2007).

A última fonte de radiação espacial, os raios cósmicos galácticos, são considerados partículas primárias que ao entrarem na atmosfera terrestre geram partículas secundárias e terciárias ao reagir com o oxigênio e o nitrogênio. Esse fenômeno é conhecido como *spallation*, ou também, como “chuveiro” de partículas (O’GORMAN, 1994). A Figura 2.3 esquematiza esse evento. As partículas secundárias

geradas possuem prótons, elétrons e nêutrons. Sendo que, os dois primeiros são atenuados pelas interações coulombianas com a atmosfera terrestre. Por isso, as partículas com alta energia (> 1 Mega-elétron-Volt [MeV]) com maior probabilidade de perturbar os circuitos eletrônicos ao nível do mar são os nêutrons.

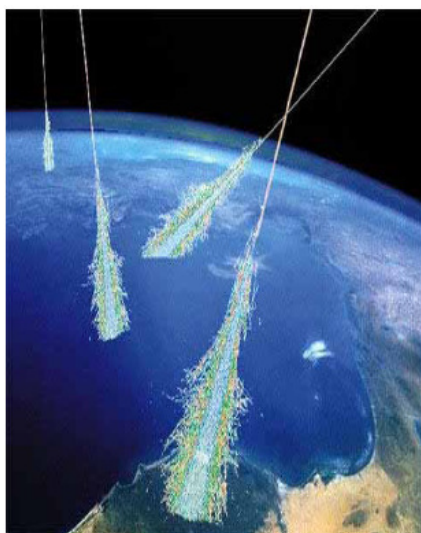


Figura 2.3: Geração das partículas secundárias e terciárias quando os RCG atingem a atmosfera. Figura extraída de (BALEN, 2010).

A atividade solar exerce influência sobre o fluxo de RCG, de tal forma que, durante o período de baixa atividade os RCG possuem maior intensidade, em relação ao período de alta atividade solar (McDONALD, 1998).

A Tabela 2.1 mostra as faixas de energia que cada uma das três origens de radiação espacial pode produzir, os dados estão de acordo com (BOUDENOT, 2007). Nessa tabela, também são apresentados, quais são as partículas que cada uma dessas origens emite. Esses valores de energia podem ser entendidos como uma capacidade que a partícula teria de penetrar no material dos circuitos eletrônicos (para o caso específico desse trabalho, o silício (Si) e o óxido de isolamento SiO_2) e com isso, possivelmente, gerar atividade indesejada no circuito.

Tabela 2.1: Faixas de energia de prótons, elétrons e íons, para as três origens de radiação espacial. Tabela Extraída de (BALEN, 2010).

Cinturões de Radiação	Elétrons	eV – 10 MeV
	Prótons	keV – 500 MeV
Atividade Solar	Prótons	keV – 500 MeV
	Íons	1 MeV – 10 MeV / n
Raios Cósmicos Galácticos	Prótons e Íons	Até 300 MeV / n

Como consequências dessas partículas, três tipos de efeitos podem ser observados em circuitos eletrônicos utilizados em aplicações espaciais (BOUDENOT, 2007):

1) **Total Ionizing Dose (TID)** – Dose ionizante Total: esse efeito é cumulativo, que se manifesta a longo prazo, e que é caracterizado basicamente pelo aprisionamento de cargas nos materiais que compõe os circuitos integrados, podendo afetar as características elétricas dos transistores. O foco desse trabalho está no estudo desse efeito em parâmetros de desempenho de blocos analógicos básicos, utilizados para construir OpAmps.

2) **Displacement Damage** – Danos por deslocamento: representa danos nas propriedades físicas dos materiais, ou seja, na sua estrutura cristalina, em virtude de perdas de energia por incidência de partículas não ionizantes (NIEL – Non-ionizing Energy Loss), o que faz com que se perda as propriedades físicas do material (SROUR; MARSHALL; MARSHALL, 2003). Esse efeito não será abordado nessa dissertação.

3) **Single Events Effects (SEEs)** – Efeitos Singulares – São ocasionados pelo impacto de partículas energéticas em uma determinada região na estrutura dos transistores, ionizando-o e podendo gerar energia suficiente para produzir um pulso de corrente (WANG & AGRAWAL, 2008). Os SEEs podem ainda ser divididos em três grupos:

a) SEU (*Single Event Upset*) – afeta os elementos de memória alterando o valor armazenado de um ou mais BITs (GUENZER; WOLICKI; ALLAS, 1979).

b) SET (*Single Event Transient*) – pulso de corrente que pode ser capturado por um elemento de memória presente no circuito. Pode ocorrer tanto em dispositivos

digitais (BAZE & BUCHNER, 1997) quanto em analógicos (TURFLINGER et al., 1996).

C) Eventos singulares catastróficos – como: SEL (*Single Event Latchup*), SEB (*Single Event Burnout*), SEGR(*Single Event Gate Rupture*), SHE (*Single Hard Error*). São efeitos que causam danos irreversíveis nos circuitos (SEXTON et al, 1997). Os eventos singulares de forma geral não fazem parte do escopo desse trabalho.

A Figura 2.4 relaciona resumidamente as partículas e o efeito que elas podem causar nos circuitos eletrônicos, bem como as suas origens.

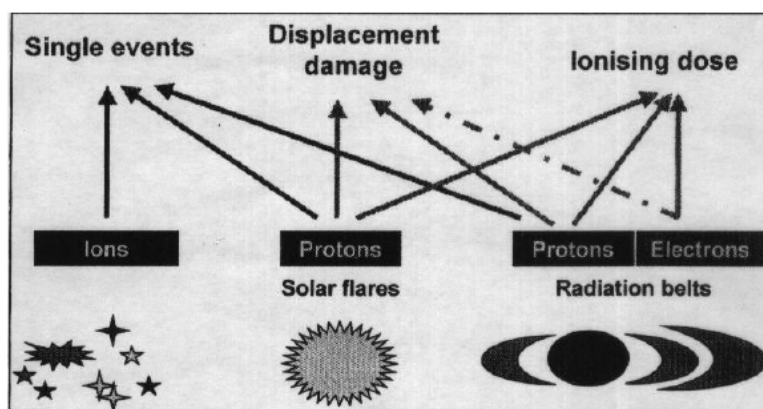


Figura 2.4: Relação das partículas e o que elas podem ocasionar nos circuitos eletrônicos. Figura extraída de (ECOFFET, 2007).

2.2 Efeitos de dose total ionizante

Os efeitos de dose total ionizante ou, como o termo é mais largamente conhecido em inglês *Total Ionizing Dose* (TID) se manifestam ao longo do tempo nos circuitos integrados. O grau das consequências na performance do circuito em função da exposição, depende da intensidade e do tempo que o circuito ficou exposto a esta radiação (SCHRIMPF, 2007). A unidade que mede a intensidade de dose acumulada é o rad (*radiation absorbed dose*), que representa uma energia depositada no material. Como a absorção de energia depende do material, o rad necessita vir acompanhado a qual material se refere, como exemplo, para o silício: 20Krad (Si).

Em décadas passadas, todo o aparato tecnológico utilizado para construir circuitos integrados para aplicação em ambientes com radiação era produzido especificamente para esse ramo de mercado (JOHNSTON et al, 1995). Porém, com o aumento dos custos para o desenvolvimento das instalações de um novo nó tecnológico, cerca de US\$ 7 Bilhões para 32nm da Intel (INTEL, 2012), praticamente impossibilita que essa estratégia continue sendo adotada do ponto de vista econômico.

O uso de COTS (*Commercial-Off-The-Shelf*), que em uma tradução literal do inglês seria componentes eletrônicos disponíveis nas prateleiras, foi um primeiro caminho testado, no sentido de verificar a performance desses componentes nesses ambientes hostis. Sendo assim, a partir dos resultados obtidos dos experimentos de irradiação, seria possível caracterizar se o componente poderia ser dito tolerante a radiação ou não.

Tipicamente, os componentes eletrônicos produzidos com mecanismos de proteção para ambientes com radiação (*Radiation-Hardened* em inglês), apresentam desvios mínimos em parâmetros de transistores e/ou circuitos para doses até, pelo menos, 300Krad. Por outro lado, circuitos produzidos utilizando nós tecnológicos comerciais e sem nenhum tipo de proteção à radiação, como é o caso dos COTS, perdem sua funcionalidade para doses inferiores a 25Krad (OSBORN et al, 1997). Em alguns trabalhos (BOLEY, 2008; SHARMA; SAHU; BRASHEARS, 1996; BOGORAD et al., 2008), diversos COTS de categorias importantes foram selecionados, como é o caso dos amplificadores operacionais, das memórias, dos conversores analógico-digital e digital-analógico. Esses dispositivos irradiados compreendem tanto a tecnologia CMOS quanto a bipolar, assim como, circuitos analógicos e digitais. Os resultados desses experimentos foram tabelados e publicados. Desta forma, é possível utilizar como uma referência rápida para definir pela aplicação ou não de determinado circuito em um sistema mais complexo.

Nesses trabalhos de irradiação dos dispositivos COTS são investigados alguns parâmetros de desempenho, como por exemplo, para amplificadores operacionais, *offset* do sinal de saída, resposta em frequência, THD. Nesse sentido, os resultados podem ajudar na decisão pela adoção de dispositivos COTS, dependendo dos resultados de desempenho desses circuitos em relação aos parâmetros observados e do tempo em que o circuito ficará exposto nesse tipo de ambiente.

A utilização de tecnologias comerciais de fabricação de CI, como forma de amenizar os custos de desenvolvimentos de CI para ambientes com radiação, também tem sido testada, isso porque as tecnologias mais atuais vêm mostrando aprimoramento de desempenho relacionado à TID em parâmetros analógicos, conforme foi retratado em (RE et al., 2005; MANGHISONI et al., 2003). Isso ocorre, devido a menor espessura do óxido de isolamento para as tecnologias mais recentes.

Adicionalmente, tem sido criadas estratégias no nível de layout dos transistores, para tornar os circuitos mais robustos. O ELT (*Enclosed Layout Transistor*), ou transistor com geometria fechada, pode ser citado como uma dessas técnicas. No inglês, as estratégias para tornar o circuito mais robusto, no nível de projeto, são conhecidas como RHBD (*Radiation Hardened By Design*). Em geral, essas técnicas ajudam a minimizar um dos efeitos causados pela TID que é a corrente de fuga entre transistores, conforme abordado em (VERBEECK; LEROUX; STEYAERT, 2011).

Além de propiciar o aparecimento de correntes de fuga entre transistores, o acúmulo de dose ionizante nos dispositivos MOS também pode degradar a mobilidade dos portadores, alterar o espectro de ruído intrínseco e promover desvios na tensão de limiar (*threshold voltage*) (SCHRIMPF, 2007). Nesse trabalho será dada ênfase na investigação dos efeitos que os desvios na tensão de limiar podem causar no funcionamento dos circuitos analógicos básicos. A seguir será explicitada a tendência de comportamento desse parâmetro para os dispositivos MOS à medida que dose acumulada aumenta.

2.2.1 Desvios da tensão de limiar dos transistores

A principal causa da degradação elétrica dos transistores CMOS em aplicações analógicas expostas a radiação ionizante é o acúmulo de cargas aprisionadas nos óxidos de isolamento (N_{ot}) e na interface entre o substrato e o óxido (N_{it}) (SCHWANK et al, 2008). Como consequência desse acúmulo de cargas, ocorrem desvios na tensão de limiar e o surgimento de correntes de fuga (entre os terminais de um mesmo transistor e entre transistores adjacentes) (SCHWANK et al, 2008; SCHRIMPF, 2007).

A Figura 2.5 ilustra em cinco passos o processo de aprisionamento de cargas positivas no óxido de isolamento da estrutura MOS de um transistor NMOS. Quando partículas ionizantes atingem essa região, pares elétron-lacuna podem ser gerados no óxido de isolamento (passo 2). Em seguida, o campo elétrico aplicado na *porta* irá separar os elétrons das lacunas, sendo que os elétrons, em função da sua maior mobilidade, são expulsos do óxido e absorvidos pela *porta* fazendo surgir correntes de fuga por esse terminal (passos 3 e 4). Em função da menor mobilidade das lacunas, as cargas positivas migram pelo óxido e são aprisionadas nas regiões onde o óxido apresenta imperfeições, esse processo é ilustrado nos passos 5 e 6 (VELAZCO; FOUILLAT; REIS, 2007; SILVA, 2004; GROMOV, 2007; NEMMANI, 2005; LIMA, 2006).

No caso dos transistores PMOS, as cargas aprisionadas no óxido de isolamento também são positivas, porém o campo elétrico aplicado na *porta* tem sentido oposto ao do transistor NMOS. Isso faz com que, os elétrons gerados sejam atraídos para a região da interface do substrato/silício do transistor. Na Figura 2.5, não foi considerado o fenômeno de aprisionados de cargas na interface entre o canal do transistor e o óxido de isolamento.

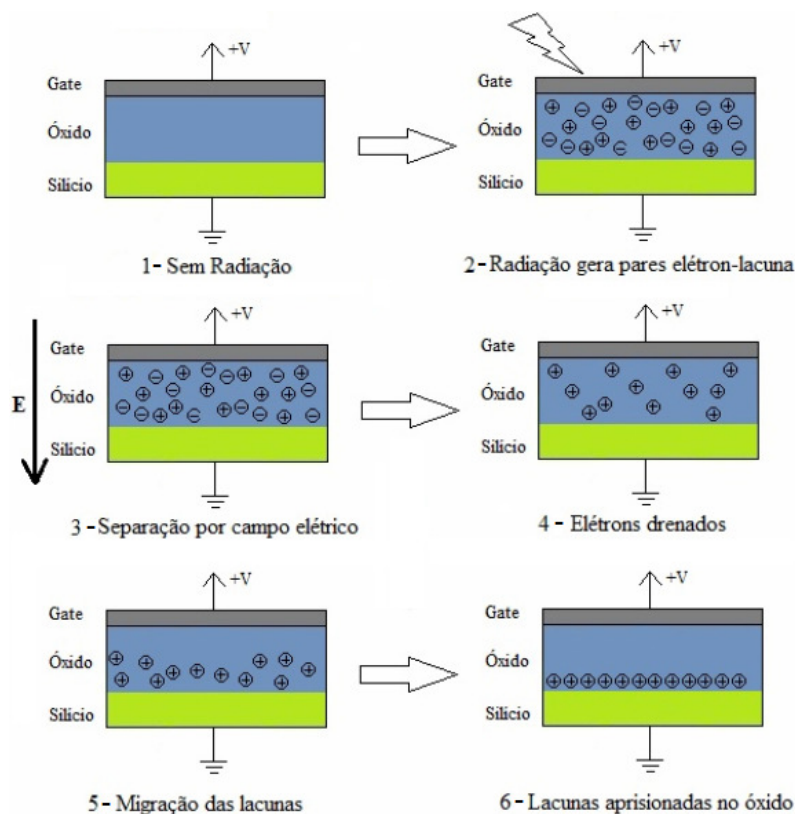


Figura 2.5: Mecanismo de aprisionamento de cargas no óxido. Figura extraída de (SANTOS, 2010).

A carga líquida armazenada no óxido (N_{ot}) ao final desse processo é positiva, tanto para o transistor NMOS quanto para o PMOS. Isso, por sua vez, contribui para que ocorram desvios negativos no parâmetro V_{th} para os dois tipos de transistor. Já o acúmulo de cargas na interface pode resultar em carga líquida positiva, neutra ou negativa, dependendo do tempo, da taxa de dose, do campo elétrico e da natureza das imperfeições do óxido (SCHRIMPF, 2007).

Transistores com canal do tipo P , normalmente acumulam carga líquida positiva na interface, o que leva a desvios negativos na tensão de limiar desse dispositivo. Para os transistores do tipo canal N , a resultante de carga acumulada na interface é negativa, provocando desvios positivos no V_{th} . Porém o desvio total (desvio efetivo) no parâmetro V_{th} será dado pela contribuição das cargas aprisionadas no óxido (N_{ot}) e as cargas acumuladas na interface (N_{it}), conforme mostra a Equação 2.1. O fato da carga líquida aprisionada no óxido e na interface ser positiva, para o dispositivo PMOS, isso faz a carga total armazenada por esses dois mecanismos tenderem a ser maiores para esse tipo de transistor. Pois, no transistor do tipo N , esses dois efeitos geram cargas de sinais opostos, o que leva a ocorrer uma compensação, e o sinal resultante da carga líquida total dependerá do mecanismo que teve maior intensidade (SCHWANK et al, 2008).

$$\Delta V_{th} = \Delta V_{ot} + \Delta V_{it} \quad \text{Equação 2.1}$$

ΔV_{ot} e ΔV_{it} , são, respectivamente, as parcelas de contribuição no desvio da tensão de limiar, devido às cargas aprisionadas no óxido e na interface.

De acordo com equações desenvolvidas em (SCHWANK et al, 2008), que consideram a densidade de cargas armazenadas no óxido, na interface, a capacitância C_{ox} e a espessura t_{ox} permitem concluir que, carga líquida positiva gera um desvio negativo na tensão de limiar, enquanto um desvio positivo neste parâmetro ocorre quando o valor da carga líquida armazenada é negativa.

O aprisionamento de cargas na interface ocorre de forma muito mais lenta quando comparada com as cargas aprisionadas no óxido, podendo em alguns casos levar milhares de segundos até atingir a saturação (SHANEYFELT et al., 1992), conforme mostra a Figura 2.6. Para obter os resultados apresentados nessa figura, dispositivos

MOS com *porta* de polysilício e $t_{ox}= 47\text{nm}$ foram irradiados com diferentes taxas de dose até aproximadamente 75Krad (Si) com a adição de pulsos em um acelerador de elétrons linear (LINAC – *Linear accelerator*) e campo elétrico constante de 1MV/cm. Os dados ilustram o alto tempo que as cargas na interface levaram para atingir a saturação (ΔD_{it}), demonstrando que nesse caso, independe da taxa de dose irradiada.

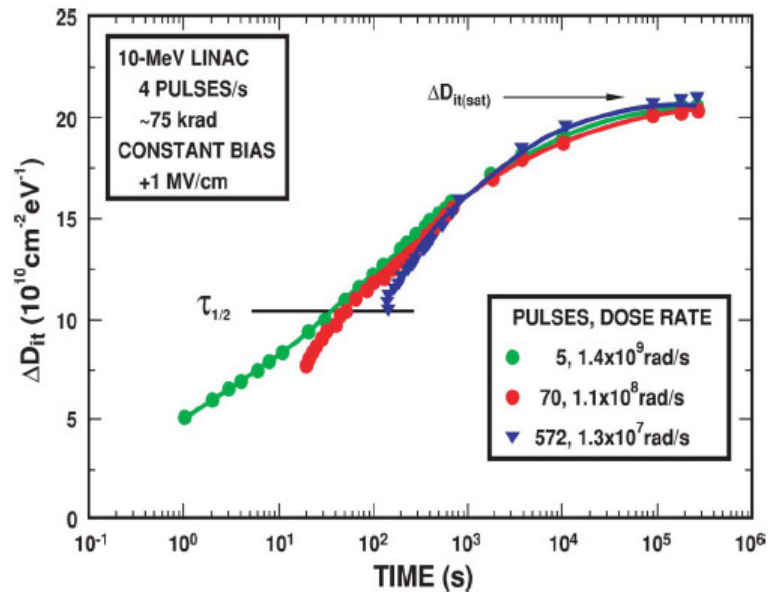


Figura 2.6: Demonstração dos longos tempos para as cargas aprisionadas na interface atingirem a saturação, considerando diferentes taxas de dose irradiada. Figura extraída de (SCHWANK et al, 2008).

Os dois mecanismos de aprisionamento de cargas produzem sempre desvios negativos na tensão de limiar para os transistores P , mesmo para tempos de exposição e taxas de dose diferentes. Entretanto, para o dispositivo N , o fato de haver diferença de tempo no mecanismo de aprisionamento de cargas no óxido e na interface, faz com que para intervalos de tempo pequenos, com altas taxas de dose de radiação, prevaleça o efeito das cargas presas no óxido. Logo, ΔV_{ot} é maior do que ΔV_{it} conduzindo os desvios em V_{th} no sentido negativo, uma vez que a carga líquida aprisionada no óxido é positiva. Em taxas de dose moderadas e com altos tempos de exposição, a influência de ΔV_{it} pode compensar o efeito das cargas presas no óxido, pelo fato da carga líquida armazenada nesses dois mecanismos ter sinais opostos. Para tempos de exposição longos com taxas de dose baixas, o efeito de ΔV_{ot} pode ser neutralizado pelo efeito de ΔV_{it} e inclusive superado, fazendo a influência das cargas aprisionadas na interface se tornar dominante.

Em um trabalho relacionado, onde um experimento de irradiação foi conduzido até 400 Krad (Si) com taxa de 200rad/min (DJEZZAR et al., 2000), foi observado a influência de ΔV_{ot} e ΔV_{it} separadamente na variação da tensão de limiar ΔV_{th} de transistores NMOS no processo $2\mu\text{m}$ com $t_{ox}=40\text{nm}$. A Figura 2.7 ilustra os resultados, que apontam que no início do experimento, quando a dose acumulada é relativamente baixa, o valor de ΔV_{ot} é maior do que ΔV_{it} . Já em doses mais altas, ΔV_{it} exibe valores semelhantes ao do ΔV_{ot} . A soma da influência desses dois mecanismos de aprisionamento de cargas do dispositivo N está mostrado na Figura 2.8. Onde é possível notar que, ocorre a recuperação em ΔV_{th} para índices semelhantes à situação pré-irradiação. Esses resultados estão de acordo com a discussão feita anteriormente.

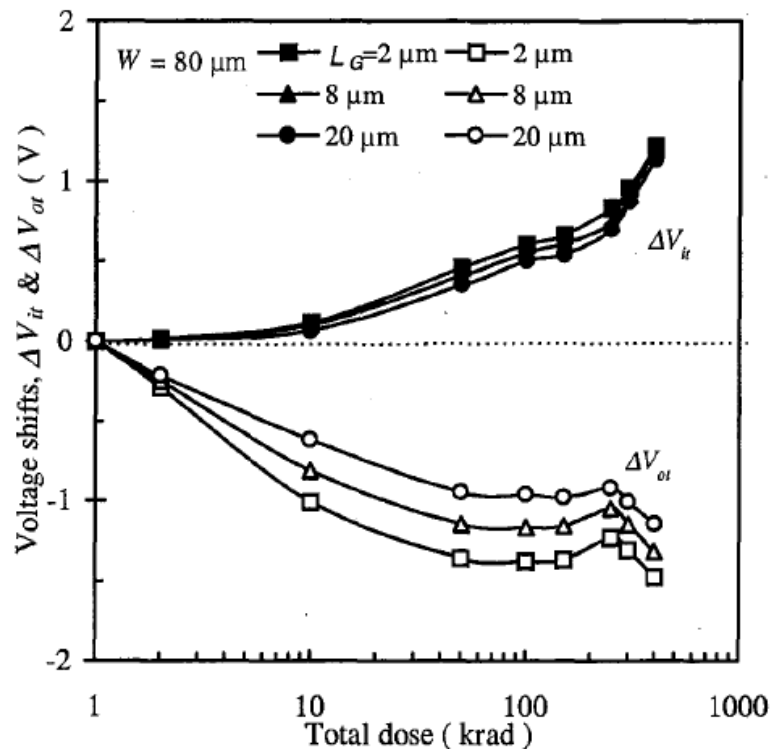


Figura 2.7: Desvios em ΔV_{ot} e ΔV_{it} em função da dose acumulada para transistor NMOS com diferentes L .

Outro detalhe que pode ser extraído do trabalho experimental (DJEZZAR et al., 2000), observando as Figuras 2.7 e 2.8, é que as dimensões dos transistores influenciam nos desvios de ΔV_{ot} e ΔV_{it} , sendo que o transistor que possui menor comprimento de canal (L) apresentou maiores desvios, tanto de ΔV_{ot} quanto de ΔV_{it} durante todo o período de irradiação.

Apesar das dimensões influenciarem nos desvios de V_{th} , para as simulações conduzidas nessa dissertação, foram considerados desvios idênticos para todos os transistores independentemente da largura (W) e do comprimento (L) do transistor. A exceção foi a unidade que trata de simulações Monte Carlo para verificar a influência dos descasamentos de transistores.

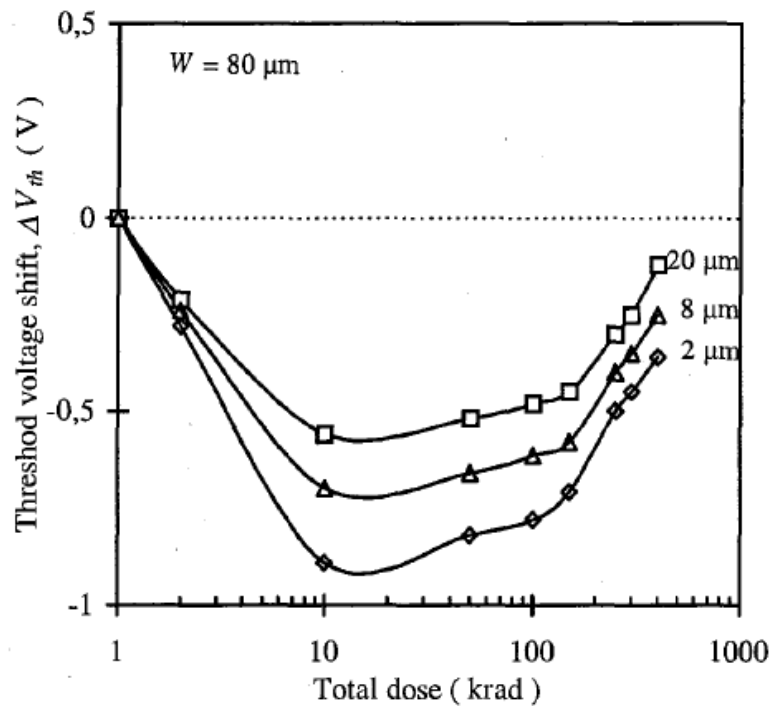


Figura 2.8: Desvios na tensão de limiar de um transistor NMOS em função da dose acumulada para diferentes valores de L . Extraída de (DJEZZAR et al., 2000).

No trabalho de (FRANCO; ZONG; AGAPITO, 2006) os autores irradiaram chaves analógicas e observaram que, durante certo intervalo de dose, essas chaves perdiam sua capacidade de chavear entre “ON” e “OFF”. Tal intervalo de dose foi chamado pelos autores de janela de inatividade (*Inactivity window region*). Nesse trabalho, também aparece o comportamento normalizado dos desvios na tensão de limiar para transistores do tipo N e P destacando a referida região, que está compreendida nas doses entre as letras A e B, conforme pode ser observado na Figura 2.9. Nesse intervalo de dose é justamente quando o transistor NMOS apresenta valores negativos para o parâmetro V_{th} . Outra situação interessante da Figura 2.9 é que os resultados são semelhantes, para o transistor NMOS, do que o apresentado na Figura

2.8. Evidenciando, inicialmente, desvios no sentido negativo e posterior recuperação para valores próximos ao da situação pré-irradiação em doses mais elevadas.

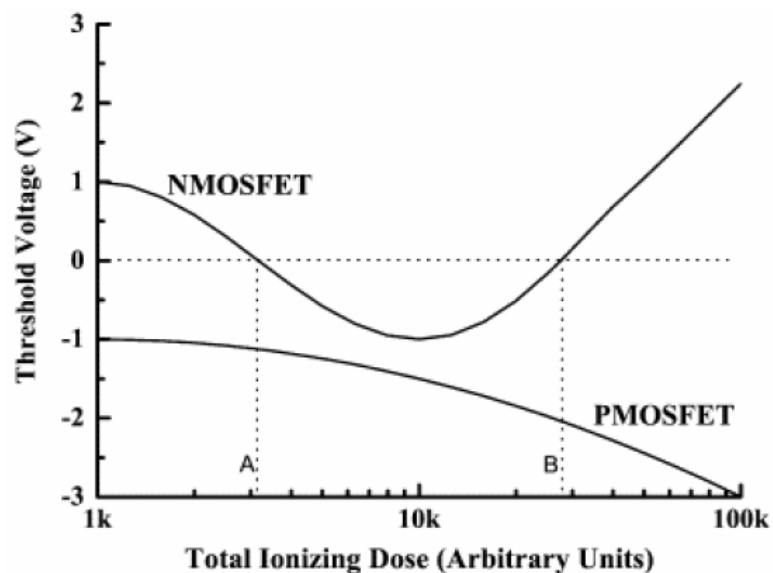


Figura 2.9: Evolução típica da tensão de limiar para transistores MOS. Figura extraída de (FRANCO; ZONG; AGAPITO, 2006).

Em nosso trabalho prévio (BALEN et al., 2011) um dispositivo analógico programável em campo (*Field Programmable Analog Array - FPAA*) foi irradiado e verificou-se uma melhora instantânea na THD (*Total Harmonic Distortion*) do sinal de saída de um filtro, após a degradação do mesmo. Tal efeito pode ter sido ocasionado pela região de inatividade em função dos valores negativos para o parâmetro V_{th} .

Em um outro trabalho relacionado (HUANG et al., 2004), porém de simulação, foram adotados desvios para o V_{th} semelhantes ao apresentado na Figura 2.9 com o intuito de investigar o comportamento de um OpAmp e um filtro analógico, no que tange a sua resposta em frequência. Entretanto, nesse trabalho não foi considerado valores negativos para o V_{thN} , conforme sugere a Figura 2.9.

Em (TURFLINGER et al., 1996; BARBARA et al., 1990; LEE & JOHNSTON, 1998; GUNASEELAN et al., 2003; GUCKENBERGER & HIEMSTRA, 2001) foi observado alterações em parâmetros de desempenho de amplificadores operacionais e em circuitos analógicos (que, possivelmente, utiliza OpAmp em sua estrutura). Como

exemplos de parâmetros alterados têm-se: THD, *offSet* de saída, resposta em frequência e consumo de corrente CC.

Nesse contexto, essa dissertação investigou, através de simulações SPICE, o impacto da janela de inatividade em parâmetros de desempenho de blocos básicos de OpAmps considerando duas arquiteturas complementares. Possibilitando verificar, se algum evento catastrófico para o funcionamento do OpAmp ocorre dentro dessa referida janela. Desta forma, permitindo um melhor entendimento da tendência de comportamento dos blocos básicos, em relação aos desvios em V_{th} ocasionados por TID.

2.2.2 *Current Leakage* (corrente de fuga)

Além dos desvios na tensão de limiar, os efeitos de dose total podem alterar a resposta $I_D \times V_{GS}$ para os dois tipos de transistores. A Figura 2.10 exibe as alterações nessa curva considerando apenas os desvios promovidos pelo ΔV_{or} . Inspeccionando essa figura é possível perceber que o transistor NMOS tem sua característica de *sub-threshold* (sub-limiar) alterada na direção negativa, favorecendo para que existam correntes de fuga (Intra-transistor - definição em seguida) quando o dispositivo está desligado. Já que, um V_{GS} menor será capaz de fazer o canal ser criado, o que contribui para o aumentando da dissipação estática. Isso é particularmente preocupante em função da baixa tensão de alimentação e de limiar para as tecnologias mais atuais. Por outro lado, isso também significa que o transistor NMOS se tornará “ON” mais rapidamente e em função das correntes de fuga não sair mais desse estado. No transistor PMOS, o deslocamento na característica $I_D \times V_{GS}$ também ocorre na direção negativa. Isso resulta, para esse dispositivo, numa piora nas características de chaveamento, tornando-o mais lento. Porém, a potência dissipada estaticamente tende a diminuir (SCHRIMPF, 2007; BALEN, 2010; BARNABY, 2006).

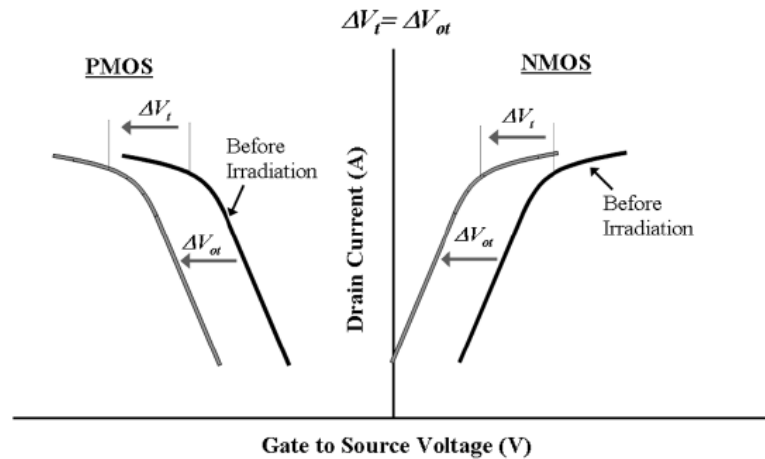


Figura 2.10: Tendência da característica $I_D \times V_{GS}$ para os transistores NMOS e PMOS, antes e depois da radiação considerando apenas desvios promovidos pela N_{ot} . Figura extraída de (BARNABY, 2006).

A Figura 2.11 ilustra a tendência de deslocamento da $I_D \times V_{GS}$ quando é considerado apenas os desvios pelo aprisionamento de cargas na interface ΔV_{it} . Nesse caso, ocorre a alteração na inclinação da curva para os dois tipos de transistor. No transistor do tipo N , o deslocamento ocorre na direção positiva, enquanto que no caso dos transistores P , o deslocamento ocorre na direção negativa. No somatório dos dois efeitos, para o transistor P , ocorre o aprofundamento do que foi descrito quando foi considerado apenas ΔV_{ot} , ou seja, piora na capacidade de chaveamento. No caso do transistor do tipo N , os dois efeitos se compensam, porém com a mudança na inclinação da curva, conforme sugere de forma qualitativa a Figura 2.12 (SCHWANK et al, 2008; SCHRIMPF, 2007; BALEN, 2010; BARNABY, 2006).

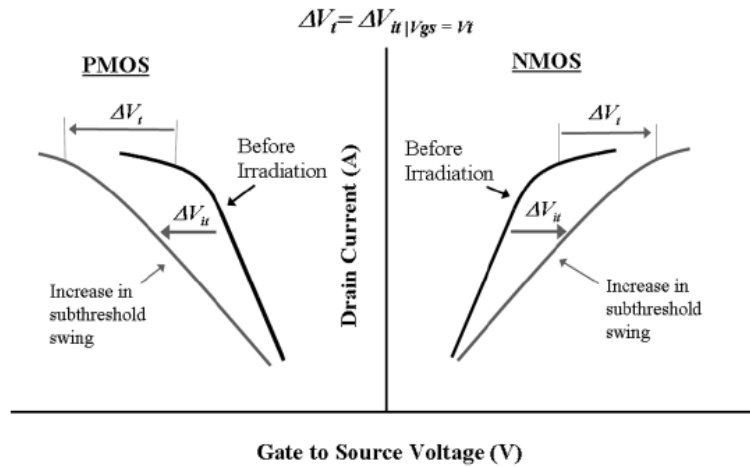


Figura 2.11: Tendência da característica $I_D \times V_{GS}$ para os transistores NMOS e PMOS, antes e depois da irradiação considerando apenas desvios promovidos pela N_{it} . Figura extraída de (BARNABY, 2006).

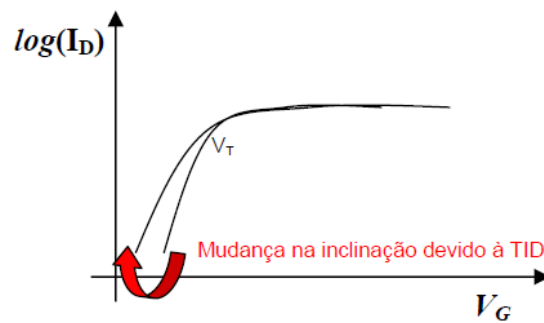


Figura 2.12: Alteração na curva $I_D \times V_{GS}$ devido a TID. Figura extraída de (BALEN, 2010).

Enquanto o óxido que forma o capacitor MOS apresenta dimensões muito pequenas para as tecnologias mais atuais, cerca de poucas unidades ou dezenas de nanômetros, óxidos de campo (que isolam as regiões ativas dos transistores) são bem mais espessos, cerca de 100 vezes maior do que as do capacitor MOS (SCHWANK et al, 2008). Por isso, a *corrente de fuga*, relacionado à TID, é dominada pela parcela associada aos óxidos de campo, pois, conforme descrito em (SCHRIMPF, 2007), em óxidos finos os elétrons são rapidamente removidos por tunelamento. Nesse contexto, as cargas normalmente aprisionadas nos óxidos de campo são positivas. Como consequência, em substratos ou poços do tipo *P* (transistores *N*), cargas negativas podem ser atraídas para essas regiões formando uma região de inversão (Figura 2.13), podendo gerar um caminho para condução de corrente entre *dreno* e *fonte* de um mesmo

transistor (*Intra-device leakage*) ou entre terminais de dispositivos vizinhos (*Inter-device leakage*) (SCHRIMPF, 2007; BOESCH & McLEAN, 1985; SHANEYFELT et al., 1998). Esses efeitos ocorrem tanto para LOCOS (*Local Oxidation of Silicon - Oxidação Local de Silício*) como para STI (*Shallow-Trench Isolation*).

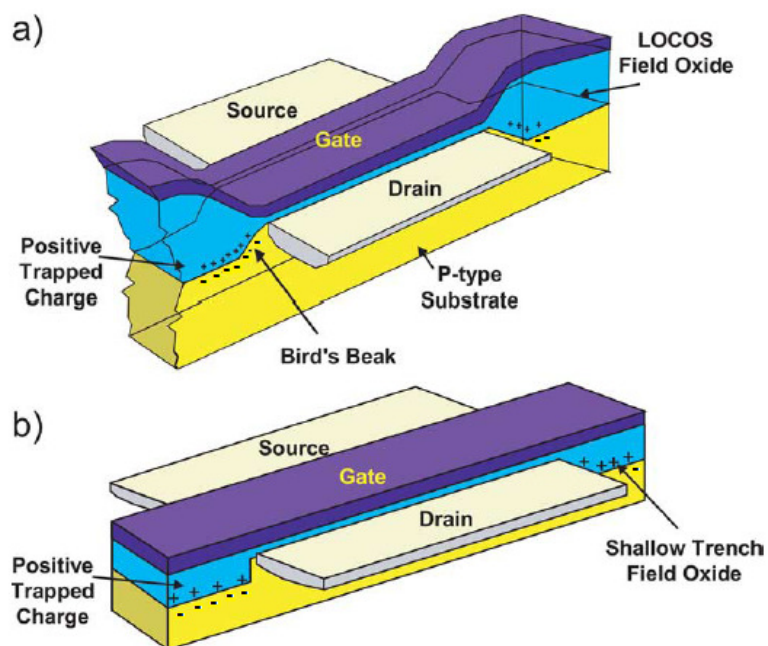


Figura 2.13: Região de inversão no substrato (P) induzidas por cargas positivas aprisionadas nos óxidos de campo em decorrência do acúmulo de dose total - a) Para LOCOS e b) Para STI. Figura adaptada de (SCHWANK et al, 2008).

O caminho para o fluxo de corrente entre dispositivos vizinhos (de NMOS para NMOS) pode ser observado na Figura 2.14 extraída de (BARNABY, 2006).

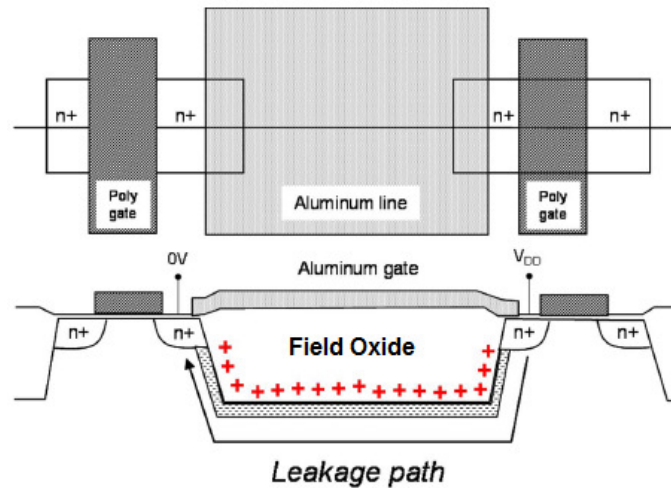


Figura 2.14: Região de inversão do substrato (P) e a corrente de fuga entre dois transistores NMOS. Figura extraída de (BARNABY, 2006).

As correntes de fuga entre os terminais de um mesmo transistor e entre transistores vizinhos não foram consideradas no conjunto de simulações executadas nesse trabalho de dissertação em função da dificuldade de modelar valores realistas, principalmente para as correntes de fuga entre transistores vizinhos, uma vez que o layout dos circuitos considerados como estudo de caso não foram concebidos.

2.2.3 Tendências com o *scaling* da tecnologia

A redução das dimensões dos transistores, ocasionado pelo avanço tecnológico, tem contribuindo naturalmente para que as tecnologias mais recentes sejam mais robustas referente aos desvios na tensão de limiar originado por TID. Isso ocorre, devido a espessura mais fina do óxido que forma a estrutura MOS garantindo que, uma quantidade menor de cargas sejam aprisionadas nas armadilhas do óxido, desta forma promovendo desvios menores em V_{th} (OSBORN et al, 1997; RE et al., 2005; MANGHISONI et al., 2003). A Tabela 2.2 extraída de (MANGHISONI et al., 2003) e atualizada com dados de (RE et al., 2005) ilustra a redução da variação na tensão de limiar. Isso possivelmente irá fazer com que os pontos de operação dos circuitos que adotarem as tecnologias mais recentes não sejam alterados de forma significativa.

Tabela 2.2: Desvios em V_{th} para diferentes nós tecnológicos com dose acumulada de 10 MRad (Si) para os dois tipos de dispositivos. Tabela adaptada de (MANGHISONI et al., 2003) com os dados de (RE et al., 2005).

	Threshold voltage shift ΔV_T (mV)			
	0.13 μm process	0.18 μm process	0.25 μm process	0.35 μm process
NMOS	- 3	- 7	+ 5	- 60
PMOS	- 1	- 5	- 30	- 100

Por outro lado, óxidos muito finos estão mais susceptíveis ao fenômeno das correntes de fuga. Já os óxidos do tipo *high-K* (alta constante dielétrica) são mais vulneráveis aos efeitos da radiação ionizante quando comparado com os óxidos de isolamento tradicionais de mesma espessura (SCHRIMPF, 2007; ZAFAR, 2002).

3 PROJETO DE DOIS AMPLIFICADORES OPERACIONAIS COM COMPENSAÇÃO MILLER

3.1 Introdução

O amplificador operacional representa um importante bloco no projeto analógico de circuitos integrados, sua utilização vai desde um amplificador inversor simples até na construção de filtros ativos contínuos de ordens mais altas. Em razão dos diversos parâmetros de desempenho existentes, arquiteturas mais complexas necessitam ser utilizadas para atender determinadas especificações de desempenho mais restritas, o que torna o projeto de OpAmp bastante desafiador. Apesar disso, arquiteturas mais simples de amplificadores operacionais, como é o caso do OpAmp com dois estágios de ganho com compensação Miller, tem seu espaço em circuitos VLSI (*Very Large Scale Integration*), onde não é necessário carregar altas impedâncias na saída. Um exemplo de aplicação desses amplificadores está nos circuitos baseados em capacitores chaveados (ALLEN, 1987).

Nesse trabalho será considerada uma das arquiteturas mais elementares de amplificadores operacionais, conhecida na literatura como amplificador de dois estágios de ganho com compensação Miller (ALLEN, 1987). Essa topologia tem sua importância não só na sua utilização direta no projeto de CIs, pois consegue atender requisitos de projeto não tão exigentes ocupando uma área relativamente pequena de silício, como também do ponto de vista didático.

Em razão da inerente diferença de comportamento em ambientes com radiação dos dispositivos MOS, conforme foi retratado no capítulo 2, duas configurações de OpAmp serão investigadas. A primeira utiliza par diferencial de entrada com

transistores PMOS, que será chamada nesse texto de topologia PMOS-DA. Já a segunda, considera na entrada par diferencial com transistores NMOS e será denominada de topologia NMOS-DA. Onde DA se refere a amplificador diferencial (do inglês, *Differential Amplifier*) presente na entrada do amplificador.

As duas topologias de OpAmps consideradas como estudo de caso são apresentadas na Figura 3.1. A configuração PMOS-DA está na Figura 3.1A, enquanto que a configuração NMOS-DA é apresentada na Figura 3.1B. Essas duas topologias podem ser consideradas duais, ou seja, onde na primeira se utiliza transistores PMOS, na segunda se usa transistores NMOS e vice-versa, conforme pode ser percebido na Figura 3.1.

Antes de investigar o comportamento desses dois amplificadores em ambientes com radiação, uma análise do ponto de vista de potência dissipada e área no CI serão feitas. Já que não foram encontradas comparações diretas entre essas duas topologias, nem mesmo qual delas é mais largamente utilizada em projetos de CI durante as pesquisas que foram realizadas para elaboração desse trabalho. O conhecimento dessas implicações de projeto será importante para se confrontar as vantagens e desvantagens de se utilizar uma topologia ou outra em ambientes com radiação.

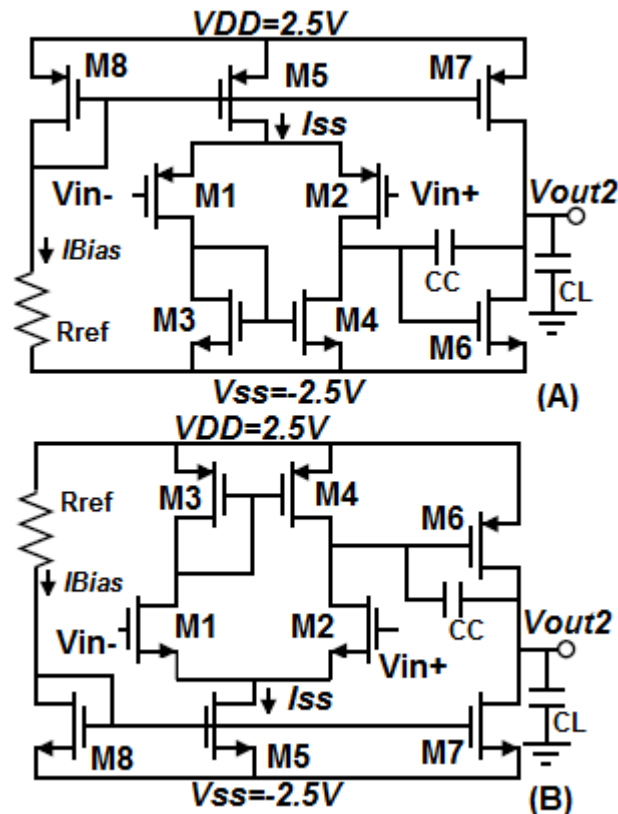


Figura 3.1: Topologias de amplificadores usados como estudo de caso. A- Configuração PMOS-DA, B- Configuração NMOS-DA.

Em resumo, o funcionamento desses OpAmps ocorre como segue: Os transistores M1 e M2 formam o par diferencial de entrada, que são responsáveis pelo primeiro estágio de ganho. Os dispositivos M3 e M4 formam um espelho de corrente que agem como a carga ativa para o par diferencial de entrada. Já o transistor M5 fornece a corrente de polarização I_{SS} para o par diferencial, pois forma um espelho de corrente com o transistor M8. O segundo estágio de ganho é implementado pelo transistor M6, que está na configuração *fonte* comum. A carga ativa para o transistor M6 é obtida com o transistor M7. Finalmente, o transistor M8 forma o espelho de corrente com M5 para gerar a corrente de referência I_{Bias} . Em relação ao capacitor C_C , este tem a função de compensação em frequência, para que o amplificador apresente queda de -20dB por década no ganho, entre as frequências de -3dB e a de ganho unitário. O resistor R_{ref} trabalha junto com M8, para gerar I_{Bias} .

Para facilitar o desenvolvimento dos cálculos do projeto de cada topologia considerada, alguns termos e parâmetros serão brevemente definidos. Entretanto, esse capítulo não tem o objetivo de se aprofundar nas definições de parâmetros de

amplificadores, por isso se espera que o leitor já esteja familiarizado com tais termos. Mesmo assim, como características ideais, um OpAmp apresenta: resistência de entrada infinita, ganho DC infinito, largura de banda infinita, resistência de saída nula, entre outras.

Como parâmetros mais específicos de desempenho que são importantes para o projeto dos OpAmps tem-se: CMR (*Common Mode Range*) que representa o intervalo de tensão em modo comum que pode ser aplicado nos terminais de entrada do amplificador que ainda garanta que o OpAmp consiga manter o mesmo ganho; O *Slew Rate* (SR) que representa a taxa máxima de variação da saída por unidade de tempo, que é normalmente medido em V/ μ s; O produto ganho largura de banda (GB) representa a máxima frequência em que o OpAmp apresenta ganho unitário, esse parâmetro é medido em Hertz. Outros termos poderão surgir ao longo do texto e, se necessário, serão discutidos em um momento mais adequado.

A Tabela 3.1 apresenta as especificações consideradas nesse projeto. Os valores de V_{thN} e V_{thP} foram obtidos diretamente da folha de parâmetros da tecnologia AMI 0.5 μ m. Enquanto que K_N e K_P foram adquiridos indiretamente com o auxílio da equação de primeira ordem que descreve a corrente no transistor e são valores aproximados. Essas informações são necessárias para a realização dos cálculos visando à obtenção das dimensões W/L de cada transistor utilizado no projeto.

Comparando as topologias PMOS-DA e NMOS-DA pode ser percebido que a única diferença nas especificações reside na CMR. No entanto, os requisitos de CMR apresentados na Tabela 3.1 podem ser considerados duais, já que essas duas topologias são complementares.

Tabela 3.1: Especificações do projeto das duas topologias estudadas.

<i>Especificações</i>	<i>PMOS-DA</i>	<i>NMOS-DA</i>
$V_{DD}= V_{SS} $	2.5V	2.5V
$I_{SS} = I_5$	10μA	10 μA
CMR	$V_{MIN} = -2V$ $V_{MAX} = 1V$	$V_{MIN} = -1V$ $V_{MAX} = 2V$
<i>Excursão de Vout</i>	+ - 2.3V	+ - 2.3V
$V_{thN} = 0.7086V$	---	---
$V_{thP} = -0.9179V$	---	---
$K_N \approx 65 \mu A/V^2$	---	---
$K_P \approx 25 \mu A/V^2$	---	---
<i>L</i>	1 μm	1 μm
<i>GB</i>	1MHz	1MHz
<i>Margem de fase</i>	60°	60°
<i>CL</i>	20pF	20pF

3.2 Projeto do amplificador operacional NMOS-DA

Inicialmente será desenvolvido o projeto para a topologia NMOS-DA, posteriormente será realizado o mesmo para a configuração PMOS-DA. Todas as equações que serão utilizadas foram retiradas de (ALLEN, 1987). Admitindo as especificações de projeto listadas na Tabela 3.1, os cálculos para obter as dimensões W/L dos transistores utilizam as equações que serão listadas abaixo:

$$C_C > (2.2/10) * C_L \quad \text{Equação 3.1}$$

A Equação 3.1 mostra a relação de C_C e C_L quando se busca uma margem de fase próxima de 60°, como é o caso desse estudo. Devido a essa consideração, g_{m2} será pelo menos dez vezes maior do que g_{m6} . Onde g_{m2} é a transcondutância do transistor M2 (primeiro estágio de ganho) e g_{m6} é a transcondutância do transistor M6 (segundo estágio de ganho). A margem de fase está associada à estabilidade do amplificador. A Figura 3.2 mostra a resposta de um amplificador na configuração como buffer quando é aplicado na entrada um degrau unitário para diferentes margens de fase. Margens de fase menores que 60° podem tornar o amplificador instável, enquanto que valores

maiores de 60° podem tornar o amplificador inviável do ponto de vista de área (ALLEN, 1987).

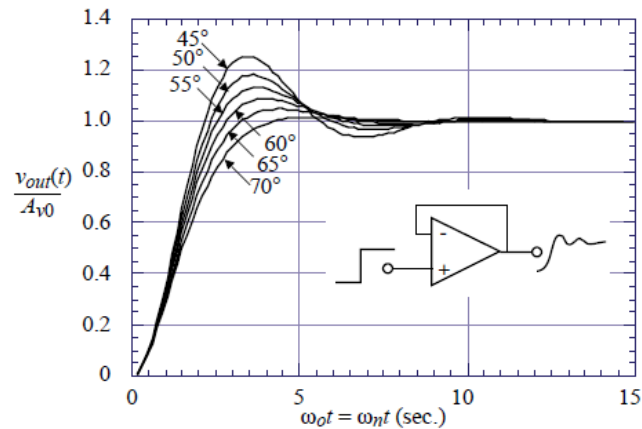


Figura 3.2: Margens de fase de um buffer quando é aplicado um degrau na entrada. Figura extraída de (ALLEN, 2012).

O projeto segue pela utilização das equações 3.2, 3.3 e 3.4:

$$SR = \frac{I_5}{C_C} \quad \text{Equação 3.2}$$

$$GB = \frac{g_{m2}}{C_C} \quad \text{Equação 3.3}$$

$$\left(\frac{W}{L}\right)_2 = \frac{g_{m2}^2}{K_2' I_5} \quad \text{Equação 3.4}$$

Pela Equação 3.3, pode ser notado que quanto maior for o GB do amplificador, maior será o valor de g_{m2} , o que conduz a ter transistores M1 e M2 maiores.

A próxima etapa do projeto será determinar o valor de V_{DS5} que garanta o transistor M5 na saturação, para fornecer corrente ao par diferencial de entrada. Com o auxílio das especificações do projeto listadas na Tabela 3.1 e usando a Equação 3.5 o valor de V_{DS5} pode ser determinado, mas antes será necessário obter o valor de β_1 com a relação $\beta_1 = (W/L)_1 \cdot K_{N1}$.

$$V_{G1}(\min) = V_{SS} + V_{DS5} + \left(\frac{I_5}{\beta_1}\right)^{0.5} + V_{th1} \quad \text{Equação 3.5}$$

Onde: $V_{G1}(\min)$ é a CMR negativo do amplificador NMOS-DA.

Com a utilização da Equação 3.6 pode ser obtido diretamente o valor da CMR positiva. Porém, esse parâmetro já é fornecido pelas especificações do projeto, mesmo assim essa equação é listada para evidenciar as diferenças entre o projeto da topologia NMOS-DA em comparação com a PMOS-DA (que será desenvolvido em breve), essa equação é um dos pontos onde há diferença no projeto entre essas duas topologias. Realizando uma manipulação na Equação 3.6 e considerando que $\beta_3 = (W/L)_3 \cdot K_{P3}$, resulta na Equação 3.7, que será utilizada para obter a relação $(W/L)_3$:

$$V_{G1}(\max) = V_{DD} - \left(\frac{I_5}{\beta_3} \right)^{0.5} - |V_{th3}| + V_{th1} \quad \text{Equação 3.6}$$

$$\left(\frac{W}{L} \right)_3 = \frac{I_5}{K'_3 [V_{DD} - V_{G1}(\max) - |V_{th3}| + V_{th1}]^2} \quad \text{Equação 3.7}$$

A tensão V_{DS5} já foi calculada e K'_5 é o parâmetro de transcondutância do transistor M5. Observando a Figura 3.1B, pode ser notado que M5 é um transistor NMOS. Logo, com o auxílio da Equação 3.8 é possível calcular a relação $(W/L)_5$:

$$\left(\frac{W}{L} \right)_5 = \frac{2I_5}{K'_5 (V_{DS5})^2} \quad \text{Equação 3.8}$$

Os resultados obtidos até o momento permitiram definir as dimensões dos transistores que formam o primeiro estágio de ganho, ou seja, os transistores de M1 até M5. Para determinar as dimensões dos transistores do estágio de saída é necessário obter o parâmetro de transcondutância do estágio de saída (g_{m6}), que é a transcondutância do transistor M6. Logo, g_{m6} pode ser calculado pela Equação 3.9:

$$g_{m6} = 2.2(g_{m2})(C_L / C_C) \quad \text{Equação 3.9}$$

Com o parâmetro g_{m6} já calculado é necessário saber $|V_{DS6}|$ para determinar a razão $(W/L)_6$. Esse valor pode ser inferido das especificações listadas na Tabela 3.1, pois, a excursão do sinal de saída deverá ser $\pm 2.3V$, logo $|V_{DS6}|$ será, no pior caso, $0.2V$, já que $(|V_{DS6}| = V_{D6} - V_{S6} = +2.3V - (+2.5V))$. Mesmo essa tensão de $0.2V$ deve ainda garantir que M6 esteja na saturação. Logo, com o auxílio da Equação 3.10 a relação $(W/L)_6$ pode ser calculada:

$$\left(\frac{W}{L}\right)_6 = \frac{g_{m6}}{K'_6 V_{DS6}(sat)} \quad \text{Equação 3.10}$$

Após ter calculado o valor da relação $(W/L)_6$ é necessário obter o valor da corrente I_6 para determinar a relação $(W/L)_7$ do transistor M7. Através da estratégia de projeto desenvolvida em (ALLEN, 1987) é necessário determinar a corrente I_6 de duas formas, a primeira delas é utilizando a Equação 3.11 e a segunda utilizando a Equação 3.12. Caso o valor maior da corrente I_6 for encontrado utilizando a Equação 3.11, então a razão $(W/L)_6$ deverá ser aumentada para satisfazer a Equação 3.12. Se o maior valor de corrente for encontrado utilizando a Equação 3.12 nenhum ajuste necessita ser feito (ALLEN, 1987).

$$I_6 = \frac{g_{m6}^2}{2K'_6(W/L)_6} \quad \text{Equação 3.11}$$

Quando as entradas positiva e negativa do OpAmp estão aterradas (ou em um mesmo referencial de tensão em modo comum), a corrente que circula pelo transistor M1 do par diferencial é teoricamente a metade da corrente que circula no transistor M5, logo $I_1 = I_5/2$, com isso a outra forma de determinar a corrente I_6 fica:

$$I_6 = \frac{(W/L)_6}{(W/L)_3} I_1 \quad \text{Equação 3.12}$$

Nesse momento, é importante observar que, para determinar a razão $(W/L)_7$ deve-se utilizar o maior valor de corrente I_6 . Logo, a relação $(W/L)_7$ pode ser encontrada utilizando a Equação 3.13:

$$\left(\frac{W}{L}\right)_7 = \left(\frac{W}{L}\right)_5 \frac{I_6}{I_5} \quad \text{Equação 3.13}$$

Uma relação importante para o projeto de amplificadores com compensação Miller é apresentada na Equação 3.14. Nesse caso, após ter sido feitos os cálculos das dimensões dos transistores é importante fazer essa verificação final a fim de se minimizar *offset* na saída. Caso essa relação não seja satisfeita, o aparecimento de *offset* na saída OpAmp será favorecido (ALLEN,1987).

$$2 \frac{(W/L)_7}{(W/L)_5} = \frac{(W/L)_6}{(W/L)_4} \quad \text{Equação 3.14}$$

Como o transistor M8 forma um espelho de corrente com o transistor M5, as dimensões de W e L do transistor M8 poderão ser as mesmas do transistor M5. Nesse caso, a corrente de polarização I_{Bias} será a mesma I_{SS} , com isso:

$$\left(\frac{W}{L}\right)_8 = \left(\frac{W}{L}\right)_5$$

A potência dissipada pelo circuito é um dos aspectos a ser comparado entre a topologia NMOS-DA e PMOS-DA, nesse momento com as dimensões de todos os transistores já calculados, a potência pode ser determinada pela Equação 3.15, conforme segue:

$$P_{DISS} = (V_{DD} + |V_{SS}|)(I_5 + I_6) \quad \text{Equação 3.15}$$

A Tabela 3.2 apresenta todas as dimensões dos transistores determinados para constituir o OpAmp NMOS-DA. Observando as razões W/L de todos os transistores encontrados, pode ser notado que o dispositivo M6 apresenta a relação W/L bem maior quando comparado com os outros transistores do projeto. Isso acontece, pois o g_{m6} é dimensionado para ser dez vezes maior que g_{m2} , isso conduz a um transistor maior para o segundo estágio de ganho. Ao mesmo tempo, o segundo estágio de ganho da configuração NMOS-DA é implementado com a utilização de um transistor PMOS. Por esse motivo, o transistor M6 terá razão W/L maior em relação aos demais transistores do amplificador para a configuração NMOS-DA. Usando outras palavras, o fator de transcondutância do transistor M6, que é PMOS, é aproximadamente 2.5 vezes menor em relação ao transistor NMOS ($K_P \approx 25 \mu A/V^2$, enquanto que $K_N \approx 65 \mu A/V^2$). Por isso, além de g_{m6} ser maior, o que já faria o transistor de ganho do segundo estágio maior, tem ainda a capacidade de transcondutância do transistor PMOS ser menor, o que favorece o aumento das dimensões de M6. Esse aspecto é relevante, pois contribui de forma significativa para que a configuração NMOS-DA ocupe uma maior área no CI em relação à topologia PMOS-DA, isso ficará mais claro quando os resultados do projeto da arquitetura PMOS-DA for apresentado na seção seguinte.

Uma maneira que poderia se pensar rapidamente, para minimizar as dimensões do transistor M6, admitindo um ganho DC fixo, seria transferir parte do ganho conseguido pelo segundo estágio, para ser realizado pelo primeiro estágio. Desta forma, seria mais bem aproveitado a capacidade de transcondutância do transistor M2 (que é

NMOS) aliviando o segundo estágio, ou seja, teoricamente diminuindo M6. No entanto, isso não é viável, pois prejudicaria a estabilidade do amplificador, já que com esse procedimento g_{m6} não seria mais dez vezes maior que g_{m2} . Portanto, nada pode ser feito para reduzir as dimensões de M6, sem afetar as especificações de desempenho.

Tabela 3.2: Resumo do projeto com a topologia NMOS-DA.

Transistores	NMOS-DA (W/L)	Dispositivo
M1, M2	1.5/1	NMOS
M3, M4	5/1	PMOS
M5	1.5/1	NMOS
M6	60/1	PMOS
M7	9/1	NMOS
M8	1.5/1	NMOS
Capacitor CC	4.4pF	

3.3 Projeto do amplificador operacional PMOS-DA

O projeto da topologia PMOS-DA segue os mesmos passos descritos para a configuração NMOS-DA, porém existem algumas diferenças importantes nas equações da CMR. Esses aspectos serão retratados de forma mais detalhada nessa seção.

O início do projeto ocorre da mesma forma como para a configuração NMOS-DA até a Equação 3.4. Sendo que a relação $(W/L)_3$ pode ser determinada através da utilização da Equação 3.16. Essa equação permite calcular diretamente a CMR negativa, porém esse parâmetro é fornecido nas especificações do projeto listadas na Tabela 3.1. Por isso, fazendo uma manipulação na Equação 3.16 e sabendo que $\beta_3 = (W/L)_3 \cdot K_{N3}$ se chega à Equação 3.17, que permite calcular diretamente a relação $(W/L)_3$:

$$V_{G1(\min)} = V_{SS} + \left(\frac{I_5}{\beta_3} \right)^{0.5} + V_{th3} - |V_{th1}| \quad \text{Equação 3.16}$$

$$\left(\frac{W}{L} \right)_3 = \frac{I_5}{K_3 [V_{SS} - V_{G1(\min)} + V_{th3} - |V_{th1}|]^2} \quad \text{Equação 3.17}$$

A tensão V_{DS5} da topologia PMOS-DA pode ser determinada através da relação que descreve a CMR positiva, que é apresentada na Equação 3.18. Pois, a CMR positiva, I_5 , V_{th1} são fornecidos nas especificações de projeto e $\beta_1=(W/L)_1 \cdot K_{P1}$:

$$V_{G1(\max)} = V_{DD} - V_{DS5} - \left(\frac{I_5}{\beta_1} \right)^{0.5} - |V_{th1}| \quad \text{Equação 3.18}$$

Comparando as equações da CMR negativa do projeto NMOS-DA, com a do projeto PMOS-DA (Equações 3.5 e 3.16, respectivamente), juntamente com as equações da CMR positiva de cada uma das topologias (Equações 3.6 e 3.18, respectivamente), pode ser verificado diferenças entre elas. No entanto, se uma análise mais cuidadosa for realizada, pode ser percebido que a equação da CMR negativa da NMOS-DA é a CMR positiva da PMOS-DA. Assim como, a equação da CMR positiva da NMOS-DA é a CMR negativa da PMOS-DA, bastando apenas que V_{DD} seja substituído por V_{SS} e sejam alternados os sinais de cada termo. Essas alternâncias ocorrem em razão da inversão dos dispositivos do estágio de entrada de uma configuração para a outra.

De acordo com as especificações do projeto listadas na Tabela 3.1, a configuração PMOS-DA terá uma capacidade maior para dar ganho em sinais de modo comum mais negativos, enquanto que a topologia NMOS-DA terá a capacidade maior para fornecer ganho aos sinais de modo comum mais positivos, isso pode ser um fator importante da hora de se escolher uma topologia ou outra. As relações abaixo ajudam a inferir essas considerações:

$$-2V < V_{CM} < 1V \quad \text{Topologia PMOS-DA}$$

$$-1V < V_{CM} < 2V \quad \text{Topologia NMOS-DA}$$

Onde: V_{CM} é a tensão em modo comum aplicada nas entradas do OpAmp.

A razão $(W/L)_5$ é calculada pela Equação 3.8. Para obter as dimensões dos transistores do estágio de saída, será necessário utilizar as Equações 3.9, 3.10. A corrente I_6 também terá de ser calculada de duas formas, ou seja, pelas Equações 3.11 e 3.12. A sequência do projeto utiliza as Equações 3.13 e 3.14. E finalmente, o cálculo da potência dissipada é feito pela Equação 3.15.

A Tabela 3.3 apresenta as dimensões dos transistores calculados no projeto. Comparando essa tabela, com a Tabela 3.2 pode ser inferido que a configuração PMOS-DA ocupa uma maior área do CI para conseguir atingir as mesmas especificações da configuração NMOS-DA. No entanto, um ajuste simples na configuração PMOS-DA possibilitará uma redução significativa na área ocupada pelo circuito, conforme será realizado na seção seguinte.

Tabela 3.3: Resumo do projeto com a topologia PMOS-DA.

Transistores	PMOS-DA (W/L)	Dispositivo
M1, M2	4/1	PMOS
M3, M4	1/1	NMOS
M5	11/1	PMOS
M6	24/1	NMOS
M7	132/1	PMOS
M8	11/1	PMOS
Capacitor CC	4.4pF	

3.4 Otimização e comparação entre as duas topologias estudadas

Quando otimizações forem necessárias, a Tabela 3.4 mostrada abaixo, resume os principais parâmetros de desempenho de um amplificador e o que pode ser alterado para obter melhorias no projeto. Admitindo que as especificações de projeto sejam mantidas, essas alterações podem ocorrer nas dimensões dos transistores, na corrente de polarização (I_{SS}) e no capacitor de compensação C_C , conforme pode ser observado na Tabela 3.4. Uma vez estipulada a corrente de polarização, o melhor a se fazer para otimizar a performance do amplificador estudado seria alterar as dimensões dos transistores. Pois, acarretaria um impacto menor, do ponto de vista de área e potência.

Tabela 3.4: Dependência dos parâmetros de performance em função da corrente contínua, da relação W/L e do capacitor de compensação. Tabela adaptada de (ALLEN, 1987).

Parâmetro de desempenho	Corrente de dreno		M ₁ e M ₂		M ₃ e M ₄	Amplificador inversor	Carga ativa do amplificador inversor	Cap. compensação
	I ₅	I ₇	W/L	L	L	W ₆ /L ₆	L ₇	C _C
Aumentar ganho DC	(↓) ^{0.5}	(↓) ^{0.5}	(↑) ^{0.5}	↑	↑	(↑) ^{0.5}	↑	
Aumentar GB	(↑) ^{0.5}		(↑) ^{0.5}					↓
Aumentar SR	↑							↓
Aumentar C _L								↑

Os marcadores (↓)^{0.5} e (↑)^{0.5} presentes na Tabela 3.4 indicam que alterações de determinado parâmetro conduzem a variações de forma quadrática, enquanto que ↓ e ↑ indicam uma relação linear de diminuição e aumento, respectivamente.

A comparação entre a topologia NMOS-DA e PMOS-DA, principalmente do ponto de vista de potência dissipada e área ocupada, será realizada nessa seção. Como pôde ser percebido, em relação à utilização das equações de projeto, essas duas topologias possuem alguns detalhes que se diferenciam uma da outra, como é o caso das equações da CMR positiva e negativa. Ainda em relação à CMR, o fato de uma topologia apresentar maior facilidade de aumentar a CMR na direção negativa (PMOS-DA) e a outra na direção positiva (NMOS-DA), pode dar pistas de que, dependendo da necessidade em relação à CMR, uma topologia pode ser mais vantajosa que a outra, e por isso ser a mais utilizada nos projetos em geral.

As dimensões de todos os transistores calculados com as equações de primeira ordem estão resumidas na Tabela 3.5. Nessa tabela, também consta a área total ocupada de cada topologia, considerando apenas a área ativa dos transistores. Claramente, a topologia PMOS-DA ocupa maior área, 188μm² da configuração PMOS-DA contra 85μm² da NMOS-DA. Entretanto, os transistores da arquitetura PMOS-DA que fazem com que essa diferença significativa aconteça, é o caso de M5, M7 e M8, não afetam diretamente as especificações mais importantes de desempenho do amplificador. Por

isso, poderiam ser redimensionados, desde que a corrente que circula por M5 (I_{SS}) seja mantida igual a do projeto original. Nesse caso, após ter utilizado simulações computacionais, as novas dimensões dos transistores M5, M7 e M8 ficaram como apresentada na Tabela 3.6.

Tabela 3.5: Resumo do projeto das duas topologias sem otimizações.

Transistores	PMOS-DA (W/L)	NMOS-DA (W/L)
M1, M2	4/1	1.5/1
M3, M4	1/1	5/1
M5	11/1	1.5/1
M6	24/1	60/1
M7	132/1	9/1
M8	11/1	1.5/1
Área ativa dos transistores (total)	188 μm^2	85 μm^2
Potência dissipada	650 μW	350 μW

Tabela 3.6: Resumo do projeto das duas topologias com os transistores redimensionados.

Transistores	PMOS-DA (W/L)	NMOS-DA (W/L)
M1, M2	4/1	1.5/1
M3, M4	1/1	5/1
M5	2.5/1*	1.5/1
M6	24/1	60/1
M7	30/1*	9/1
M8	2.5/1*	1.5/1
Área ativa dos transistores (total)	69 μm^2	85 μm^2
Potência dissipada	650 μW	350 μW
* Transistores redimensionados		

Com o redimensionamento dos transistores da configuração PMOS-DA, a área ocupada por essa topologia diminuiu de forma significativa, passando de $188 \mu\text{m}^2$ para $69 \mu\text{m}^2$, levando inclusive a ter menor área do que a topologia NMOS-DA. Como conclusão do redimensionamento, se as dimensões W/L_5 forem diminuídas, certamente a dos outros dois transistores (M7 e M8) também serão reduzidas, pois as equações desses três transistores estão relacionadas.

Em relação à potência, a configuração PMOS-DA dissipa mais potência, até mesmo após o redimensionamento dos transistores M5, M7 e M8. Isso acontece, pelo fato da corrente I_6 ser maior na configuração PMOS-DA. Nesse caso, não há o que ser feito para reduzir o consumo da configuração PMOS-DA.

Após terem sido feitas comparações diretas em relação a consumo de potência e área, entre as duas topologias estudadas, não é possível apontar qual delas seria a mais utilizada no projeto de CI em geral. Em (SEDRA, 2007) é sugerido que a configuração PMOS-DA seria a mais utilizada, isso pode ser confirmado por esse estudo, se for considerado o circuito da configuração PMOS-DA redimensionado. Já que, essa topologia ocupa uma menor área, em relação à NMOS-DA e a área é uma variável mandatória no projeto de CI analógico. Ainda assim, não é possível apontar claramente isso, pelo fato do consumo de potência ser maior na PMOS-DA.

Mesmo que ainda não seja possível afirmar que uma topologia é superior em tudo em relação à outra, a inserção dos efeitos da radiação nessas duas topologias mostrará que a topologia NMOS-DA se apresenta mais vantajosa, como poderá ser checado nos dois próximos capítulos.

Nos capítulos seguintes, foram utilizadas as dimensões dos transistores listadas na Tabela 3.6 para as duas configurações. Já que, simulações foram feitas para confirmar o funcionamento adequado da configuração PMOS-DA com essas novas dimensões de W/L .

4 EFEITO DE TID NOS BLOCOS BÁSICOS DE AMPLIFICADORES OPERACIONAIS

O estudo do projeto das duas topologias de amplificadores operacionais apresentados no capítulo 3 deixou claro a diferença entre elas referente à área e potência dissipada. O projeto de CI analógico normalmente ocupa uma área maior quando comparada com os projetos digitais, sendo isto uma das principais limitações de CIs puramente analógicos com alta densidade de transistores.

Este capítulo irá avaliar o comportamento na presença de radiação de dois blocos básicos de construção do OpAmp. O primeiro deles será o estágio de entrada, composto por um par diferencial com carga ativa. Já o segundo será denominado de estágio de saída, que utiliza a configuração amplificador inversor em *fonte* comum, com carga ativa.

Com o objetivo de ter um melhor entendimento do comportamento desses dois blocos na presença de radiação, serão feitas inserções de desvios no parâmetro V_{th} dos transistores NMOS e PMOS. Esses desvios serão aplicados diretamente no arquivo de parâmetros da tecnologia que são carregados pelo simulador HSPICE®.

Nesse capítulo, será dada ênfase para a tendência de comportamento dos níveis DC de cada bloco. Para o estágio de entrada, será investigado o ganho de pequenos sinais, através de simulações transientes. Também será monitorado os descasamentos nos transistores do par diferencial, através de simulações Monte Carlo na situação mais crítica dos desvios negativos de V_{th} do transistor do tipo N . O estudo do comportamento de parâmetros referentes ao OpAmp completo será realizado no capítulo seguinte.

Durante as simulações, foram considerados mais de cem arquivos com combinações diferentes para o parâmetro V_{th} que permitiram uma boa aproximação do comportamento dos transistores NMOS e PMOS do dispositivo estudado em ambientes com radiação. Os desvios promovidos na tensão de limiar estão em acordo com o

comportamento normalizado dos dois tipos de transistores da Figura 4.1. Essa figura é a mesma Figura 2.9 com o acréscimo de sete marcadores. Como forma de organização para a apresentação de alguns resultados, apenas sete amostras foram escolhidas, das mais de cem combinações simuladas. No entanto, para outros resultados, foram consideradas todas as combinações simuladas.

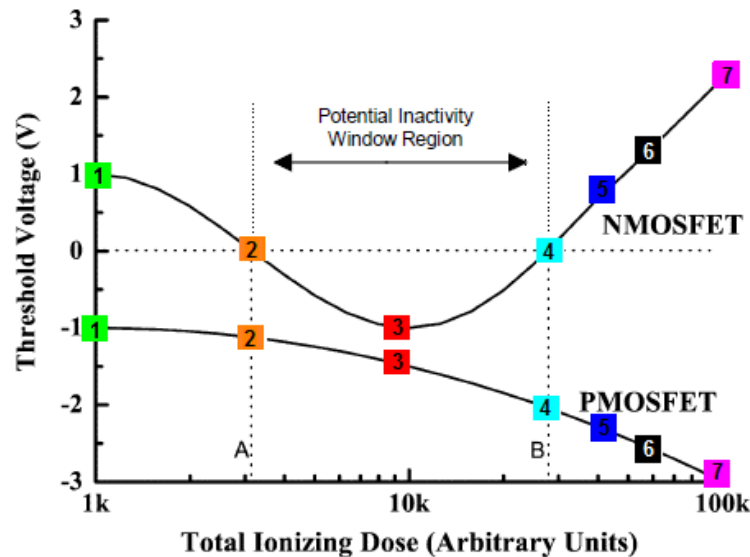


Figura 4.1: Comportamento do parâmetro V_{th} considerado nas simulações. Figura adaptada de (FRANCO; ZONG; AGAPITO, 2006).

Observando a Figura 4.1, os quadrados numerados destacam as sete combinações escolhidas. Essas amostras representam pontos importantes nas curvas do comportamento dos transistores NMOS e PMOS na presença de radiação. A primeira amostra representa a combinação com V_{th} nominal, ou seja, essa situação pode ser entendida como pré irradiação. Na segunda, o transistor NMOS está com V_{thN} com valor próximo de 0V. Nesse caso, de acordo com (FRANCO; ZONG; AGAPITO, 2006), os dispositivos NMOS entram na região de potencial inatividade. A terceira combinação escolhida é o instante onde o transistor NMOS apresenta o seu máximo valor negativo para a tensão de limiar ($V_{thN} = -0.5V$). A quarta amostra selecionada, destaca a saída do transistor NMOS da região de potencial inatividade, isso é caracterizado pelo valor de V_{thN} acima de 0V. A quinta, possui o valor nominal para V_{thN} . A sexta amostra, aponta o instante quando a tensão de limiar do transistor PMOS está próxima de V_{SS} . Enquanto que a última combinação representa o instante quando o V_{thN} se aproxima de V_{DD} e

nesse caso pode ser entendido que essa combinação é a situação onde a dose acumulada seria a maior dentre as sete combinações selecionadas.

A Tabela 4.1 mostra os sete valores exatos selecionados dos parâmetros V_{thN} e V_{thP} utilizados nas simulações. É importante ressaltar que, para a amostra um, todos os transistores NMOS do circuito receberam $V_{thN} = 0.7086V$, enquanto que todos os transistores PMOS receberam $V_{thP} = -0.9179V$ na simulação. Para a combinação dois, todos os transistores NMOS do circuito assumem $V_{thN} = 0.01V$, ao mesmo tempo que todos os dispositivos PMOS assumem $V_{thP} = -1.015V$, e assim segue para as outras cinco amostras. Essa estratégia também foi adotada para os outros mais de cem arquivos que não foram selecionados para serem apresentados os dados. Portanto, se admite nessas simulações que, a radiação afeta igualmente o V_{th} de todos os transistores do circuito, independentemente das dimensões e da corrente que circula nele, apesar de que em (DJEZZAR et al., 2000) foi mostrado que o tamanho dos transistores influencia nos desvios de V_{th} ocasionado por TID. Vale ressaltar que, as correntes de fuga entre os terminais de um mesmo transistor e entre transistores vizinhos não foram consideradas no conjunto de simulações executadas nesse trabalho de dissertação em função da dificuldade de modelar valores realistas, principalmente para as correntes de fuga entre transistores vizinhos, uma vez que o layout dos circuitos considerados como estudo de caso não foram concebidos. No trabalho realizado em (SANTOS, 2010), essas correntes foram consideradas para as tecnologias $0.35\mu m$ e $0.13\mu m$ de um OpAmp PMOS-DA.

Essa estratégia descrita, também foi adotada para as simulações do estágio de saída e do OpAmp completo, que serão apresentados os resultados nas seções seguintes. A única exceção são os dados apresentados oriundos das simulações Monte Carlo, que utilizam outra estratégia que será detalhada no item 4.1.4.

Tabela 4.1: Valores de V_{th} das sete amostras selecionadas.

Combinação	V_{thN} (Volts)	V_{thP} (Volts)
1	0.7086	-0.91799
2	0.01	-1.015
3	-0.5	-1.26
4	0.01	-1.7
5	0.71	-2.12
6	1.26	-2.46
7	2.46	-3.18

4.1 Análise do estágio de entrada

O amplificador diferencial (DA) representa um importante bloco básico para o projeto de CIs. Inicialmente concebido para ser utilizado com válvulas eletrônicas, o DA foi anos depois implementado com TJB discretos. Porém, foi em circuitos integrados que o amplificador diferencial teve seu uso largamente difundido tanto na tecnologia bipolar quanto para a MOS (SEDRA, 2007).

Como pôde ser observado do capítulo anterior, os OpAmp projetados utilizam no estágio de entrada amplificadores diferenciais, esse amplificador é também a base dos circuitos lógicos da família ECL (*Emitter Coupled Logic*) (SEDRA, 2007). O constante aprimoramento dos processos de integração estão permitindo que, cada vez mais transistores quase idênticos sejam concebidos, favorecendo para que as características de desempenho de tais amplificadores sejam atingidas.

A Figura 4.2 evidência o amplificador diferencial da configuração NMOS-DA, os transistores M1 e M2 formam o par diferencial com transistores NMOS. Os transistores M3 e M4 são as cargas ativas formadas por um espelho de corrente com dispositivos PMOS. A fonte de corrente constante I_{ss} , nesse caso, é fornecida pelo transistor M5, ou pode ser obtida de uma fonte externa ao CI.

A descrição do princípio de funcionamento admite que M1 e M2 sejam perfeitamente casados, assim como M3 e M4. Com essas condições satisfeitas, a

corrente em M1 determinará a corrente em M3, que será espelhada para M4. Caso $V_{GS1}=V_{GS2}$ então a corrente em M1 será igual à corrente de M2, desta forma I_{OUT} será zero. Quando $V_{GS1}>V_{GS2}$ isso fará a corrente em M1 aumentar em relação à corrente em M2 para manter a Equação 1.4 válida. O aumento em M1 também fará I_{D3} e I_{D4} aumentar, a única forma de I_{D2} diminuir e manter a Equação 1.4 verdadeira é I_{OUT} aumentando. Por outro lado, se $V_{GS1}<V_{GS2}$ a situação inverte, a corrente I_{D1} diminuirá em relação a I_{D2} , fazendo I_{D3} e I_{D4} diminuir também, como I_{SS} não é modificada, a única forma de manter a relação da equação 1.4 verdadeira é diminuindo I_{OUT} . Nesse circuito, é amplificado apenas o sinal diferencial presente nas entradas, resultando em alterações da tensão V_{OUT} , que é obtida no *dreno* de M2, conforme pode ser observado na Figura 4.2.

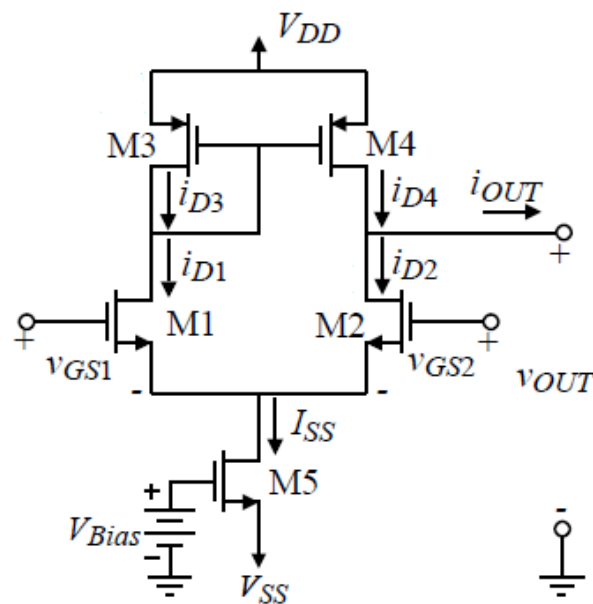


Figura 4.2: Amplificador diferencial com par NMOS.

$$I_{SS} = i_{D1} + i_{D2}$$

Equação 1.4

O estágio de entrada da configuração PMOS-DA e NMOS-DA é mostrado na Figura 4.3 A e B, respectivamente. Esses dois circuitos foram utilizados como modelos de simulações para a obtenção dos resultados do estágio de entrada. Em relação à Figura 4.2, pode ser notado que foram acrescentados o transistor M8 e o resistor R_{ref} . Apesar

desses componentes acrescentados não fazerem parte do estágio de entrada, eles são necessários para gerar a corrente de polarização I_{ss} e foram adicionados nos arquivos de simulação.

Os terminais de *porta* de M1 e M2 representam, nessa ordem, as entradas negativa e positiva do amplificador operacional estudado no capítulo anterior. Como pode ser percebido na Figura 4.3, a entrada positiva V_{in+} se encontra aterrada. Na entrada negativa V_{in-} , será colocado a fonte de sinal para serem realizadas as simulações. Dependendo do tipo de análise que estiver sendo feita, essa fonte poderá ser do tipo AC, DC ou transiente. A saída desse circuito será no nó denominado V_{out1} . Nesse nó, foi acrescentado um resistor de $1G\Omega$ (não apresentado na Figura 4.3) para simular a alta impedância de entrada do amplificador inversor do estágio de saída (implementado pelo transistor M6 da Figura 3.1).

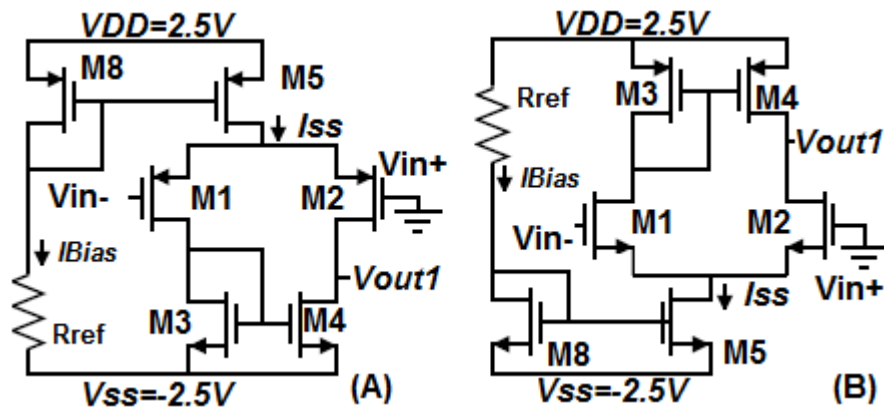


Figura 4.3: Modelos de simulação do estágio de entrada do OpAmp: A- Topologia PMOS-DA e B- Topologia NMOS-DA.

4.1.1 Análise DC do estágio de entrada

Para a avaliação DC do estágio de entrada foi conectado, na entrada inversora (V_{in-}) do par diferencial, uma fonte de tensão DC variável. Essa fonte foi ajustada para excursionar de $-0.2V$ até $0.2V$. Os resultados dessas simulações estão apresentados, para configuração PMOS-DA, na Figura 4.4, e para a configuração NMOS-DA, na Figura 4.5. O eixo X representa a tensão de entrada (nó V_{in-} da Figura 4.3A ou B), enquanto

que o eixo Y mostra a tensão na saída do par diferencial (nó V_{out1} da Figura 4.3A ou B).

Para esse bloco básico, como a entrada V_{in+} (da Figura 4.3A ou B) do estágio de entrada foi aterrada, a região de operação adequada se encontra ao redor de 0V. Essa região está destacada em cinza nas Figuras 4.4 e 4.5. Como pode ser percebido nessas figuras, o amplificador diferencial apresenta comportamento linear com alto ganho nessa região.

Para a apresentação desses resultados, foram utilizadas as sete amostras como comentado no início do capítulo. A curva destacada com o número 1 nas Figuras 4.4 e 4.5 representam a configuração nominal da topologia PMOS-DA e NMOS-DA, respectivamente. O ponto de operação (PO) do amplificador diferencial é verificado observando o valor de V_{out1} , quando na entrada (V_{in-}) é aplicado 0V, pois a entrada positiva (V_{in+}) está aterrada. Logo, para a configuração PMOS-DA o ponto de operação está situado ao redor de -0.9V, enquanto que para a configuração NMOS-DA o PO se encontra ao redor de 1.4V, conforme pode ser verificado nos círculos pretos das Figuras 4.4 e 4.5, respectivamente.

Como pode ser observado na Figura 4.4, para a topologia PMOS-DA, quando V_{thN} se aproxima de 0V (curvas 2 e 4) o ponto de operação se aproxima da região não linear do amplificador. Nesse momento, o intervalo de tensão de entrada (V_{in-}) onde a excursão é simétrica foi reduzida, podendo degradar a operação do OpAmp. Quando V_{thN} se torna negativo (amostra 3), o PO está seriamente dentro de uma região não linear do amplificador, ocasionando mal funcionamento do OpAmp como será verificado mais adiante. Entretanto, como pode ser observado na Figura 4.5, o mesmo não ocorre para a topologia NMOS-DA, que permanece com seu ponto de operação em uma região linear do amplificador, onde o ganho é linear e propiciando adequada possibilidade de excursão de sinal. A exceção para essa configuração é a amostra 7, quando o V_{th} do transistor NMOS está próximo de V_{DD} e o V_{th} do transistor PMOS está além de V_{SS} . Nesse instante, a resposta do amplificador não se apresenta mais com ganho linear no PO. Porém, a configuração PMOS-DA já não é mais funcional, como pode ser verificado na curva 7 das Figuras 4.4 e 4.5. Isso ocorre, porque o *dreno* de M5 assume o máximo valor possível de tensão (V_{DD}), e nesse caso $|V_{DS}|$ de M5 será 0V. Logo, mesmo que a tensão $|V_{GS}|$ supere o V_{thP} o valor de $|V_{DS}|$ será 0V, conseqüentemente não haverá

corrente fluindo pelo *dreno* de M5. O mesmo ocorre com a configuração NMOS-DA quando V_{thN} está além de V_{DD} , nesse caso, M5 estará cortado e nenhuma corrente foi por este transistor.

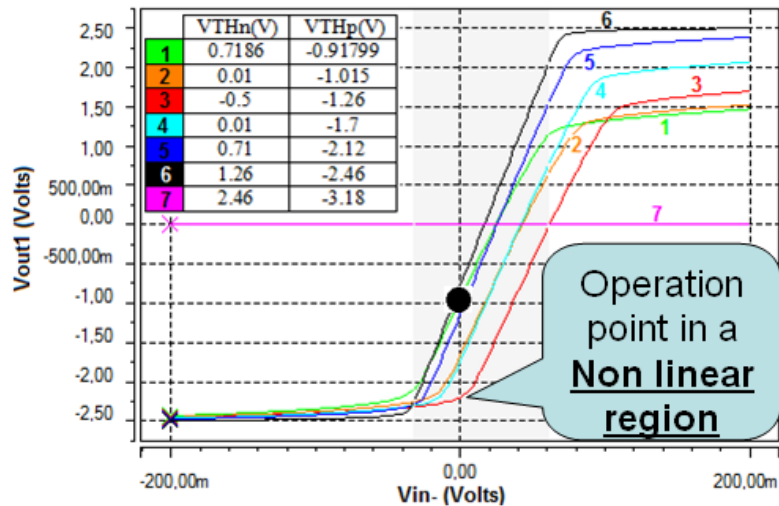


Figura 4.4: Resposta DC do estágio de entrada da configuração PMOS-DA.

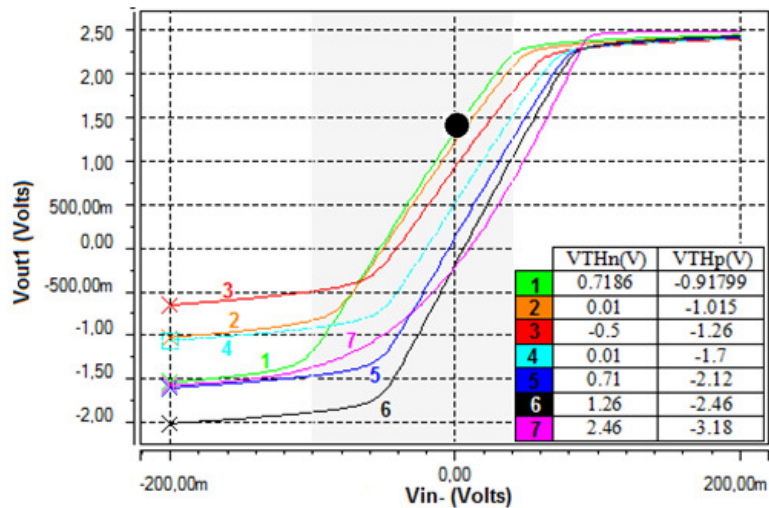


Figura 4.5: Resposta DC do estágio de entrada da configuração NMOS-DA.

É possível também observar na Figura 4.4, considerando o comportamento da tensão de limiar dos transistores como apresentado na Figura 4.1, que a arquitetura PMOS-DA recupera sua linearidade nas amostras 5 e 6. Nesse instante, assume-se que a dose acumulada já superou a região de potencial ocorrência da janela de inatividade. Da Figura 4.4, amostras 5 e 6, pode ser notado uma melhora na região de ganho linear do

amplificador diferencial quando comparado com a resposta da condição nominal (amostra 1). Além disso, em relação ao intervalo linear da porção negativa da configuração NMOS-DA (Figura 4.5 amostras 5 e 6) a mesma recuperação pode ser observada. Isso está de acordo com nosso trabalho prévio (BALEN et al., 2011). Nesse estudo foi irradiado um FPAA e foi observado na THD do sinal processado por um filtro analógico programável, uma redução para níveis menores do que na situação pré irradiação para dose acumulada acima da região com potencial para a janela de inatividade. Além disso, outros trabalhos relacionados mostram melhora no desempenho de parâmetros funcionais de circuitos analógicos, tais como distorção do sinal durante a janela específica de irradiação (HIEMSTRA, 2000; GUCKENBERGER & HIEMSTRA, 2001).

Claramente pôde ser observado que o estágio de entrada da configuração NMOS-DA tem maior robustez quando comparado com sua configuração complementar PMOS-DA. Tal robustez da NMOS-DA ficou evidente, quando a dose acumulada entrou na região com potencial para a janela de inatividade (entre os quadrados 2 e 4 na Figura 4.1). Isso ocorreu, pelo fato da tensão de *offset* sistemático do amplificador diferencial (V_{OSDiff}), definida na Figura 4.6, ter valor positivo para a arquitetura PMOS-DA, e negativo para a NMOS-DA. Esse comportamento de V_{OSDiff} é característico de cada um desses estágios de entrada, como pode ser verificado em (ALLEN, 1987). Sendo V_{OSDiff} positivo para PMOS-DA, conduziu o ponto de operação do DA para aproximadamente $-0.9V$ (pela amostra 1 da Figura 4.4), enquanto que V_{OSDiff} negativo para NMOS-DA, levou o PO do estágio de entrada para aproximadamente $1.4V$ (pela amostra 1 da Figura 4.5). Embora, $-0.9V$ esteja mais afastado de V_{SS} , do que $1.4V$ está de V_{DD} , é na direção negativa que ocorrem os desvios do ponto de operação desses amplificadores quando a dose acumulada é inferior a amostra 3 da Figura 4.1. Logo, a tendência é que o PO da PMOS-DA se aproxime de V_{SS} , enquanto que o ponto de operação da NMOS-DA se afaste de V_{DD} . Por isso, o ponto de operação da topologia PMOS-DA entrará em uma região crítica de operação mais rapidamente que a arquitetura NMOS-DA. A Figura 4.7 ilustra o deslocamento do PO (V_{out1}) do amplificador diferencial de entrada, para as duas topologias estudadas. Por essa figura, pode ser percebido que a configuração PMOS-DA está mais suscetível a atingir a região de operação crítica, o que ocorre no marcador 3, onde V_{out1} está

próximo de V_{SS} . Nesse caso, se um amplificador completo for considerado, a saída estaria tendendo à saturação negativa.

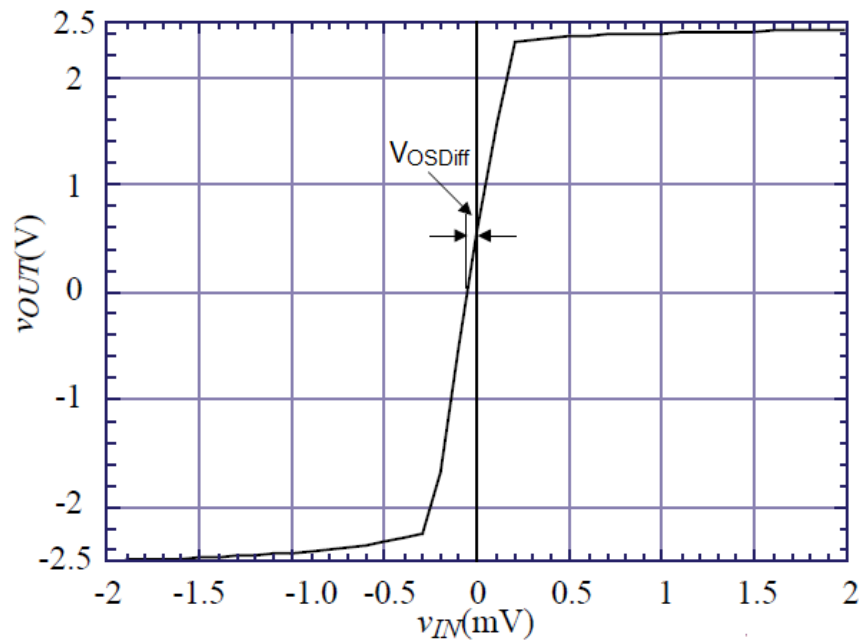


Figura 4.6: Resposta de um amplificador diferencial com *offset* sistêmico. Figura adaptada de (ALLEN, 2012).

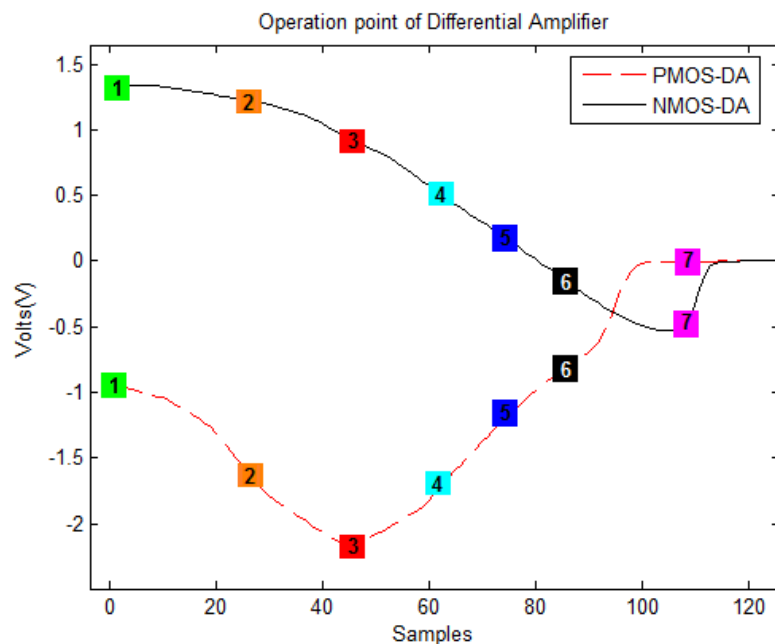


Figura 4.7: Comportamento do ponto de operação (nó V_{out1} pela Figura 4.3) do amplificador diferencial para as duas topologias consideradas.

Baseado no comportamento apresentado na Figura 4.1 para o parâmetro V_{th} dos transistores, quando submetidos a radiação. O amplificador diferencial terá robustez máxima se conseguir manter seu funcionamento, mesmo que com degradação de certos parâmetros desempenho, até desvios de V_{th} próximos a amostra 6, com configuração PMOS-DA e amostra 7 para a topologia NMOS-DA. Nesse sentido, para a arquitetura NMOS-DA isso foi alcançado, já que o estágio de entrada se manteve funcional com adequada possibilidade de excursão de sinal até perto da amostra 7, como pode ser inferido da Figura 4.5. Portanto, não haveria necessidade de mudanças no projeto. Porém, o projeto da configuração PMOS-DA precisaria de melhorias para conseguir se manter funcional para todos valores considerados de desvios de V_{th} (inclusive entre as amostras 2 e 4 da Figura 4.1). Para isso, o ponto de operação do amplificador precisaria ser deslocado na direção positiva, ou alternativamente, a tensão V_{OSDiff} deveria ser o mais próximo de 0V, e se possível, ter valores negativos. Em outras palavras, quanto mais afastado de V_{SS} o PO da topologia PMOS-DA estiver, melhor será.

O ponto de operação do amplificador diferencial pode ser controlado através do projeto cuidadoso dos transistores M1-M5. Todavia, a modificação das dimensões desses transistores poderá impactar de alguma forma no desempenho do amplificador operacional. Podendo até mesmo, inviabilizar qualquer modificação.

Uma alternativa que pode ser adotada seria aumentar o comprimento do canal dos transistores M3 e M4, para aumentar a resistência entre *dreno* e *fonte*, possibilitando a elevação da queda de tensão nesses dispositivos, conseqüentemente o nó V_{out1} terá um nível de tensão superior aos -0.9V conseguido no projeto original. Porém, pela Equação 3.14 listada logo abaixo, essa alteração proposta irá produzir um *offset* sistêmico na saída do OpAmp de acordo com (ALLEN, 1987). Pois, a relação $(W/L)_4$ é modificada. Para compensar essa alteração uma possibilidade seria diminuir a razão $(W/L)_6$, entretanto isso favorecerá para que o OpAmp tenha problemas de estabilidade, (já que, g_{m6} não será mais dez vezes maior que g_{m2}).

$$2 \frac{(W/L)_7}{(W/L)_5} = \frac{(W/L)_6}{(W/L)_4} \quad \text{Equação 3.14}$$

Outra possibilidade que pode ser pensada para melhorar o desempenho, seria substituir o espelho de corrente formado pelos transistores M3 e M4 por uma carga ativa na configuração cascode, pois possibilitaria o aumento da tensão no nó de saída

(V_{out1}) do bloco amplificador diferencial. No entanto, isso mudaria a arquitetura geral do OpAmp.

Por ora, a estratégia de aumentar o L_3 e L_4 será mantida para verificar se o efeito da janela de inatividade pode ser mitigado no estágio de entrada da configuração PMOS-DA. Nesse caso, as dimensões utilizadas no novo conjunto de simulações foi $L_3=L_4=20\mu\text{m}$. A Figura 4.8 traz os resultados para as sete amostras selecionadas. Na combinação nominal (amostra 1), o ponto de operação se encontra 0.75V , contra -0.9V do projeto original. Claramente, a tensão (V_{out1}) se afastou de V_{SS} que é para onde o PO é deslocado quando os transistores NMOS apresentam valores negativos de V_{th} devido à dose acumulada. Através desse novo conjunto de simulações é possível notar que, o estágio de entrada se mantém funcional mesmo dentro da região com potencial para a janela de inatividade entre as amostras 2 e 4. Esse novo projeto também possibilita que o bloco se mantenha funcional até a amostra 6, atingindo sua robustez máxima. Para doses superiores ao marcador 6 não é possível garantir que o amplificador opere, pois ocorre o corte da corrente I_{SS} ao par diferencial.

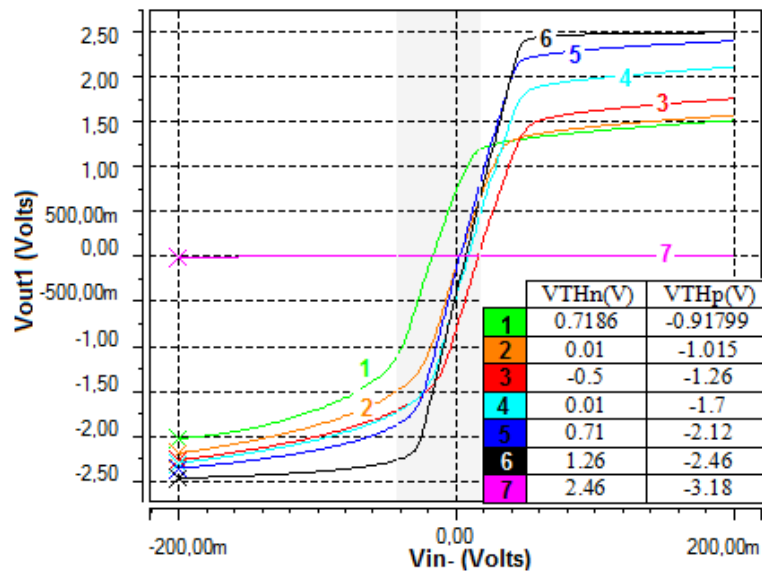


Figura 4.8: Resposta DC do estágio de entrada da configuração PMOS-DA após as modificações nas dimensões dos transistores.

Pelo que pôde ser observado, o efeito da janela de inatividade pode ser mitigado para a configuração PMOS-DA, através da modificação das dimensões dos transistores M1-M5. No entanto, o prejuízo em decorrência desse ajuste está na tensão de *offset* do

OpAmp, já que não será atingido o balanceamento exigido pela Equação 3.14. Mesmo assim, considerando apenas o estágio de entrada, é possível tornar o bloco mais robusto aos efeitos da radiação, indicando que ele possa ser utilizado em ambientes com radiação, mesmo na configuração PMOS-DA.

4.1.2 Corrente de polarização do bloco amplificador diferencial

O comportamento da corrente I_{SS} fornecida ao par diferencial M1 e M2 foi monitorada à medida que a tensão de limiar dos transistores foi sendo modificada. Esse mapeamento foi realizado com a aplicação na entrada V_{in-} (Figura 4.3 A ou B), do amplificador diferencial, uma fonte de tensão senoidal, onde foi realizada a média do sinal de saída. Para a apresentação da tendência de comportamento da corrente I_{SS} foram utilizados os resultados das mais de cem combinações de V_{th} simuladas. As sete amostras selecionadas na apresentação do comportamento DC do amplificador diferencial estão destacadas na Figura 4.9.

Na situação pré-rad, quando V_{thN} e V_{thP} estão com seus valores nominais, o valor da corrente I_{SS} é $10\mu\text{A}$. Quando a tensão de limiar do transistor NMOS apresenta desvios negativos, ou seja, da amostra 1 até 3 a corrente I_{SS} da configuração NMOS-DA aumenta. Ao mesmo tempo, para a configuração PMOS-DA o transistor PMOS apresenta desvios negativos de V_{th} fazendo com que a corrente I_{SS} diminua, como pode ser observado na Figura 4.9.

Essa diferença significativa entre a configuração NMOS-DA e PMOS-DA na corrente I_{SS} pode dar pistas de qual arquitetura é mais robusta para ser utilizada em ambientes com radiação. Pois, admitindo o padrão de comportamento dos desvios de V_{th} adotado nessas simulações, pode ser concluído que a topologia NMOS-DA consegue manter o valor da corrente I_{SS} dentro de uma determinada faixa, para valores maiores de dose acumulada, quando comparado com a arquitetura PMOS-DA.

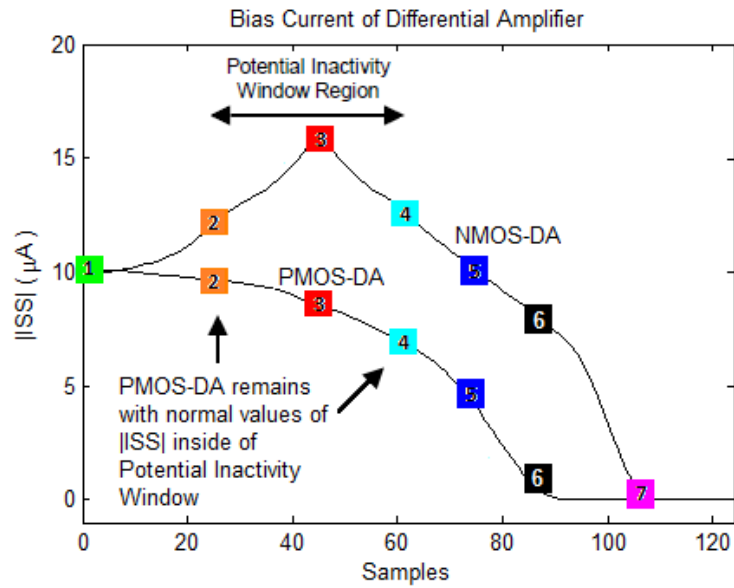


Figura 4.9: Comportamento da corrente de polarização (I_{SS}) para a topologia NMOS-DA e PMOS-DA devido aos desvios em V_{th} .

Basicamente, essa diferença de comportamento para a I_{SS} ocorre devido ao transistor que fornece a corrente ao par diferencial ser NMOS, para a configuração NMOS-DA e PMOS para a configuração PMOS-DA. Fazendo uso da Equação 4.1, que mostra a relação de primeira ordem para a corrente no transistor, a diminuição de V_{thN} , mantendo os outros parâmetros, conduz a um aumento de corrente para transistores NMOS, como pode ser verificado para a NMOS-DA até o marcador 3 da Figura 4.9. Enquanto que, para a topologia PMOS-DA, a corrente I_{SS} tende sempre a diminuir, pois em módulo $|V_{thp}|$ aumenta. A partir do marcador 3, a arquitetura NMOS-DA começa a apresentar tendência de diminuição para I_{SS} .

$$I_D = \frac{1}{2} \mu_o C_{ox} \frac{W}{L} \left(|V_{GS}| - |V_{th}| \right)^2 \quad \text{Equação 4.1}$$

Onde: Os módulos na equação são utilizados para abranger transistores NMOS e PMOS.

4.1.3 Ganho de pequenos sinais do estágio de entrada

O ganho de pequenos sinais foi investigado para os estágios de entrada das duas topologias em estudo. O circuito utilizado nas simulações foi o apresentado na Figura 4.3. Simulações transientes foram executadas com uma fonte senoidal com frequência

de 10KHz e amplitude de 10mV conectada na entrada V_{in-} . A saída foi obtida no nó V_{out1} . Para a apresentação dos resultados da análise do ganho de pequenos sinais foram utilizadas as mais de cem combinações de V_{th} . A Figura 4.10 ilustra o comportamento do ganho em dB para o estágio de entrada das duas configurações. A curva tracejada representa a resposta para o estágio de entrada da configuração PMOS-DA, enquanto que a curva contínua é a resposta da topologia NMOS-DA. As sete amostras selecionadas na apresentação de outros resultados estão destacadas nessa figura.

O ganho de pequenos sinais segue a tendência já apresentada para o comportamento DC, ou seja, para a configuração PMOS-DA o ganho diminui à medida que o V_{thN} diminui e ingressa na janela parcial de inatividade da Figura 4.10 (amostra 3). A recuperação do ganho de pequenos sinais ocorre entre as amostras 3 e 4. Comparando as amostras 2 e 4 pode ser notado que o ganho exibe valores próximos, apesar de que a “dose acumulada” na amostra 4 seja maior. Na amostra 5, o ganho do estágio de entrada é maior do que na situação pré irradiação. Esse comportamento pode explicar os resultados de um trabalho experimental prévio com dose de 1KRad/h por aproximadamente 27 horas. Nesse trabalho foi observado uma melhora da THD para índices menores do que na situação pré-irradiação, de um filtro contínuo programado em um FPAA (BALEN et al, 2011). O estágio de entrada da configuração PMOS-DA perde sua funcionalidade para doses acima da amostra 6, isso pode ser observado pela diminuição do ganho a partir da amostra 6. Em relação à topologia NMOS-DA, ocorre uma diminuição do ganho entre as amostras 1 e 3, porém não tão severa como ocorre para a configuração PMOS-DA. A partir da amostra 3 o ganho de pequenos sinais aumenta, caracterizando ganhos maiores do que na situação pré-irradiação, como é o caso nas amostras 4, 5 e 6. Os maiores valores de ganho na NMOS-DA são atingidos para as combinações de V_{th} que antecedem a amostra 7, como pode ser verificado na Figura 4.10.

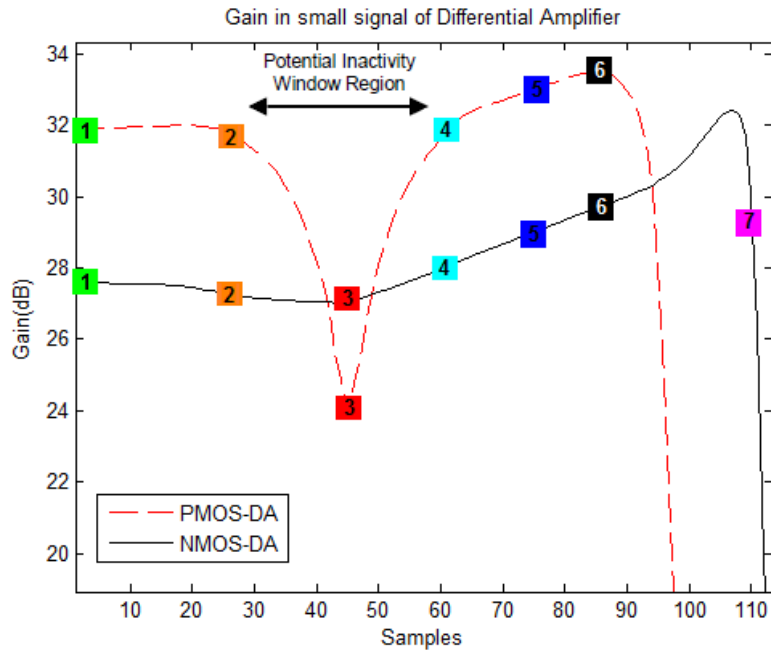


Figura 4.10: Ganho de pequenos sinais do estágio de entrada das duas configurações.

Como pôde ser notado da Figura 4.10, ambas configurações melhoram o ganho de pequenos sinais, em relação a situação nominal, para doses acima da amostra 4. O efeito da variação do ganho no domínio tempo pode ser observado na Figura 4.11 para o estágio de entrada da topologia PMOS e Figura 4.12, para o da topologia NMOS-DA.

Observando a Figura 4.11, é possível notar que ocorre o deslocamento do ponto de operação de acordo com o observado na Figura 4.4 (comportamento DC do bloco PMOS-DA), tendendo, à medida que a TID aumenta, que o PO seja posicionado próximo a região não linear do amplificador diferencial (na saturação), o que iria prejudicar a excursão simétrica do sinal de saída quando a dose acumulada estivesse na região de potencial para a janela de inatividade, ou seja, entre as amostras 2 e 4. A consequência disso, para um sinal senoidal, pode ser observado na Figura 4.11, onde é possível perceber a distorção no sinal de saída no semi-ciclo negativo, para a situação mais crítica (amostra 3).

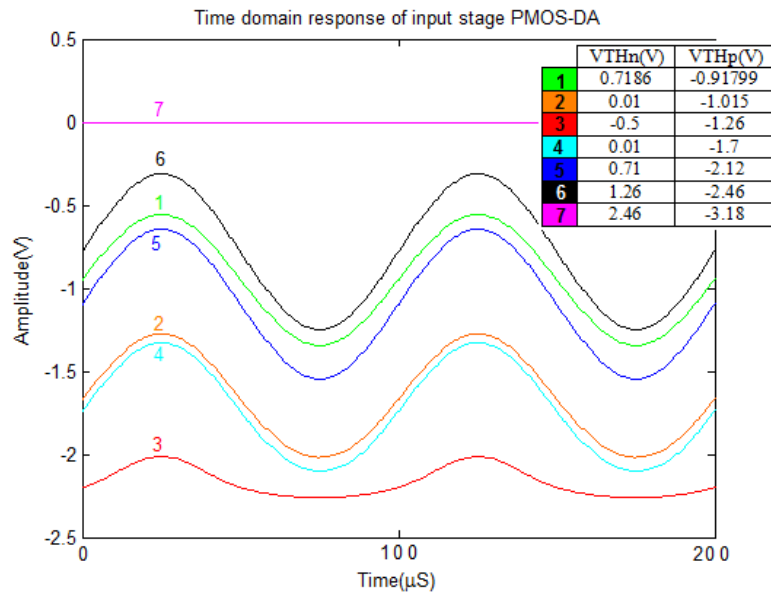


Figura 4.11: Resposta no domínio tempo para o estágio de entrada da configuração PMOS-DA.

Na configuração NMOS-DA ocorre também o deslocamento do ponto de operação com o comportamento retratado na Figura 4.5. Porém, como pode ser observado na Figura 4.12 (amostra 3), não ocorre a distorção no sinal de saída na região da janela de inatividade, como observado na configuração PMOS-DA. Quando o valor de V_{thN} se aproxima de V_{DD} , nesse momento a corrente I_{SS} para o par diferencial é criticamente pequena, de acordo com a Figura 4.9 para a configuração NMOS-DA. O que possibilita observar uma degradação do ganho de pequenos sinais pela Figura 4.10 (amostra 7).

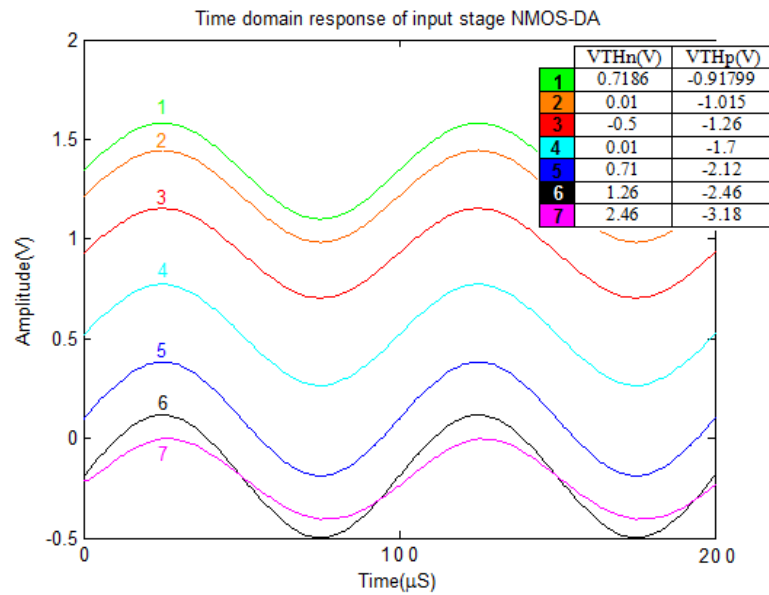


Figura 4.12: Resposta no domínio tempo para o estágio de entrada da configuração NMOS-DA.

4.1.4 Análise Monte Carlo do estágio de entrada

Através das simulações realizadas até o momento, foi verificado que o estágio de entrada da configuração PMOS-DA perde sua funcionalidade quando os transistores NMOS exibem valores negativos para o parâmetro V_{th} , nessa região a “dose acumulada” se encontra dentro da janela de inatividade. Ao mesmo tempo, nessa mesma faixa de valores da tensão de limiar a configuração NMOS-DA mantém níveis adequados para o nó de saída V_{out1} . Considerar que a variação de V_{th} seja idêntica para todos os transistores é uma hipótese bem otimista, pois em (DJEZZAR et al., 2000) foi mostrado que o comportamento da tensão de limiar depende das dimensões do transistor. Ainda assim, com essa estratégia simples de simulações já foi possível verificar fragilidade no amplificador diferencial da PMOS-DA. Por isso, certamente quando forem adotados desvios de V_{th} diferentes para cada transistor do estágio de entrada, caracterizando descasamentos entre os transistores M1 e M2, e entre M3 e M4, o resultado será certamente o mau funcionamento para a maioria dos casos, conforme foi verificado quando desvios iguais para todos os transistores foram adotados. Entretanto, as simulações Monte Carlo desse bloco básico irão permitir um melhor entendimento do efeito dos descasamentos entre M1-M4 e que podem indicar que essas

incompatibilidades podem até ser favoráveis. Nesse sentido, as duas configurações do estágio de entrada serão investigadas. O alvo dessas simulações será na região onde os transistores NMOS apresentam valores negativos, ou seja, entre as amostras 2 e 4 da Figura 4.1, mais especificamente na região da amostra 3.

Como para a arquitetura NMOS-DA não foi observada nenhuma perda de funcionalidade do amplificador diferencial, dentro da janela de inatividade parcial nas simulações iniciais, a análise de Monte Carlo foi realizada nesse bloco, para verificar se esse bloco básico consegue manter seu funcionamento adequado mesmo quando são consideradas variações diferentes para cada transistor.

Na Figura 4.13 as amostras que serão utilizadas como referência para produzir os descasamentos nos transistores estão destacadas. Portanto, na amostra 3 serão considerados variações de $\pm 25\text{mV}$, com três desvios padrão (3σ) em relação ao valor de V_{th} de referência, ou seja, no pior caso um transistor NMOS, que para essa amostra possui $V_{thN}=-0.5\text{V}$, poderá receber $V_{thN}=-0.525\text{V}$ ($-0.5\text{V}-0.025\text{V}$) e um outro pode ter $V_{thN}=-0.475\text{V}$ ($-0.5\text{V}+0.025\text{V}$) caracterizando um descasamento de até 50mV . O pior caso nessa amostra 3 para os transistores PMOS ocorre quando, um transistor receber $V_{thP}=-1.285\text{V}$ ($-1.26\text{V} - 0.025\text{V}$) e outro apresentar $V_{thP}=-1.235\text{V}$ ($-1.26+0.025$).

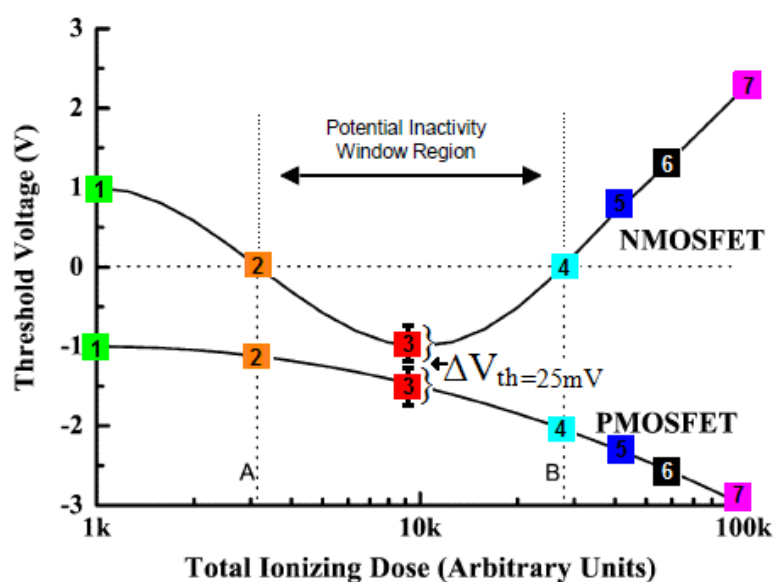


Figura 4.13: Comportamento do parâmetro V_{th} considerado nas simulações indicando onde foram promovidos os desvios pela simulação Monte Carlo. Figura adaptada de (FRANCO; ZONG; AGAPITO, 2006).

O descasamento de até 25mV para os transistores do estágio de entrada (M1-M4) não foi retirado diretamente de uma referência endereçada especificamente para o processo 0.5 μ m. No entanto, em (LACOE et al., 1998) foram obtidos dados de desvios do V_{th} para a tecnologia 0.35 μ m da TSMC para doses até 300Krad(Si), através de experimentos práticos de irradiação com taxa de 35 rad (Si)/s. Para esse nó tecnológico comercial, a espessura do óxido de isolamento de *porta* exibe $t_{ox}=7.6$ nm, enquanto que para o processo 0.5 μ m, apresenta $t_{ox}=14.1$ nm. Baseado no estudo desenvolvido no capítulo 2 é possível concluir que, o processo AMI 0.5 μ m que foi utilizado nas simulações desse trabalho, tende a sofrer mais em relação aos desvios de V_{th} , por apresentar a espessura do óxido de isolamento maior.

A Tabela 4.2 mostra os resultados da média dos desvios de V_{th} de 19 transistores NMOS e 6 PMOS, para a tecnologia 0.35 μ m. Baseado nesses resultados, para a dose de 10 KRad(Si), é possível perceber que, para o transistor NMOS, a consideração de 25mV para os descasamentos entre os transistores M1-M4 pode ser considerada cautelosa. Porém, para o transistor PMOS, é bastante agressiva. Mesmo assim, apesar da amostra 3 estar posicionada aproximadamente em 10KRad(Si) (pela Figura 4.13), vale resaltar que, nesse eixo, para essa figura, a dose apresenta unidades arbitrárias. Por isso, adotar 25mV, pode ser considerado compatível, tendo em vista que a espessura do óxido para o nó tecnológico 0.5 μ m é aproximadamente o dobro da observada em 0.35 μ m.

Tabela 4.2: Desvios no V_{th} (em mV) devido à radiação para transistores individuais NMOS e PMOS com geometria mínima na tecnologia TSMC 0.35 μ m. Tabela extraída de (LACOE et al., 1998).

Dose(krad)	NMOS (ΔV_T)	PMOS(ΔV_T)
1	25.1	-0.3
3	31.0	-0.4
10	37.2	-1.5
30	42.6	-3.6
50	30.4	-5.6
70	29.3	-7.9
100	29.7	-8.0
300	-60.3	-18.7
Post-Anneal	128.8	-8.7

Os resultados de 1000 iterações oriundos da simulação Monte Carlo estão, para a configuração PMOS-DA, na Figura 4.14, e para a topologia NMOS-DA, na Figura 4.15. As curvas pretas das Figuras 4.14 e 4.15 indicam a situação quando todos os transistores recebem valores idênticos para o V_{th} ($V_{thN} = -0.5V$ e $V_{thP} = -1.26V$), nesse caso, a abordagem PMOS-DA mostra que o ponto de operação está em uma região não linear de resposta do par diferencial, conforme foi retratado no item 4.1.1. As curvas próximas ao marcador 1, na Figura 4.14, ilustram que o PO se encontra em uma região com ganho alto e linear, nessa situação, os descasamentos entre os transistores contribuíram de forma positiva para afastar o ponto de operação da região não linear do amplificador. Por outro lado, as curvas ao redor do marcador 2, indicam que as incompatibilidades entre os transistores M1-M4, contribuíram para colocar o PO ainda mais na região não linear.

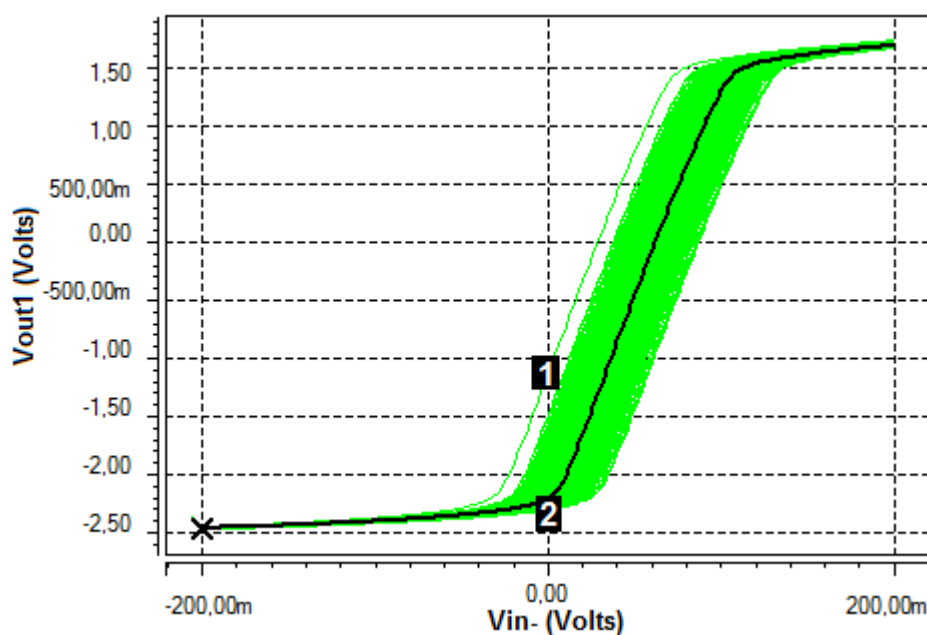


Figura 4.14: Resultados das simulações Monte Carlo do par diferencial de entrada PMOS-DA, considerando 1000 iterações.

Para a topologia NMOS-DA, em que os resultados das 1000 iterações estão na Figura 4.15, mostram que, mesmo para as curvas próximas aos marcadores 1 e 2, onde estão as situações mais críticas de descasamentos, esse bloco manteve o PO em uma região adequada para a excursão do sinal. Por isso, mesmo para essas condições hostis

consideradas nas simulações Monte Carlo, a arquitetura NMOS-DA conseguiu manter sua funcionalidade.

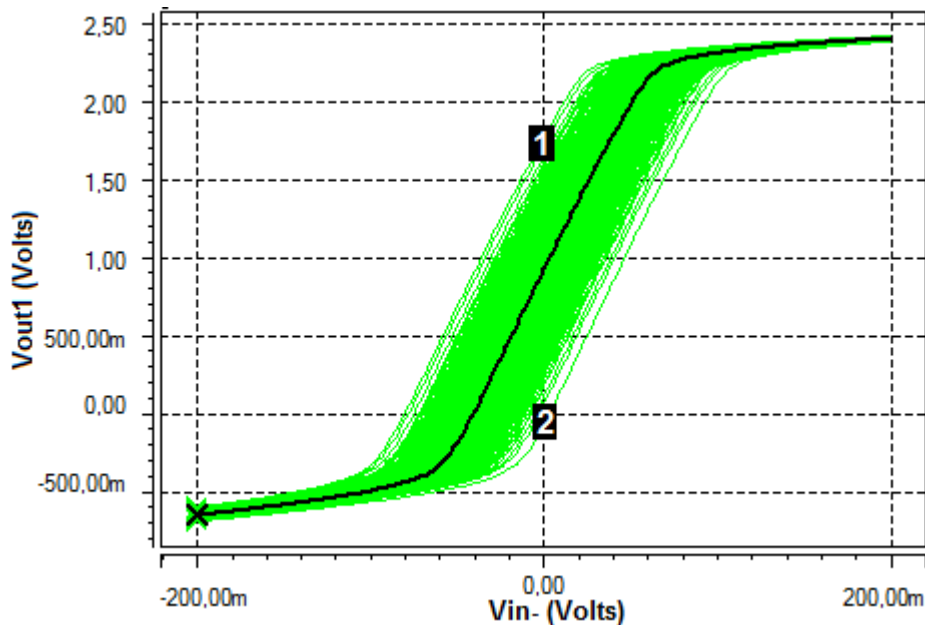


Figura 4.15: Resultados das simulações Monte Carlo do par diferencial de entrada NMOS-DA, considerando 1000 iterações.

Estatisticamente as chances do ponto de operação ser afastado da região não linear são pequenas, para a configuração PMOS-DA. No entanto, em um experimento prático de irradiação poderão ser verificados que para um lote de OpAmps com a mesma arquitetura, com as mesmas dimensões de transistores e de um mesmo nó tecnológico, podem apresentar resultados diferenciados, dependendo de para onde o ponto de operação for deslocado pelos efeitos da radiação no parâmetro V_{th} , conforme foi verificado nos resultados das Figuras 4.14 e 4.15. Ainda assim, pode ser concluído que para a configuração PMOS-DA essa situação é mais crítica.

4.2 Análise do estágio de saída

A Figura 4.16 apresenta o bloco de construção denominado de estágio de saída, que foi utilizado nas simulações. Esse bloco é formado pelos transistores M6 e M7, onde M6 está configurado como amplificador inversor em *fonte* comum, enquanto que

M7 tem a função de carga ativa para M6. O capacitor C_C faz parte da estratégia de compensação do amplificador, e por isso foi mantido. Já o capacitor C_L representa a carga na saída do amplificador. O transistor M8 forma junto com M7 um espelho de corrente, sendo a corrente em M7 proporcional a M8 dependendo da relação W/L de cada transistor. As dimensões de M8 são as mesmas utilizadas nas simulações do estágio de entrada, assim como o valor do resistor R_{ref} .

Considerando o OpAmp completo, o circuito mostrado na Figura 4.16 evidencia apenas o segundo estágio de ganho do OpAmp estudado no capítulo 3. Para isso, os transistores M1-M5 foram retirados. A Figura 4.16 (A) apresenta o estágio de saída da configuração PMOS-DA, enquanto que a Figura 4.16 (B) exhibe o estágio de saída da configuração NMOS-DA.

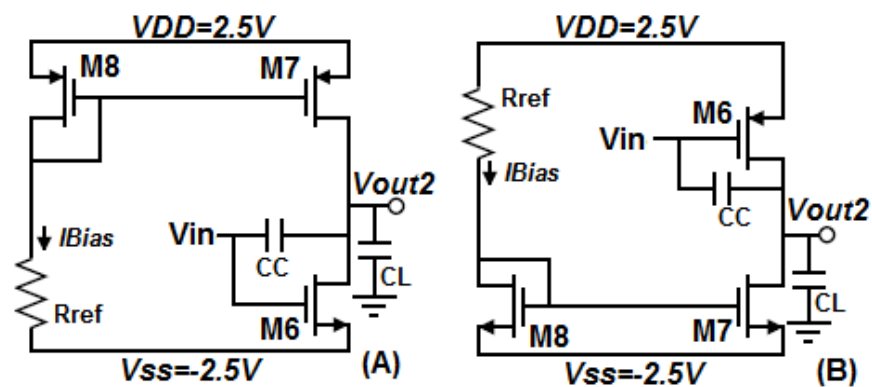


Figura 4.16: Estágio de entrada do OpAmp; A- configuração PMOS-DA e B- configuração NMOS-DA.

O nó de entrada desse circuito (V_{in} pela Figura 4.16) é a saída do estágio de entrada (V_{out1}), como pode ser inferido observando a Figura 4.3 (A) ou (B). Em V_{in} foi conectado a fonte de tensão DC variável, com valores de -2.5V até 2.5V. Com isso, o deslocamento do ponto de operação do estágio de saída poderá ser investigado. A saída desse circuito é obtida em V_{out2} .

O ponto de operação é a região na curva de transferência onde o bloco consegue proporcionar alto ganho de forma linear. Para o bloco da arquitetura PMOS-DA, na situação nominal, o PO está localizado ao redor de -1.2V, como pode ser verificado na Figura 4.17 (amostra 1).

Os resultados apresentados na Figura 4.17 mostram um padrão semelhante de recuperação ao observado no estágio diferencial em consequência ao avanço de desvios na tensão de limiar dos transistores. A situação mais crítica ocorre quando o V_{th} dos transistores NMOS possuem valores negativos (causando uma janela de inatividade parcial), o que evidencia que o transistor M6 está operando em uma saturação muito forte, e conseqüentemente, qualquer tensão entre *dreno* e *fonte* é suficiente para que o transistor M6 apresente uma alta corrente de *dreno*. Nessa situação, o transistor M6 “puxa” o nó de saída para V_{SS} , como pode ser observado na Figura 4.17 (amostra 3). A evolução entre as amostras 3 e 4 (V_{thN} variando de -0.5V até 0.01V e V_{thP} saindo de -1.26V até -1.7V) é ilustrada nas curvas de 3D até 3A, as quais mostram a recuperação do estágio de saída da arquitetura PMOS-DA. Um comportamento similar é observado quando os desvios V_{th} vão da amostra 2 para 3, isto é, entrando na janela de inatividade parcial, mas nesse caso, a evolução ocorre na direção oposta (de 3.A até 3.D), degradando a característica de transferência do estágio de saída.

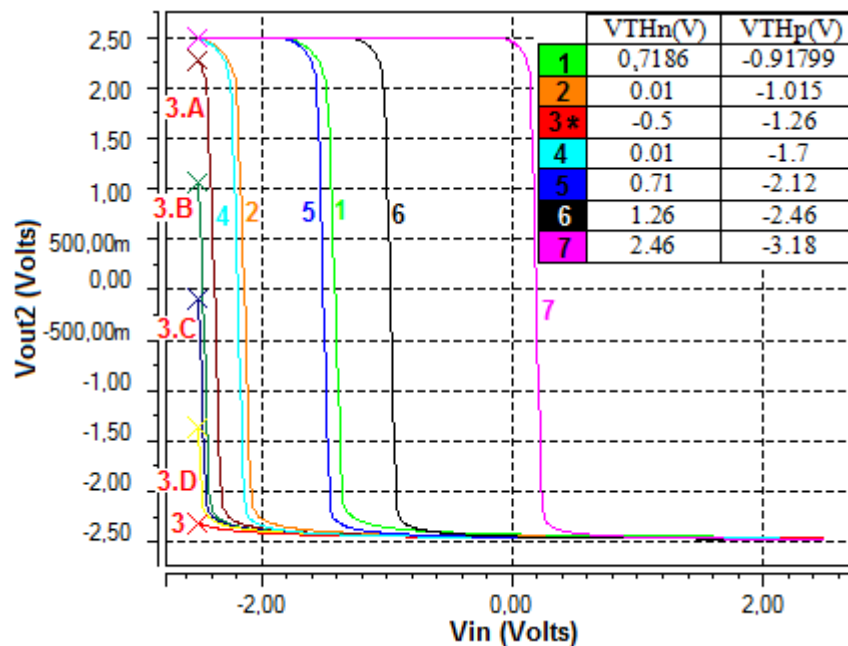


Figura 4.17: Comportamento DC do estágio de saída da configuração PMOS-DA.

Para todas as combinações de desvios de V_{th} simuladas, a topologia NMOS-DA manteve o ganho e sua funcionalidade, como pode ser observado na Figura 4.18. A única diferença em relação à situação nominal ocorre no ponto de operação que é

deslocado. Como o V_{th} do transistor PMOS tende a ser cada vez mais negativo, o PO sofre desvios negativos, como pode ser deduzido na Figura 4.18. Em relação ao comportamento do PO da topologia PMOS-DA, os deslocamentos ocorrem seguindo o padrão de desvios de V_{th} adotados para os transistores NMOS, ou seja, ora o ponto de operação é deslocado no sentido negativo ora no sentido positivo, como pode ser inferido da Figura 4.17.

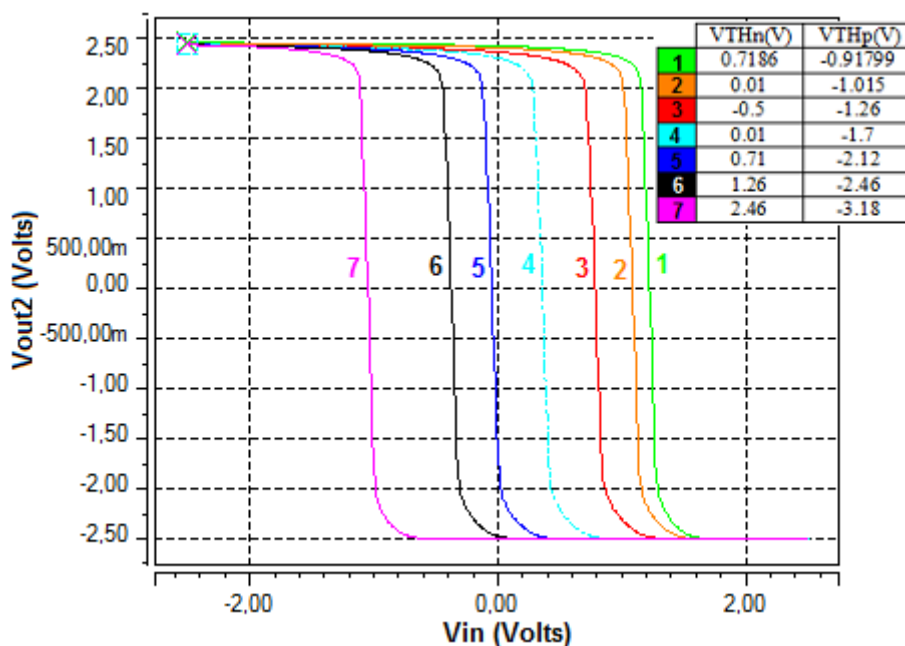


Figura 4.18: Comportamento DC do estágio de saída para a configuração NMOS-DA.

Ao analisar o padrão do ponto de operação das sete amostras da configuração NMOS-DA mostrado na Figura 4.18 pode ser inferido que, o estágio de saída dessa configuração possa apresentar o efeito observado na janela de inatividade da configuração PMOS-DA, caso a dose acumulada seja aumentada. Pois, o PO parece caminhar na direção de V_{SS} , como observado na PMOS-DA nas amostras 1, 2 e 3 da Figura 4.17. No entanto, isso não ocorrerá pelo fato da amostra sete ser o limite em que o par diferencial de entrada consegue operar. Por isso, do ponto de vista geral de funcionamento de um OpAmp, o estágio de saída dessa configuração não será um limitador, pois antes que o estágio de saída deixe de funcionar adequadamente o amplificador diferencial de entrada já não consegue proporcionar uma corrente I_{SS} suficiente para que o OpAmp completo consiga cumprir sua função.

O segundo estágio de ganho do OpAmp estudado (estágio de saída) adota a configuração inversora *fonte* comum, sua função de transferência pode ser comparada com a de um inversor da lógica digital. Nesse sentido, a Figura 4.19 extraída de (QUITTARD et al., 1998), mostra o resultado de um experimento de radiação com taxa de 10 KRad/h até 890KRad (Si) para um inversor da Motorola. Observando essa figura é possível notar certa semelhança com os resultados ilustrados na Figura 4.17, demonstrando que os dados obtidos nesse trabalho de simulação, já foram observados em experimentos de irradiação.

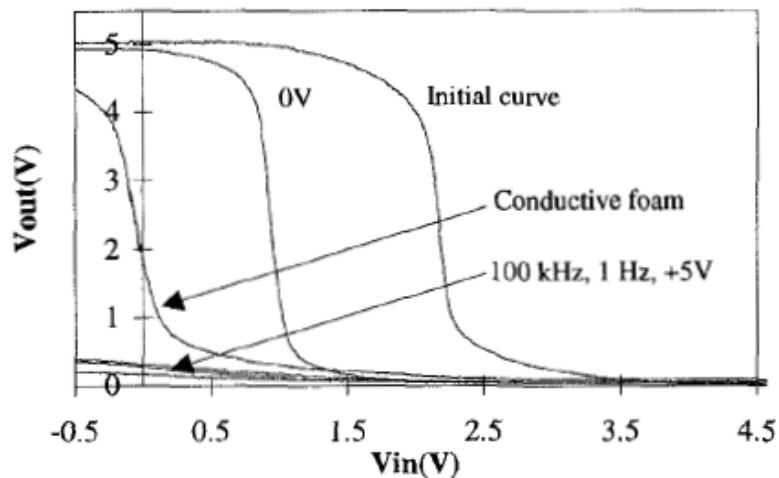


Figura 4.19: Função de transferência de um inversor da Motorola com diferentes combinações como sinal de entrada, para dose de 890KRad (Si) com taxa de 10KRad/h. Figura extraída de (QUITTARD et al., 1998).

Do ponto de vista de projeto das relações W/L dos transistores que compõem o estágio de saída, não há o que ser feito para que esse bloco da configuração PMOS-DA consiga melhorar seu desempenho na janela de inatividade parcial.

No capítulo seguinte, análises transientes foram realizadas possibilitando observar o efeito que a janela de inatividade introduz na saída do OpAmp no domínio tempo. Até este instante, a configuração NMOS-DA parece ser mais robusta para ser utilizadas em ambientes com radiação. Pois, nem o bloco amplificador diferencial nem o estágio de saída deixam de manter sua funcionalidade para toda a extensão de desvios considerada nesse estudo. Estes resultados permitem concluir que, mesmo sem utilizar nenhuma técnica de layout para tornar o circuito protegido relacionado aos desvios da tensão limiar induzidos por TID, a escolha adequada da arquitetura pode contribuir para que o circuito apresente melhores resultados nesses ambientes hostis.

5 EFEITOS DA TID EM PARÂMETROS DE DESEMPENHO DOS OPAMPS COMPLEMENTARES

Uma investigação da tendência de comportamento dos blocos básicos que compõe o OpAmp com compensação Miller foi realizada no capítulo 4. Em um primeiro momento análises DC do estágio de entrada e de saída mostraram que esses dois blocos da configuração NMOS-DA se mantêm funcional dentro da região com potencial para a inatividade. Enquanto que, para as mesmas variações da tensão V_{th} , os blocos básicos da configuração PMOS-DA perdem a funcionalidade dentro da referida região.

Os níveis da corrente de polarização do par diferencial também foram investigados no capítulo 4, apontando que para a topologia NMOS-DA a corrente I_{SS} retém valores mais elevados para doses maiores. Ainda no capítulo anterior, foi monitorado o ponto de operação e o ganho de pequenos sinais do par diferencial, onde a configuração NMOS-DA se manteve mais estável. Com isso, possivelmente a configuração NMOS-DA seja mais robusta.

Neste capítulo, o comportamento geral do OpAmp será o alvo de interesse das simulações, propiciando que comparações entre as duas topologias estudadas sejam feitas. Entre os parâmetros de desempenho que serão monitorados estão, desempenho em frequência, ganho DC, THD, *offset* de saída, a influência da frequência de entrada e ainda a influência do esquema externo de realimentação na robustez do circuito OpAmp.

Para a apresentação dos resultados das simulações será utilizado as mais de cem combinações de desvios de V_{th} , com a seleção das sete amostras mais relevantes, conforme foi realizado no capítulo anterior.

Dependendo do parâmetro a ser monitorado, um esquema de realimentação (feedback externo) do circuito OpAmp foi utilizado, esses detalhes da configuração

externa ao OpAmp serão pormenorizados em cada item deste capítulo de acordo com a necessidade.

5.1 Desempenho em frequência

O desempenho em frequência do OpAmp das duas topologias foi investigado realizando análises AC no HSPICE®. A configuração externa de realimentação do OpAmp foi adotada como mostrada na Figura 5.1, com $R_2=100\text{K}\Omega$ e $R_1=10\text{K}\Omega$, ou seja, com ganho de malha fechada limitado a 10. Na saída foi acrescentado um capacitor de 20pF (não incluso na Figura 5.1). A amplitude do sinal de entrada aplicado no nó (V_{in}) foi de 100mV e a frequência variou de 1Hz até 100MHz.

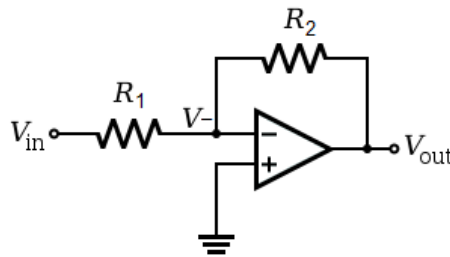


Figura 5.1: Esquema de realimentação utilizado para obter os parâmetros de desempenho dos OpAmps.

Tanto para a configuração PMOS-DA quanto para a NMOS-DA o ganho unitário (GB) foi projetado para 1MHz. Na Figura 5.2 são apresentados os resultados das simulações para a configuração PMOS-DA fazendo uso das sete combinações de momentos importantes do comportamento dos dispositivos CMOS na presença de radiação. A combinação nominal é mostrada na curva 1, onde pode ser observado a melhor resposta em frequência do OpAmp PMOS-DA, pois a GB se encontra aproximadamente em 1MHz, estando de acordo com a especificação inicial do projeto. Da curva 1 para a 2, praticamente não ocorreu degradação do desempenho em frequência. Porém, na amostra 3 (dentro da região com potencial para a inatividade), é possível observar que ocorreu perda de desempenho tanto nas frequências mais baixas quanto no GB. Pois, fica caracterizado que o OpAmp só consegue fornecer em baixas

frequências, sinais na sua saída com amplitude máxima de aproximadamente 15mV \approx 16dB (Eixo y, amostra 3 da Figura 5.2).

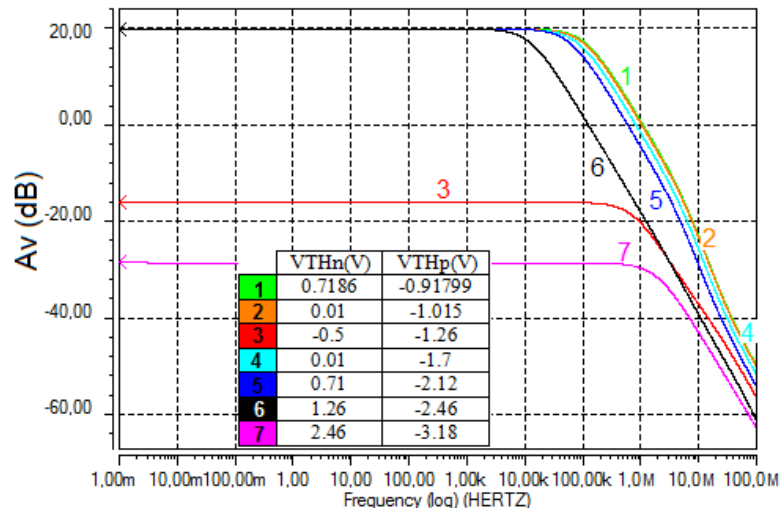


Figura 5.2: Resposta em frequência do OpAmp na configuração PMOS-DA.

Conforme ocorreu para as análises dos blocos de entrada e saída que compõe o OpAmp realizadas separadamente no capítulo 4, uma recuperação de desempenho do circuito pode ser observada nessas simulações, conforme mostra a amostra 4 da Figura 5.2. Nesse caso, houve a melhora tanto no GB, que voltou a ter um valor próximo a 1MHz como também na resposta em baixas frequências. Nas amostras 5 e 6 a frequência de ganho unitário é reduzida para aproximadamente, 600KHz e 200KHz, respectivamente. Enquanto que, na amostra 7 o OpAmp PMOS-DA não é mais funcional, pois apresenta como amplitude máxima 4mV \approx -28dB em baixas frequências.

Em relação à tendência de comportamento em frequência do OpAmp NMOS-DA ilustrado na Figura 5.3, pode ser observado que essa implementação se mantém com valores próximos entre si, para os mesmos valores de desvios de V_{th} considerados para a topologia PMOS-DA. Da amostra 1 até a amostra 6, o desempenho do amplificador apresenta comportamento muito semelhante. Na amostra 1 (não destacada com o marcador numérico na Figura 5.3), que é a configuração nominal, o GB tem aproximadamente 1MHz conforme especificação inicial do projeto. Essa amostra é a curva verde, e se encontra em uma região intermediária entre as curvas 3 e 6, conforme pode ser observado na Figura 5.3. Na topologia PMOS-DA, das sete amostras selecionadas, a configuração nominal (amostra 1 da Figura 5.2) era a que apresentava

melhor desempenho em frequência. Já para a topologia NMOS-DA a amostra 3 é a que se mostra com o melhor desempenho. Isso pode ser explicado, devido ao aumento da corrente de polarização do par diferencial I_{SS} , ou seja, no instante da amostra 3 é que a corrente I_{SS} tem seu valor máximo, como foi detalhado na subseção 4.1.2 do capítulo 4. Esse aumento em I_{SS} leva a um aumento de g_{m2} , pela Equação 3.4 (repetida abaixo), pois a relação $(W/L)_2$ é mantida, assim como K'_2 . Pela Equação 3.3 (listada abaixo), considerando que o valor do capacitor C_C é mantido, o aumento de g_{m2} leva a um aumento do GB, em comparação com a combinação nominal. A melhora do GB na configuração NMOS-DA também poderia ser estimada através da Tabela 3.4, observando os parâmetros $I_5=I_{SS}$ e o ganho GB. Esse melhor desempenho em frequência pode ser visualizado claramente na curva vermelha da Figura 5.3 (amostra 3).

$$\left(\frac{W}{L}\right)_2 = \frac{g_{m2}^2}{K'_2 I_5} \quad \text{Equação 3.4}$$

$$GB = \frac{g_{m2}}{C_C} \quad \text{Equação 3.3}$$

Entre os seis primeiros exemplos selecionados, a pior resposta ocorre na curva da amostra 6 onde o GB possui aproximadamente 700KHz e com o ganho em baixas frequências se mantendo semelhante ao da condição nominal. Essa curva é destacada na Figura 5.3 na cor preta. Ao observar a Figura 5.3 (amostra 7) pode ser notado que o amplificador diminui seu GB para 1KHz e mesmo assim, para frequências muito baixas o amplificador ainda consegue manter seu funcionamento. Nesse caso, a curva de resposta do amplificador difere bastante das outras seis amostras destacadas. Essa diminuição no GB ocorre devido à corrente de polarização apresentar índices muito baixos para esse caso.

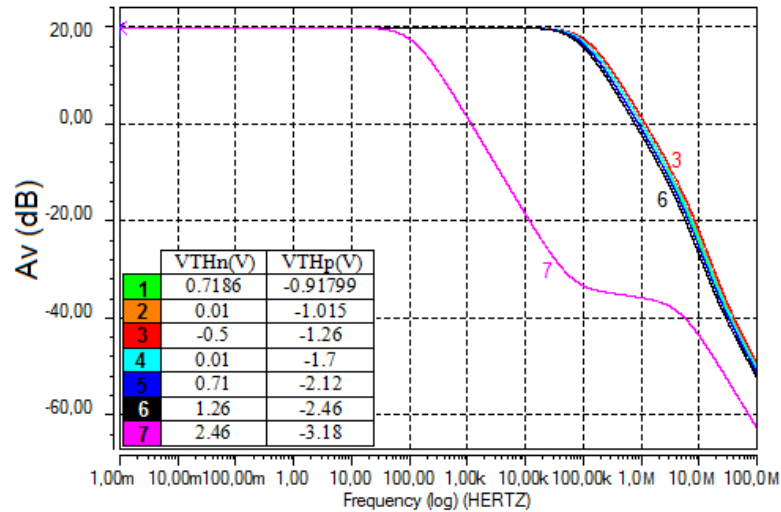


Figura 5.3: Resposta em frequência do OpAmp na configuração NMOS-DA.

A Figura 5.4 apresenta valores numéricos de GB que ilustra a tendência de comportamento para as duas abordagens. Nessa figura, são considerados as mais de cem combinações dos parâmetros V_{thN} e V_{thP} . Como era de se esperar, dentro da janela de inatividade (amostra 3 da Figura 5.4) o OpAmp da configuração PMOS-DA não atinge, se quer, uma amplitude na sua saída, igual a da entrada. Observando a Figura 5.2 (amostra 3) é possível notar que a amplitude máxima conseguida na saída nessa região de inatividade fica próxima a $15\text{mV} \approx -16\text{dB}$. Logo, o parâmetro GB não pôde ser determinado.

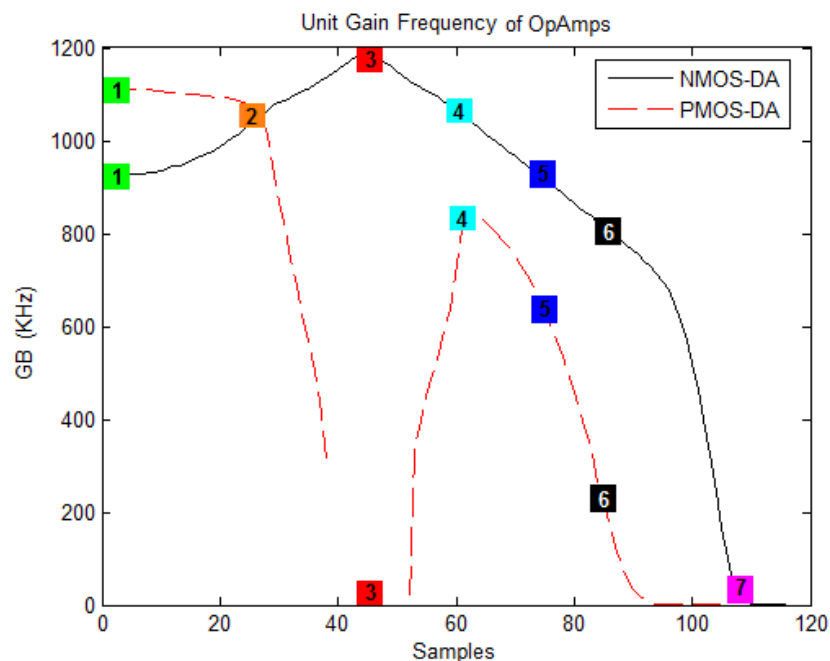


Figura 5.4: Comportamento do GB para as duas configurações de OpAmps.

Comparando a resposta em frequência das duas topologias, é possível inferir que a topologia NMOS-DA é mais estável, sobretudo na região com potencial para a inatividade. Ainda assim, em doses maiores, o GB do OpAmp NMOS-DA é mais alto do que a do OpAmp PMOS-DA, $GB \approx 800\text{KHz}$ para NMOS-DA contra $GB \approx 200\text{KHz}$ no PMOS-DA, como pode ser interpretado nas amostras 6 da Figura 5.4. Outro aspecto importante, levando em consideração as 6 amostras iniciais das duas topologias das Figuras 5.2 e 5.3, é possível observar que em todos os casos a queda de -20dB por década após a frequência de corte se mantém. A única exceção, é a amostra 3 da Figura 5.2, pois nesse momento o OpAmp PMOS-DA está na região de inatividade. Por esse ponto de vista, a TID não afeta a resposta em frequência.

Em um trabalho de simulação sobre efeitos de dose, realizado em (HUANG et al., 2004) foi investigado o comportamento da resposta em frequência de um amplificador operacional, cujo circuito esquemático está mostrado na Figura 5.5 (A). O modelo de desvios para o parâmetro V_{th} adotado nas simulações é mostrado na Figura 5.5 (B), que se mostra bastante semelhante com o utilizado nesse trabalho de dissertação.

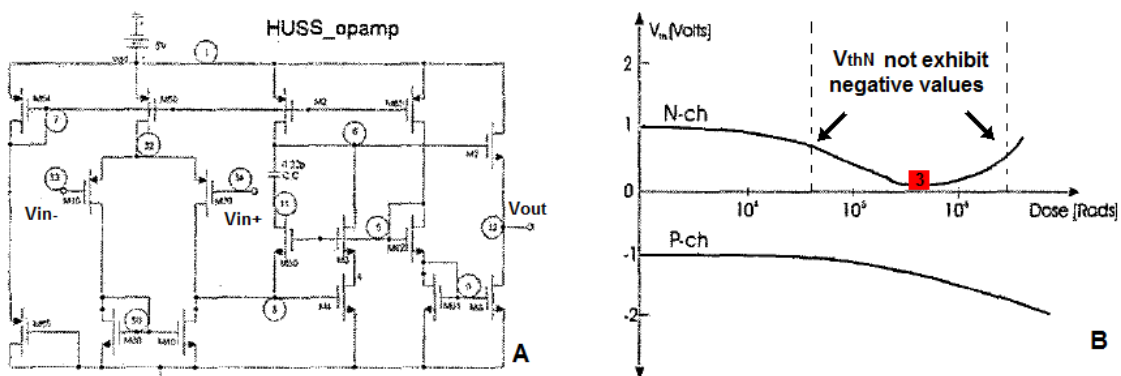


Figura 5.5: Trabalho de simulação relacionado. (A) Arquitetura de OpAmp e (B) modelo de desvios para o parâmetro V_{th} adotado. Figuras adaptadas de (HUANG et al., 2004).

Claramente o circuito da Figura 5.5(A) possui uma arquitetura mais complexa quando comparada com a adotada nesse trabalho, já que apresenta três estágios de ganho, sendo o primeiro com par diferencial com transistores PMOS, o segundo com

configuração cascode utilizando dispositivos NMOS, e o terceiro estágio na configuração *fonte* comum com transistor NMOS. Apesar da diferença de arquitetura, é possível notar que o GB foi alterado de forma semelhante, ao observado para a topologia PMOS-DA, conforme pode ser inferido da Figura 5.6 em comparação com a 5.2. Isso ocorreu pelo fato do bloco básico de construção do primeiro estágio de ganho ser o mesmo (par diferencial com dispositivos PMOS) e o GB ser determinada levando em consideração a transcondutância do primeiro estágio. Nesse caso, é possível observar uma característica de diminuição do GB durante todo o intervalo de análise, a exceção ocorre na janela de inatividade, onde para a configuração PMOS-DA não é possível obter GB. Em relação ao trabalho de (HUANG et al., 2004) a diferença no GB nas amostras de 1MRad para 10MRad é pequena, porém a diminuição ocorre, como pode ser visto na Figura 5.6.

A janela de inatividade não foi observada no trabalho (HUANG et al., 2004) devido aos desvios de V_{th} para o transistor NMOS, não apresentarem valores negativos.

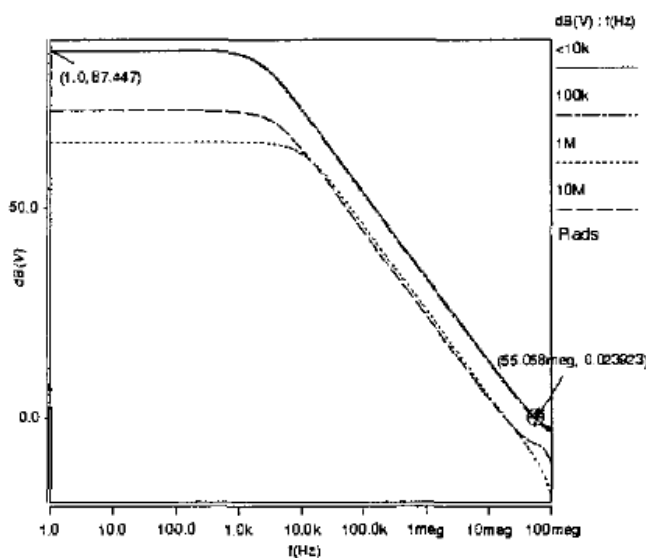


Figura 5.6: Resposta em frequência do OpAmp da Figura 5.5 (A), para os desvios de V_{th} da Figura 5.5 (B). Extraída de (HUANG et al., 2004).

Outra característica que sofreu alteração no trabalho (HUANG et al., 2004) foi o ganho DC do amplificador, onde de acordo com os autores do trabalho, inicialmente o ganho era 87.4dB, já na dose de 1MRad decaiu para 65.8dB e em 10MRad passou para 73.1dB. Essa mesma característica de diminuição do ganho DC e posterior recuperação

foram observadas para a configuração NMOS-DA, conforme será abordado na seção 5.3 desse mesmo capítulo.

5.2 Offset de saída dos OpAmps

O *offset* de saída dos OpAmps foi monitorado, através de simulações transiente no software HSPICE®. Para isso foi utilizado o esquema de realimentação do circuito da Figura 5.1, porém com $R1=100K\Omega$ e $R2=100K\Omega$ caracterizando ganho de malha fechada igual a 1. Na entrada (V_{in}) foi aplicado um tom senoidal com frequência de 10 KHz e 1V de amplitude. Para obter o *offset* do OpAmp foi calculada a média do sinal de saída. Nesses resultados foram considerados as mais de cem combinações das tensões V_{thN} e V_{thP} dos transistores CMOS.

Idealmente o *offset* de saída de um OpAmp deveria ser 0V, porém na prática isso é difícil de ser atingido devido aos descasamentos que ocorrem entre os transistores em decorrência da variabilidade do processo de fabricação. Ainda assim, valores bem pequenos de tensão de *offset*, da ordem de poucos mV, podem ser alcançados com um projeto cuidadoso.

Baseado nas simulações realizadas, a tendência do comportamento da tensão de *offset* de saída dos OpAmps, quando são submetidos a ambientes com radiação, pode ser observada na Figura 5.7. Nessa figura, até a amostra 2, os OpAmps apresentam comportamentos semelhantes, com a tensão de *offset* muito próxima de 0V. Entre as amostras 2 e 4 está a região da janela de inatividade. Nesse momento, o OpAmp PMOS-DA perde sua funcionalidade, pois apresenta um aumento do *offset* para valores da ordem de -2.2V (na amostra 3), enquanto que na configuração NMOS-DA o *offset* se mantém com valores muito baixos dentro da referida região, como pode ser notado na Figura 5.7. Para doses acima do marcador 4 e abaixo do marcador 6, a configuração PMOS-DA têm níveis de *offset* como na situação “pré-irradiação”. A falha definitiva do OpAmp na configuração PMOS-DA ocorreu para desvios de V_{th} acima do marcador 6, enquanto que para o OpAmp NMOS-DA a falha ocorreu somente para combinações próximas ao marcador 7, como pode ser deduzido da Figura 5.7.

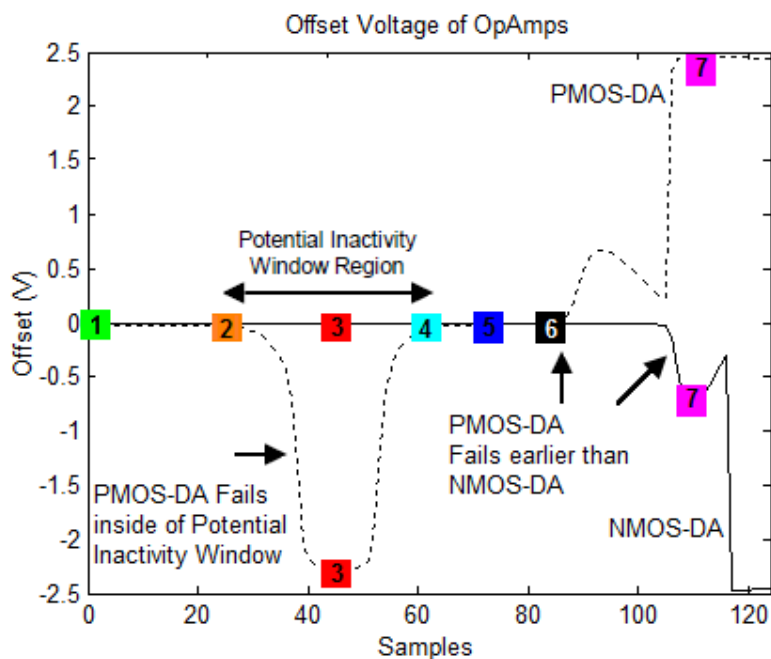


Figura 5.7: *Offset* de saída dos OpAmps para as duas arquiteturas.

O fato da falha definitiva da configuração NMOS-DA ter ocorrido depois da PMOS-DA pode ser explicado devido aos desvios promovidos na tensão de limiar dos transistores PMOS ter atingido primeiro o valor de V_{SS} , do que os transistores NMOS terem alcançado V_{DD} . Essa elevação do valor de V_{th} caracteriza a situação limite, onde ainda o transistor M5 (pela Figura 4.3A ou B) consegue fornecer corrente ao par diferencial e manter o funcionamento do OpAmp. Essa explicação foi mais detalhada no capítulo 4 na avaliação do comportamento DC do par diferencial de entrada. No entanto, o fato de V_{thP} atingir V_{SS} antes de V_{thN} atingir V_{DD} , é uma característica dessas simulações que adotaram como referência para a variação da tensão de limiar o comportamento da Figura 4.1. Em uma situação real, considerando doses acima da região de potencial inatividade, o contrário pode ocorrer e nesse caso, a configuração PMOS-DA manterá o funcionamento para doses mais elevadas do que a NMOS-DA. Em resumo, o transistor MOS para o qual valor de V_{th} atingir primeiro o valor da fonte de alimentação será o primeiro a falhar de forma definitiva.

Outro aspecto que ficou evidenciado na Figura 5.7 é que, para o OpAmp PMOS-DA, na região entre os marcadores 2 e 4 o *offset* é elevado no sentido da saturação negativa, enquanto que na falha definitiva o *offset* tende para a saturação positiva. Na

configuração NMOS-DA, quando ocorre a falha do circuito, o *offset* tende para o lado da saturação negativa.

Em nosso trabalho prévio (BALEN et al., 2011) a falha definitiva do FPAA submetido a radiação, com taxa de 1KRad/h, tendeu para a saturação negativa, como pode ser observado na Figura 5.8. Pois, a alimentação do circuito era 0V e 5V (não simétrico). Nesse caso, quando houve a falha do circuito, possivelmente, os desvios nas tensões de limiar dos transistores estavam na região entre os marcadores 2 e 4, caso o FPAA possuir OpAmps na topologia PMOS-DA em seus circuitos internos. A configuração interna do FPAA não foi divulgada pelo fabricante e por isso uma conclusão definitiva não pode ser tirada. Mesmo assim, o OpAmp, possivelmente, influenciou nos resultados desse trabalho de irradiação.

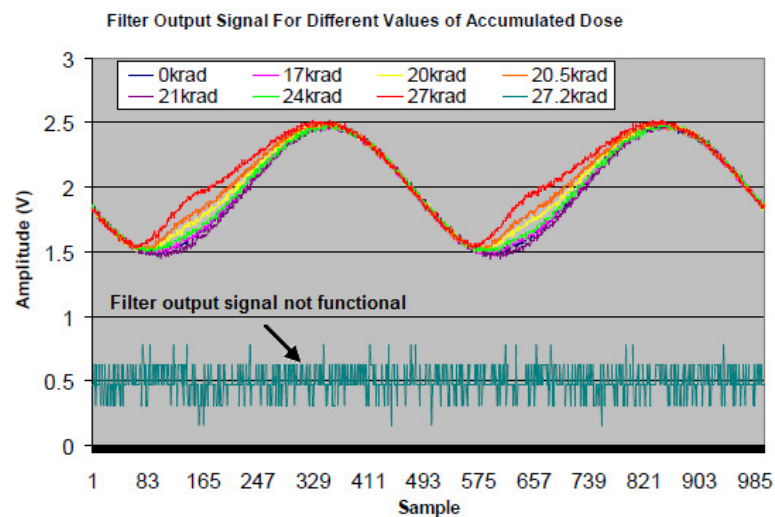


Figura 5.8: Sinais de saída de um filtro analógico de um trabalho experimental. Figura adaptada de (BALEN et al., 2011).

Em (TURFLINGER et al., 1996; LEE & JOHNSTON, 1998; GUNASEELAN et al, 2003), através de experimentos de irradiação em COTS, foi observado alterações no *offset* de alguns componentes analógicos (conversores Analógico-Digital/Digital analógico) e em OpAmp especificamente. Já em (BARBARA et al., 1990) foi observado alterações no *offset*, de MOSFETs de potência, por meio de simulações.

5.3 Análise do ganho DC

O ganho DC do amplificador operacional foi monitorado, pois este parâmetro representa um dos mais importantes na caracterização de desempenho de um OpAmp. O valor do ganho DC pode marcar, inclusive, o ponto de partida para realizar os cálculos de determinação das relações W/L dos transistores, como é o caso do equacionamento do projeto de OpAmp desenvolvido em (ALLEN, 1987). A especificação inicial das duas topologias usadas como estudo de caso nesse trabalho não fixou um valor a ser atingido para o ganho DC. Porém, é interessante que esse ganho seja o mais alto possível. Valores entre 500 e 10000 são comuns em OpAmps. Idealmente um OpAmp deveria ter ganho DC infinito.

As simulações para obter a tendência de comportamento do ganho DC de acordo com o aumento da TID, também utilizaram o circuito da Figura 5.1. Nesse caso, com resistor $R1=10K\Omega$, enquanto que $R2=100K\Omega$. No software HSPICE® foi ajustado para fazer simulações do tipo AC, com frequência inicial de 0.001Hz até 100MHz e amplitude de 100mV. Por ser uma frequência bem baixa, 0.001Hz mostrará um comportamento semelhante ao de um nível DC. Com isso, de forma indireta o ganho DC foi obtido pela divisão do sinal de saída (nó V_{out} pela Figura 5.1) pelo sinal na entrada inversora do OpAmp (nó V_{-} pela Figura 5.1).

Para apresentar os resultados foram consideradas todas as combinações de V_{th} simuladas, as sete amostras são destacadas para evidenciar o comportamento do circuito nesses instantes já observados nas outras simulações. A Figura 5.9 destaca a tendência do ganho DC para as duas topologias de OpAmp a medida que a dose acumulada aumenta. Como o ganho DC não foi especificado inicialmente nos projetos, na condição nominal de V_{th} , houve diferença entre a topologia PMOS-DA que apresentou ganho $A_V \approx 1000$ e a NMOS-DA que mostrou $A_V \approx 700$.

O ganho de malha aberta pode ser influenciado pela corrente de polarização e pelas dimensões de diversos transistores que compõe o projeto. No entanto, as dimensões dos transistores não foram alteradas durante as simulações, por isso a corrente I_{SS} e a corrente no transistor M7 são as principais fontes para explicar o comportamento do ganho DC dos OpAmps, como pode ser observado pela Tabela 3.4.

Através dessa tabela pode ser notado que o ganho DC é inversamente proporcional as correntes I_{SS} e I_7 .

Por isso, para a configuração NMOS-DA o ganho DC diminui até o marcador 3, pois até este momento a corrente I_{SS} está aumentando (observar a Figura 4.9). Após esse marcador a I_{SS} na configuração NMOS-DA tende a diminuir seu valor, levando a um aumento do ganho de malha aberta, como pode ser observado na Figura 5.9 a partir da amostra 3 à 7. Na amostra 7, onde o OpAmp NMOS-DA está próximo de perder a funcionalidade, o ganho de malha aberta apresenta um valor próximo a $A_V \approx 1000$, o que revela uma melhora de desempenho em relação a condição nominal desse parâmetro, que apresentava inicialmente $A_V \approx 700$. Logo após a amostra 7, o OpAmp NMOS-DA não é mais funcional e o ganho DC despenca até chegar a zero.

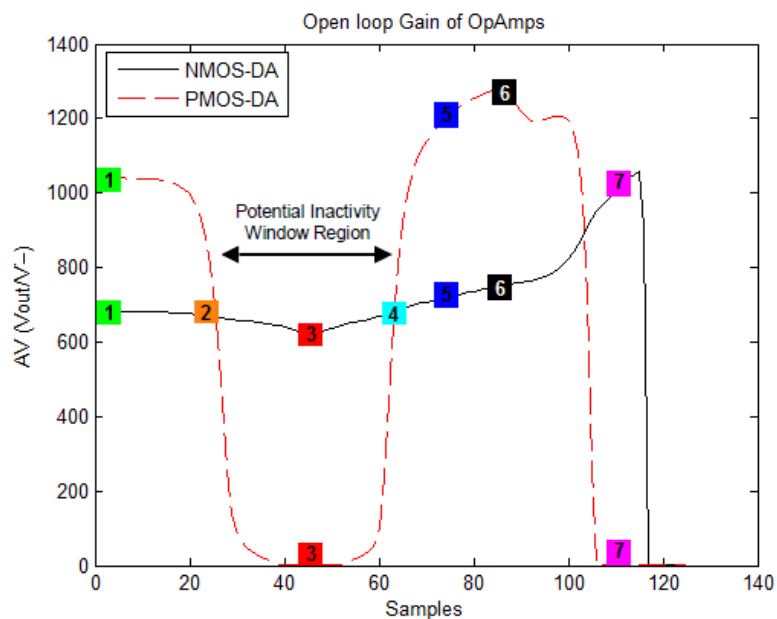


Figura 5.9: Comportamento do ganho DC das duas topologias de OpAmp.

O padrão do comportamento da configuração PMOS-DA está mostrado na curva pontilhada da Figura 5.9. Seguindo a ideia dada para explicar o comportamento da configuração NMOS-DA, a corrente I_{SS} sempre revela uma tendência de diminuir na topologia PMOS-DA, como pôde ser observado na Figura 4.9. Nesse caso, de acordo com a Tabela 3.4, o ganho DC deveria apresentar tendência de aumentar desde o início. No entanto, entre o marcador 1 e antes do marcador 2, o ganho em malha aberta

praticamente se mantém constante. No marcador 2, o ganho DC está abaixo do valor na condição nominal, assim como no marcador 3. Entretanto, isso pode ser explicado pelo fato do OpAmp PMOS-DA estar na região da janela de inatividade, onde o ponto de operação dos estágios de entrada e de saída são deslocados, como pôde ser observado nas Figuras 4.4, 4.5 e 4.7 (para o estágio de entrada) e nas Figuras 4.17 e 4.18 (para o estágio de saída). Isso leva o OpAmp a falhar durante essa janela, e por isso a diminuição do ganho de malha aberta. Após a região de inatividade, da amostra 4 em diante, o amplificador volta a ter valores de ganho semelhantes ao da condição nominal, sendo que no marcador 5, o valor já supera ao da situação pré-radiação. Na amostra 6, o OpAmp da configuração PMOS-DA tem seu valor de corrente de polarização no valor mínimo antes de falhar, e nesse momento o ganho DC apresenta seu valor máximo $A_V \approx 1300$, pois o ganho DC é inversamente proporcional a corrente (I_{SS}). Esse resultado do ganho de malha aberta se mostra superior ao da situação nominal, como pode ser notado comparando as amostras 6 e 1 da Figura 5.9. Após o marcador 6, o OpAmp PMOS-DA deixa de funcionar adequadamente, e desse momento em diante o ganho DC diminui subitamente até chegar a zero.

Na seção 5.1, foi mencionado que o ganho DC de OpAmp estudado em um trabalho relacionado (HUANG et al., 2004), sofreu alterações com um padrão semelhante ao da configuração NMOS-DA, isso pode ser explicado pelo fato do ganho DC ser inversamente proporcional as correntes de *dreno* nos transistores de cada estágio de ganho. No caso do amplificador de (HUANG et al., 2004), que exibe três estágios de ganho, sendo um deles com transistores PMOS e dois com NMOS, essa situação pode dar pistas desse comportamento, pois não se sabe ao certo as dimensões W/L de cada transistor do amplificador analisado em (HUANG et al., 2004). Ainda assim, pelo fato da diminuição do parâmetro V_{thN} ser bem maior do que a do transistor PMOS (observar região do marcador 3 da Figura 5.5(B) para os dois tipos de transistor) isso sugere que a corrente de *dreno* no transistor NMOS será maior, fazendo com que o ganho DC diminua inicialmente. Quando o V_{thN} começa a aumentar novamente (após o marcador 3) ocorre a recuperação do ganho DC, conforme pode ser observado nas Figuras 5.6 e 5.9.

Ao final desse conjunto de simulações para determinar o comportamento do ganho DC, pôde ser percebido que em doses acumuladas elevadas, tanto a configuração

NMOS-DA quanto a PMOS-DA, revelam a mesma capacidade de aumentar o ganho de malha aberta em relação à situação nominal quando estão próximos de falhar definitivamente. Esse comportamento está em acordo com o que sugere a Tabela 3.4. Outra situação relevante é que, mesmo com arquiteturas mais complexas de OpAmp, as considerações da resposta em frequência podem ser estendidas, pelo fato dessas arquiteturas utilizarem os blocos básicos em sua constituição.

5.4 Influência da frequência de entrada e do esquema de realimentação na robustez dos OpAmps

A influência da frequência de entrada e da configuração dos valores dos componentes externos ao OpAmp também foram brevemente investigadas. Para isso, três configurações diferentes foram consideradas para o circuito da Figura 5.1. Para essas três situações foram realizadas simulações transientes e os resultados do sinal de saída serão apresentados para três intervalos bem definidos, denominados de antes (27 amostras sobrepostas entre os marcadores 1 e 2), durante a janela de inatividade parcial (36 amostras sobrepostas entre os marcadores 2 e 4) e depois da recuperação (26 amostras sobrepostas entre os marcadores 4 e 6). O total de curvas sobrepostas ficou em 89.

A primeira configuração, tem $R1=100K\Omega$ e $R2=100K\Omega$, com tom senoidal de frequência igual a 10KHz e amplitude de 1V como sinal de entrada. Essa configuração apresenta ganho de malha fechada unitário e uma frequência de entrada posicionada em uma região onde os OpAmps conseguem fornecer alto ganho. Por isso, essa situação será utilizada para as comparações. A Figura 5.10 apresenta a resposta do sinal de saída para as duas topologias de OpAmps. Como pode ser notado através dessa figura, somente a topologia PMOS-DA falha dentro da janela de inatividade, e os motivos já foram detalhados no capítulo 4 para o estágio de entrada e saída. Após a janela de inatividade (intervalo entre os marcadores 4 e 6), a configuração PMOS-DA recupera sua funcionalidade e a distorção das 26 amostras do sinal sobreposto é praticamente nula, como pode ser percebido na Figura 5.10. O mesmo ocorre na topologia NMOS-DA durante os três intervalos observados, onde não é possível notar diferenças no sinal

sobreposto. Essa figura ajuda a entender o efeito da janela de inatividade no sinal processado pelo OpAmp. Pois, é possível observar que o sinal obtido da saída do OpAmp PMOS-DA, na região de inatividade, apresenta primeiramente degradação da amplitude, logo em seguida, distorção do sinal até que o OpAmp falhe completamente quando a saída se encontra próxima a $-2V$.

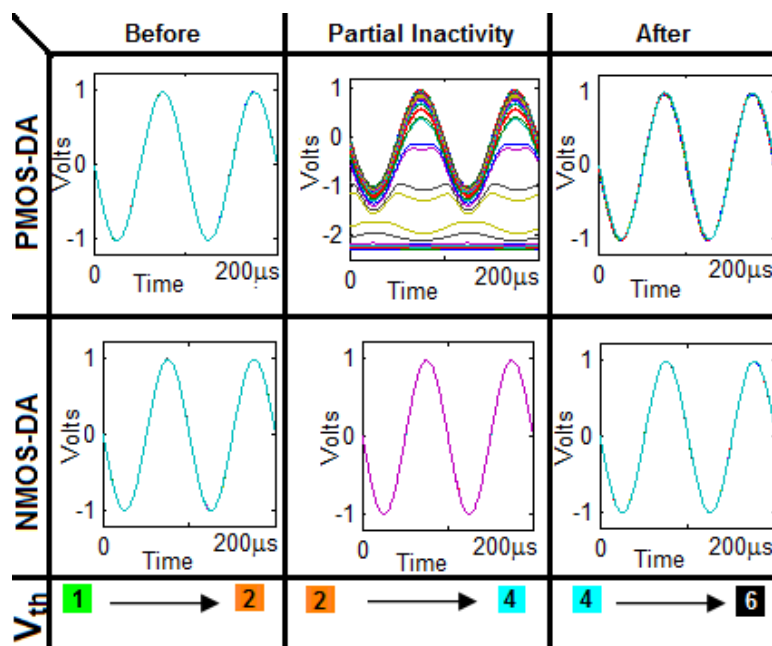


Figura 5.10: Resposta transiente dos OpAmp com ganho de malha fechada unitário e frequência de entrada igual a 10KHz.

Já a segunda configuração, identificará o comportamento do circuito quando na entrada for aplicado um sinal de frequência mais alta, para isso também foi utilizado $R1=100K\Omega$ e $R2=100K\Omega$, porém a frequência de entrada aplicada tem 1MHz com amplitude de 1V, essa é aproximadamente a frequência onde os OpAmps apresentam ganho unitário, conforme pode ser notado na Figura 5.4 (amostra 1). Na Figura 5.11 são apresentadas as 89 curvas sobrepostas, nas três regiões, para os dois OpAmps. Novamente a arquitetura PMOS-DA perde sua funcionalidade durante a janela de inatividade parcial, conforme aconteceu para a configuração anterior. A recuperação também ocorreu após a região de inatividade, porém por pouco tempo, pois rapidamente já é possível observar que o OpAmp PMOS-DA tem uma distorção acentuada do sinal de saída falhando definitivamente. Mesmo antes da janela de inatividade, já era possível notar uma distorção no semiciclo positivo do sinal de saída da configuração PMOS-DA.

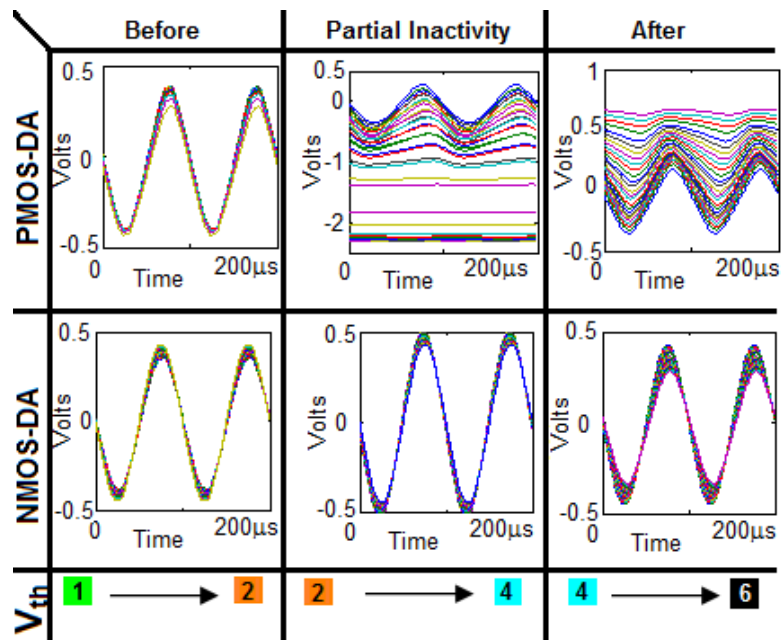


Figura 5.11: Resposta transiente dos OpAmps com ganho unitário e frequência de entrada igual a 1MHz.

A configuração NMOS-DA se mantém funcional durante todo o intervalo analisado, entretanto, é possível perceber que, em relação a configuração da Figura 5.10, a distorção do sinal de saída é bem maior em cada uma das três regiões observadas. Durante a janela de inatividade, é possível notar que o sinal de saída tem amplitude ligeiramente superior ao que tinha no intervalo entre os marcadores 1 e 2 (antes da janela de inatividade), como pode ser inferido da Figura 5.11. Esse melhor desempenho pode ser explicado, pelo fato da configuração NMOS-DA melhorar seu GB na região de inatividade, como pode ser observado da Figura 5.4 (amostra 3). Ainda assim, em frequências mais altas, o OpAmp tende a ser mais susceptível a efeitos da radiação.

Finalmente, a terceira configuração do circuito da Figura 5.1 tem $R1=5K\Omega$ e $R2=100K\Omega$, ou seja, ganho de malha fechada igual a 20. A frequência de entrada escolhida para essa configuração tem 10KHz, com 100mV de amplitude. Através dessa estratégia será investigada a influência do esquema de realimentação (ganho de malha fechada) na robustez do OpAmp. Na Figura 5.12 estão os resultados das simulações, onde é possível observar que, para a topologia PMOS-DA, ocorre a falha do bloco na janela de inatividade com a posterior recuperação entre os marcadores 4 e 6. No

entanto, quando a dose acumulada se aproxima do marcador 6, é possível notar que o sinal de saída apresenta distorção, indicando que o OpAmp está tendendo a falhar. Esse comportamento não era perceptível na Figura 5.10 nessa mesma região. Na topologia NMOS-DA, os resultados foram semelhantes ao da Figura 5.10 nas três regiões observadas.

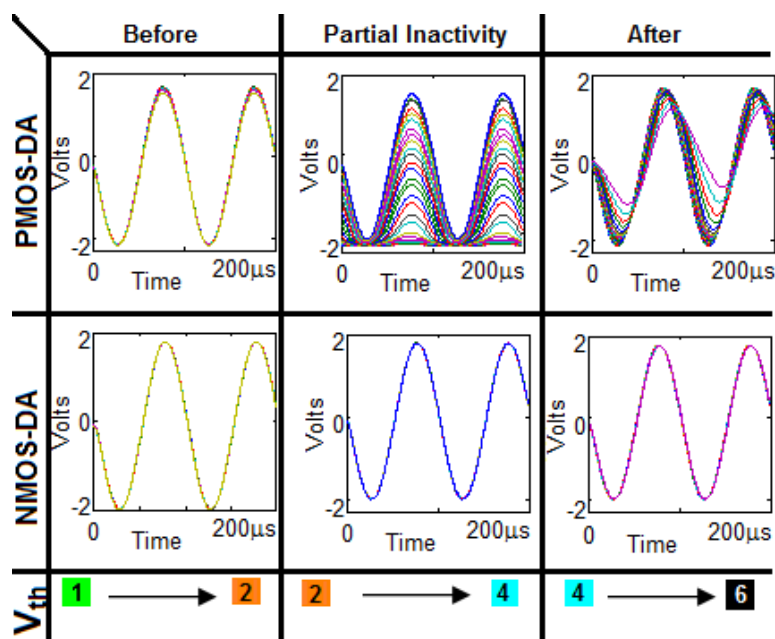


Figura 5.12: Resposta transiente dos OpAmps com ganho de malha fechada igual a 20 e frequência de entrada com 10KHz.

Como conclusão dos três esquemas de circuitos simulados da Figura 5.1, em frequências mais altas o OpAmp se torna mais sensível aos efeitos da radiação, sobretudo na topologia PMOS-DA. Ganhos de malha fechada mais altos, também podem ajudar o amplificador operacional PMOS-DA a ficar menos robusto a TID. Isso ocorre devido ao sinal presente na entrada inversora do amplificador (V_- pela Figura 5.1) ter uma amplitude maior quando o OpAmp opera em frequências ou ganhos mais altos, conforme pode ser inferido da Figura 5.13. O que ocorre de fato é que nas frequências mais altas, a capacitância de compensação atua de forma mais significativa, reduzindo o ganho de malha aberta (A_{V_o}). Se o ganho de malha aberta diminuir, o OpAmp deixa de ter um comportamento como o do modelo ideal, ou seja, curto circuito virtual entre as entradas V_- e V_+ . Nessa situação, o curto circuito virtual passa a dar lugar a uma tensão diferencial não nula, que será tão maior quanto menor for o ganho de

malha aberta. Essa “compensação” ocorre, pois, $V_{out} = A_{vo}(V_+ - V_-)$ é válida também para malha fechada. Por isso, na situação em que o ganho de malha aberta diminui (em altas frequências) a tensão diferencial necessita aumentar para manter a relação de V_{out} verdadeira. Isso ocorre, pois as capacitâncias armazenadas nos nós do circuito aumentam. Conseqüentemente, esse sinal tem maior possibilidade de atingir as regiões de não linearidade, principalmente do amplificador diferencial de entrada. Em outras palavras essa maior tensão na entrada pode fazer o amplificador operar na saturação, ou seja, a saída limitada a V_{SS} ou V_{DD} . Como o amplificador diferencial da entrada do OpAmp NMOS-DA opera com folga em relação as regiões não lineares, esse problema não ocorre para essa topologia.

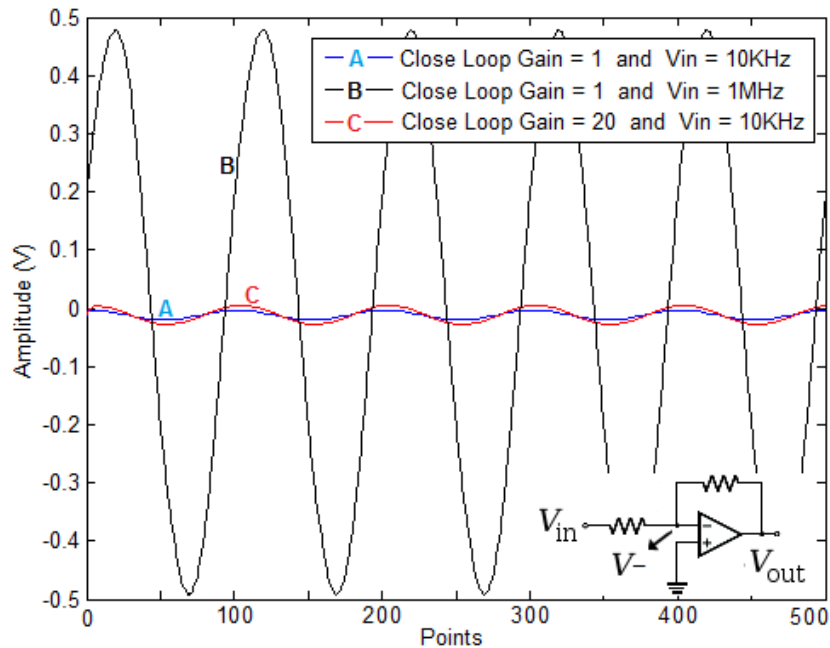


Figura 5.13: Sinal presente na entrada inversora do OpAmp (V_- pela Figura 5.1) considerando apenas a configuração PMOS-DA.

5.5 Análise da THD

A *Total Harmonic Distortion* (THD) foi outro parâmetro monitorado através das simulações. As duas topologias de OpAmp foram observadas colocando como sinal de entrada, um tom senoidal de 10KHz e amplitude de 1V, com ganho de malha fechada igual a 1. A configuração de realimentação é como o da Figura 5.1.

Para a abordagem NMOS-DA, nenhuma alteração significativa na THD foi observada até desvios de V_{th} próximas ao marcador 7, conforme pode ser observado na Figura 5.14. Isso pode ser compreendido, já que essa configuração não perde a sua funcionalidade dentro da região de potencial janela de inatividade, fato que pode ser notado nas respostas no domínio tempo das curvas superpostas da Figura 5.10. Na região além do marcador 7, o OpAmp NMOS-DA não apresenta mais funcionamento adequado.

Já no comportamento da configuração PMOS-DA, é possível observar que a THD aumenta na região entre os marcadores 2 e 4. Nessa localização, essa configuração não é funcional, e por isso o aumento da THD. Em doses entre os marcadores 4 e 5 o OpAmp recupera seu funcionamento adequado, porém no marcador 6 ele deixa de funcionar definitivamente.

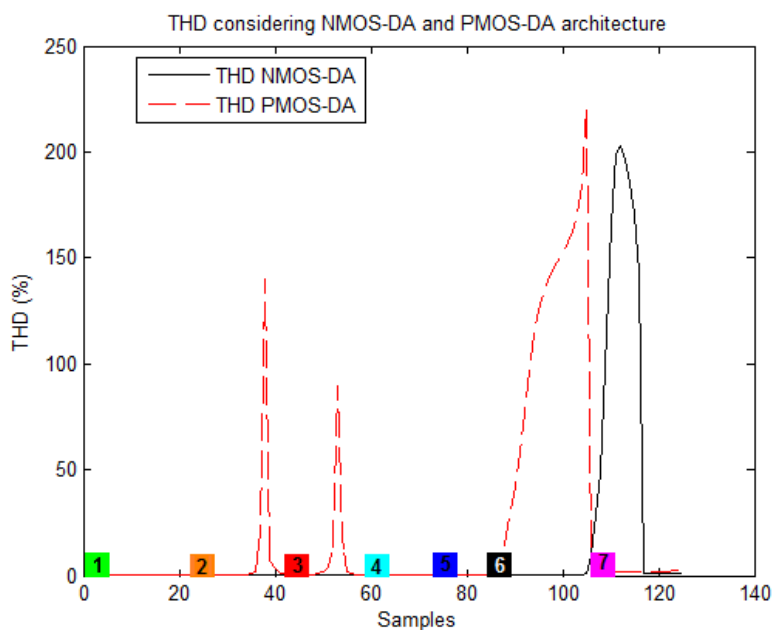


Figura 5.14: THD para as duas abordagens de OpAmp, considerando 100 harmônicas.

A melhora da THD para índices semelhantes ao da situação nominal de V_{th} , entre os marcadores 4 e 6, evidência a capacidade do OpAmp PMOS-DA de se recuperar da região de inatividade. Esse comportamento foi reportado em nosso trabalho prévio de irradiação (BALEN et al., 2011), conforme pode ser observado na Figura 5.15, onde a seta indica a melhora da THD. O FPAA irradiado utiliza em sua estrutura interna OpAmps. Porém, em virtude da proteção adotada pelo fabricante, não se tem informação sobre a arquitetura do OpAmp (NMOS-DA ou PMOS-DA). Mesmo assim,

admitindo que o OpAmp seja o principal responsável pelo comportamento observado no experimento, possivelmente esse dispositivo tenha OpAmps PMOS-DA.

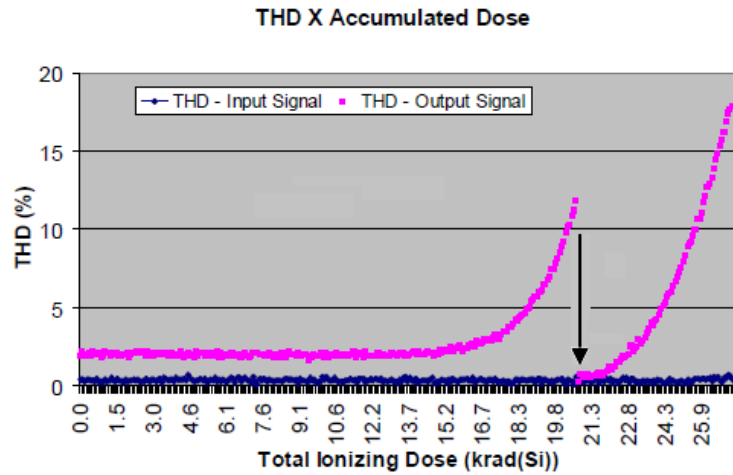


Figura 5.15: THD de um filtro analógico configurado em FPAA. Figura adaptada de (BALEN et al., 2011).

Alterações na THD também foram retratados nos experimentos de irradiação em (TURFLINGER et al., 1996; GUNASEELAN et al, 2003; GUCKENBERGER & HIEMSTRA, 2001), porém com variações não tão conclusivas.

6 CONCLUSÃO

Este trabalho apresenta o estudo dos efeitos da radiação em duas configurações básicas de amplificadores operacionais. Considerando que transistores NMOS e PMOS exibem comportamentos diferentes quando são submetidos à radiação ionizante, duas arquiteturas complementares de amplificadores foram adotadas como estudo de caso para investigar qual teria maior capacidade de se manter funcional mesmo para condições bastante severas de dose acumulada. Para ter um melhor entendimento do funcionamento do amplificador completo sob efeitos da radiação, o circuito OpAmp foi dividido em duas partes básicas, a primeira denominada de estágio de entrada (composta por um par diferencial com carga ativa) e a segunda nomeada de estágio de saída (utilizando transistor na configuração amplificadora em *fonte comum*).

No capítulo inicial foi feita uma revisão teórica onde são apontados os principais parâmetros dos transistores MOS que são afetados pela radiação, dando ênfase para o V_{th} (*Threshold voltage*). Algumas considerações foram feitas sobre os desvios no V_{th} para diferentes dimensões de W e L dos dispositivos. Rapidamente, nesse capítulo também foi mostrada a evolução de desempenho desses transistores com o *scaling* da tecnologia. Nesse contexto, baseado em trabalhos encontrados na literatura foi delimitado o padrão de comportamento utilizado nas simulações realizadas nesse estudo para os transistores NMOS e PMOS. Levando em consideração as diferenças de tempos e mecanismos de aprisionamentos de cargas nos óxidos das estruturas MOS, o transistor NMOS pode apresentar, durante um intervalo de dose acumulada, uma região conhecida na literatura como janela de inatividade. Nesse intervalo de dose, o transistor NMOS pode exibir, para o V_{th} , valores negativos. Por isso, esse padrão de comportamento, com a região de inatividade, foi levada em consideração para realizar as simulações desse trabalho, permitindo investigar se durante essa região algum bloco que compõe o

OpAmp, ou mesmo o amplificador operacional completo perde a sua funcionalidade dentro da referida janela.

Baseado no conjunto de simulações realizadas, que monitoraram entre outros parâmetros de desempenho, ganho de pequenos sinais do estágio de entrada, resposta DC do estágio de saída, *offset* de saída do OpAmp completo, corrente de polarização do par diferencial de entrada, THD, resposta em frequência, efeito do ganho de malha fechada configurado externamente. Pôde ser observado, no capítulo 4, que a configuração NMOS-DA (que utiliza par diferencial de entrada com transistores NMOS), se mostra mais confiável do que a topologia PMOS-DA (que utiliza como estágio de entrada par diferencial PMOS). Essa diferença de robustez fica evidente dentro da janela de inatividade considerada, tanto para os blocos básicos avaliados, ou seja, estágio de entrada e de saída, quanto para o OpAmp completo.

No caso, do estágio de entrada da configuração PMOS-DA, a explicação para a perda de funcionalidade do bloco dentro da referida janela, se dá em virtude do deslocamento do ponto de operação na direção de regiões não lineares do amplificador diferencial de entrada, conforme foi retratado na seção 4.1.1 do capítulo 4. Algo semelhante ocorre para o estágio de saída dessa arquitetura, onde pôde ser observado no item 4.2 que o PO do bloco foi deslocado na direção da saturação negativa. Esses desvios no ponto de operação de cada bloco contribuíram diretamente no funcionamento do OpAmp completo, conforme pôde ser notado no estudo realizado no capítulo 5 para o *offset* de saída, ganho DC, resposta em frequência e THD.

Em relação à degradação de certos parâmetros de desempenho, como a resposta em frequência e o produto ganho x largura de banda (GB), foi observado no item 5.1 do capítulo 5 que a configuração NMOS-DA também se mostrou mais estável, pelo fato da corrente de polarização (I_{SS}) do par diferencial manter valores mais altos para essa topologia em “doses mais elevadas de radiação” (simulações com desvios de V_{th} mais agressivos).

A configuração PMOS-DA exibiu o efeito da inatividade parcial, na região onde os transistores NMOS apresentavam valores negativos para o V_{th} . Essa configuração também mostrou a capacidade de readquirir sua funcionalidade após essa região crítica, estando de acordo com o nosso trabalho experimental prévio, onde foi irradiado um dispositivo analógico programável (FPAA).

Simulações transientes mostraram que a frequência do sinal de entrada e o ganho de malha fechada configurado, podem afetar o desempenho do circuito OpAmp, conforme foi comentado na seção 5.4. O *offset* sistêmico/randômico do estágio de entrada é outro fator que pode afetar o desempenho do OpAmp, podendo contribuir tanto de forma positiva quanto negativa, conforme foi retratado nas simulações Monte Carlo desenvolvidas no item 4.1.4.

Apesar de terem sido adotadas configurações simples de amplificador operacional como estudos de caso, os resultados obtidos poderão ser úteis para o estudo de arquiteturas mais complexas de OpAmps, se for considerado o mesmo padrão de comportamento para os transistores NMOS e PMOS relacionado á variação de V_{th} em função da dose acumulada adotados nas simulações dessa dissertação. Isto é válido, pois os blocos básicos estudados nesse trabalho (ou derivados destes) são muitas vezes utilizados nessas topologias mais complexas.

Como possibilidade de trabalhos futuros, admitindo que se conheça a tendência de comportamento do parâmetro V_{th} dos transistores NMOS e PMOS quando são submetidos à radiação, seria possível criar um modelo para estimar o quanto o circuito OpAmp será afetado pelo acúmulo de dose total, ou mesmo, determinar até qual dose o circuito poderia ser considerado tolerante a radiação. O ponto de partida para chegar a esses resultados, admitindo uma determinada arquitetura de OpAmp, seria determinar o ponto de operação dos blocos básicos e a distância que eles se encontram das regiões não lineares dos estágios de ganho, permitindo que baseado nos desvios de V_{thN} e V_{thP} pudesse ser estimado se essas regiões seriam atingidas ou não. Além disso, poderia ser possível encontrar uma relação que mostrasse, que os projetos que priorizam um determinado parâmetro de desempenho, podem ser mais tolerantes a radiação em função do posicionamento natural do PO em zonas mais afastadas das regiões não lineares. Essa ferramenta também poderia ser adaptada e utilizada para os diversos nós tecnológicos, assim como diferentes arquiteturas de OpAmp. Ao final disso, diversos experimentos práticos de irradiação poderiam ser desenvolvidos para validar o modelo/ferramenta.

Os trabalhos futuros também poderiam seguir por outra frente. Logo, essas duas arquiteturas de OpAmp poderiam ser desenhadas nas ferramentas de CAD de layout de circuitos, para que fosse possível extrair os parâmetros SPICE do layout e através

desses dados realizar novamente as simulações considerando os mesmos desvios de V_{th} adotado nas simulações iniciais, com o objetivo de comparar os resultados. Paralelo a isso, os dois amplificadores operacionais poderiam ser fabricados e testados em experimentos práticos de irradiação, contribuindo para que considerações mais realistas possam ser feitas.

Uma terceira frente para trabalhos futuros seria desenvolver uma arquitetura de OpAmp que conseguisse manter o ponto de operação estável, ou uma estratégia para compensar os desvios de V_{th} , sobretudo para a configuração que utiliza como estágio de entrada transistores PMOS. Dessa forma, possibilitaria sua utilização em diferentes configurações de realimentação, diferentes frequências de entrada e garantindo o funcionamento adequado desse importante circuito para o projeto analógico em ambientes com radiação ionizante.

REFERÊNCIAS

AEB - Agencia Espacial Brasileira - Disponível em: http://www.aeb.gov.br/indexx.php?secao=cooperacao_internacional. Acesso em: 23 mai. 2012.

ALLEN, P.; HOLBERG, D. **CMOS analog circuit design**. New York: Holt-Rinehart and Winston, 1987.

ALLEN - Website - Disponível em: [http://www.aicdesign.org/SCNOTES/2006notes/Chap06\(6_24_06\).pdf](http://www.aicdesign.org/SCNOTES/2006notes/Chap06(6_24_06).pdf) Acesso em: 26 mai. 2012.

BALEN, T. R. **Efeitos da radiação em dispositivos analógicos programáveis (FPAA) e técnicas de proteção**. 210 p. Tese (Doutorado em Engenharia Elétrica) - Programa de Pós-Graduação em Engenharia Elétrica. Universidade Federal do Rio Grande do Sul, Porto Alegre, 2010.

BALEN, T. R.; VAZ, R.G.; CARDOSO, G. S.; GONÇALEZ, O. L.; LUBASZEWSKI, M.S.; TID in a Switched-Capacitor FPAA: Degradation and Partial Inactivity Windows due to Compensating Effects in MOS Transistors, **IEEE Trans. Nuclear Science**, Vol. 58, N. 5, 2011.

BARBARA, N.V; SCHRIMPF, R.D.; FERWIN, W.J. Ionizing-radiation-induced degradation in electronic power amplifier **Industry Applications Society Annual Meeting, 1990., IEEE Conference Record of the 1990** V. 2 p. 1667-1672. 1990.

BARNABY, H.J. Total-ionizing-dose effects in modern CMOS Technologies, **IEEE Transactions on Nuclear Science**. New York. V. 53, n. 6, p. 3103-3121. Dec. 2006.

BAZE, M. P.; BUCHNER, S. P. Attenuation of single event induced pulses in CMOS combinational logic. **IEEE Transactions on Nuclear Science**, Snowmass Village, v. 44, n. 6, p. 2217-2223, Dec. 1997.

BOESCH, H. E.; McLEAN, F. B. Hole transport and trapping in field oxides. **IEEE Transactions on nuclear Science**, [S. l.], v. NS-32, n. 6, p. 3940-3945, Dec. 1985.

BOGORAD, A.L.; LIKAR, J.J.; MOYER, S.K.; DITZLER, A.J.; DOORLEY, G.P.; HERSCHITZ, R.; Total Ionizing Dose and Dose Rate Effects in Candidate Spacecraft Electronic Devices. **IEEE Radiation Effects Data Workshop**. p. 124-130, 2008.

BOLEY, W.R.; Compendia of TID and Neutron Radiation Test Results of Selected COTS Parts. **IEEE Radiation Effects Data Workshop**. p. 142-147. 2008.

BOUDENOT, J. C. Radiation space environment. In: VELAZCO, R.; FOUILLAT, P.; REIS, R. (Ed.). **Radiation effects on embedded systems**. Dordrecht: Springer, 2007. p. 1-9.

DJEZZAR, B.; SMATTI, A.; AMROUCHE, A.; KECHOUANE, M.; Channel-length impact on radiation-induced threshold-voltage shift in N-MOSFET devices at low gamma ray radiation doses. **IEEE Transactions on Nuclear Science** v.47 p. 1872-1878, 2000.

ECOFFET, R. In-flight anomalies on electronic devices. In: VELAZCO, R.; FOUILLAT, P.; REIS, R. (Ed.). In: **Radiation effects on embedded systems**. Dordrecht: Springer, 2007. p. 31-68.

FRANCO, F. J. et al. Evolution of lowest supply voltage and hysteresis phenomena in irradiated analog CMOS switches. In: IEEE RADIATION EFFECTS DATA WORKSHOP, 2004, [S. l.]. **Proceedings...** Atlanta: IEEE, 2004. p. 91-95.

FRANCO, F. J.; ZONG, Y.; AGAPITO, J. A. Inactivity windows in irradiated CMOS analog switches. **IEEE Transactions on Nuclear Science**, Snowmass Village, v. 53, n. 4, p. 1923-1930, Aug. 2006.

GINGRICH, D. M. et al. Radiation tolerant ASIC for controlling switched-capacitor arrays. **Nuclear Science Symposium Conference Record**, [S. l.: S. n.], v. 1, p. 182-186, Oct. 2003.

GROMOV, Vladimir et al. A radiation hard bandgap reference circuit in a standard 0.13 μm CMOS Technology. **IEEE Transactions on Nuclear Science**, New York, V. 54, n.6, p. 2727 -2733, Dec. 2007.

GUCKENBERGER,D.; HIEMSTRA,D.M. Simultaneous cryogenic temperature (77K) and total dose ionizing radiation effects on COTS amplifiers, **IEEE Radiation effects Data Workshop**, pp. 14-18, 2001.

GUENZER. C. S.; WOLICKI, E. A.; ALLAS, R. G. Single event upset of dynamic RAMs by neutrons and protons. **IEEE Transactions on Nuclear Science**, Snowmass Village, v. 26, n. 6, p. 5048-5052, Dec. 1979.

GUNASEELAN,S.T.; SELVAKUMAR,C.R.; HIEMSTRA,D. Radiation effects and annealing behaviour of operational amplifiers for space application **Canadian Conference on Electrical and Computer Engineering, 2003. IEEE CCECE 2003**. V.1 p. 303-306. 2003.

HEYNDERICKX, D. et al. Calculating low-altitude trapped particles fluxes with the NASA models AP-8 and AE-8. **Radiation Measurements**, Amsterdam: Elsevier, v. 26, n. 6, p. 947-952, Nov. 1996.

HIEMSTRA, D.M. High total dose performance of various commercial off the shelf operational amplifiers during irradiation, **IEEE Radiation Effects Data Workshop**, pp. 32-38, 2000.

HUANG, X.; FRANCIS, A.M.; LOSTETTER, A.B.; MANTOOTH, H.A. Compact modeling of environmentally induced radiation effects on electrical devices. **IEEE Aerospace Conference Proceedings**. v. 4 , p. 2597 – 2607. 2004.

INTEL – **Intel Corporation Website** - Disponível em: http://download.intel.com/technology/silicon/Neikei_Presentation_2009_Tahir_Ghani.pdf. Acesso em 10 out. 2010a.

INTEL – **Intel Corporation Website** - Disponível em: ftp://download.intel.com/technology/silicon/Chau_Semicon_Shanghai_Mar-2009.pdf. Acesso em: 10 out. 2010b.

INTEL – **Intel Corporation Website** - Disponível em: http://download.intel.com/technology/architecture-silicon/ISSCC_09_plenary_bohr_presentation.pdf. Acesso em: 10 out. 2010c.

INTEL – **Intel Corporation Website** - Disponível em: http://maltiel-consulting.com/Silicon_Technology-intel_32nm_Microprocessor_System-on-Chip_SOC.pdf acesso em: 29 fev. 2012

JOHNSTON, A.H.; LEE, C.I.; RAX, B.G.; SHAW,D.C.; Using commercial semiconductor technologies in space, **Radiation and its Effects on Components and Systems – RADECS** -, pp 175-182, 1995.

LACOE, R. C. et al. Total-dose radiation tolerance of a commercial 0.35 μ m CMOS process, In: **IEEE Radiation Effects Data Workshop** , Newport Beach. **Proceedings** ... p. 104 – 110. 1998.

LEE, C.I.; JOHNSTON, A.H.; Comparison of total dose effects on micropower op-amps: bipolar and CMOS. **IEEE Radiation Effects Data Workshop, 1998**. p. 132-136. 1998.

LIMA, Kátia Goretti de. **Estruturas APS Resistentes à Radiação para Aplicações Espaciais**. 2006. 105p Dissertação (Mestrado) – Universidade Federal do Rio de Janeiro, Rio de Janeiro - RJ.

MANGHISONI, M.; RATTI, L.; RE, V.; SPEZIALI, V.; TRAVERSI, G.; CANDELORI, A.; Comparison of ionizing radiation effects in 0.18 and 0.25 μ m CMOS technologies for analog applications, **IEEE Transaction on Nuclear Science**, vol. 50, No. 6, pp. 1827-1833, 2003.

McDONALD, F. B. Cosmic-ray modulation in the heliosphere: a phenomenological study. **Space Science Reviews**. Dordrecht: Springer, v. 83, n. 1-2, p. 33-50, Jan. 1998.

MESSENGER, G. C. A summary review of displacement damage from high energy radiation in silicon semiconductors and semiconductors devices. **IEEE Transactions on Nuclear Science**, [S. l.], n. 3, v. 39, p. 468-473, June 1992.

MOORE, G. E. Cramming more components onto integrated circuits. **Electronics Magazine**, [S. l.], v. 38, n. 8, p. 114-117, Apr. 1965.

NEMMANI, A. N. **Design Techniques for Radiation Hardened Phase-Locked Loops**. 131p Dissertação (Mestrado – Oregon State University). 2005.

O'GORMAN, T. J. The effect of cosmic rays on the soft errors of a DRAM at ground level. **IEEE Transactions on Electron Devices**, [S. l.], v. 41, n. 4, p. 533-557, Apr. 1994.

OSBORN, J.V.; LACOE, R.C.; MAYER, D.C.; YABIKU, G.. Total dose hardness of three commercial CMOS microelectronics foundries, **Radiation and its Effects on Components and Systems – RADECS** - pp. 265-270, 1997.

PBM – Plano Brasil Maior - Disponível em: http://www.brasilmaior.mdic.gov.br/publicacao/recursos/arquivos/biblioteca/Apresentacao_PBM_-_port_rev_abril_2012.pdf . Acesso em: 23 mai. 2012.

QUITTARD, O.; JOFFRE, F.; OUDEA, C.; DUSSEAU, L.; FESQUET, J.; GASLOT, J.. Effects of input bias on different commercial technological lines of CMOS inverters with respect to the cumulated dose, **IEEE Transactions on Nuclear Science** p. 137-141, 1998.

RE, V.; MANGHISONI, M.; RATTI, L.; SPEZIALI, V.; TRAVERSI, G.; Total ionizing dose effects on the analog performance of a 0.13 μ m CMOS technology, **IEEE Radiation Effects Data Workshop**, p. 122 – 126, 2005.

SALA DE FÍSICA. Cinturão de Van Allen. Disponível em: <http://geocities.ws/saladefisica5/leituras/vanallen.html> Acesso em: 19 mai. 2012.

SANTOS, U. L.; **Projeto de um amplificador operacional CMOS de dois estágios e simulação elétrica do efeito de dose total**. 71p Dissertação (Mestrado) – Universidade Federal do Rio Grande do Sul, Porto Alegre - RS. 2010.

SEDRA, A. S.; SMITH, K. C. **Microeletrônica**. 5. ed. São Paulo: Pearson Prentice Hall, 2007.

SCHRIMPF, R. D. Radiation Effects in Microelectronics In: Velazco, R; Fouillat, P; Reis, R. (Org). **Radiation Effects on Embedded Systems**. Springer, pp. 11-29, 2007.

SCHWANK, J.R.; SHANEYFELT, M.R.; FLEETWOOD, D.M.; FELIX, J.A.; DODD, P.E.; PAILLET, P.; FERLETCAVROIS, V. Radiation effects in MOS oxides, **IEEE Transaction on Nuclear Science**, Vol.55 N° 4, pp. 1833-1853, August, 2008.

SEXTON, F. W.; SCHWANK, J. R. Correlation of radiation effects in transistors and integrated circuits. **IEEE Transactions on Nuclear Science**, v. 32, n. 6, p. 3975-3981, Dec. 1985.

SEXTON, F. W. et al. Single event gate rupture in thin gate oxides. **IEEE Transactions on Nuclear Science**, Snowmass Village, v. 44, n. 6, p. 2345-2352, Dec. 1997.

SHANEYFELT, M. R. et al. Interface-trap buildup rates in wet and dry oxides. **IEEE Transactions on Nuclear Science**, New Orleans, v. 39, n. 6, p. 2244-2251, Dec. 1992.

SHANEYFELT, M. R. et al. Challenges in hardening technologies using shallow-trench isolation. **IEEE Transactions on Nuclear Science**, Newport Beach, v. 45, n. 6, p. 2584-2592, Dec. 1998.

SHARMA, A.K.; SAHU, K.; BRASHEARS, S.; Total ionizing dose (TID) evaluation results of low dose rate testing for NASA programs. **IEEE Radiation Effects Data Workshop**. p. 13-18, 1996.

SILVA, Vitor Cesar Dias da. **Estruturas CMOS Resistentes à Radiação Utilizando Processos de Fabricação Convencionais**. 200p. Dissertação (Mestrado) – Instituto Militar de Engenharia. Rio de Janeiro: Brasil. 2004.

SPENVIS. **European Space Agency: space environment information system**. Disponível em: <http://www.spennis.oma.be/help/background/traprad/traprad.html#EFFECTS>. Acesso em: 19 mai. 2012.

SROUR, J. R.; MARSHALL, C. J.; MARSHALL, P. W. Review of displacement damage effects in silicon devices. **IEEE Transactions on Nuclear Science**, [S. l.], v. 50, n. 3, p. 653-670, June 2003.

STASSINOPOULOS, E.; RAYMOND, J. The space radiation environment for electronics. **Proceedings of the IEEE**, [S. l.], v. 76, n. 11, p. 1423-1442, Nov. 1988.

TURFLINGER, T. L. et al. Single-event effects in analog and mixed-signal integrated circuits. **IEEE Transactions on Nuclear Science**, [S. l.], v. 43, n. 2, p. 594-602, Apr. 1996.

VELAZCO, R.; FOUILLAT, P.; REIS, R. (Ed.). **Radiation effects on embedded systems**. Dordrecht: Springer, 2007.

VERBEECK, J.; LEROUX, P.; STEYAERT, M.; Radiation effects upon the

mismatch of identically laid out transistor pairs, **IEEE international Conference on Microelectronic Test Structures**, pp- 194-197, 2011.

WANG, F.; AGRAWAL, V. D. Single event upset: an embedded tutorial. In: **IEEE International Conference On VLSI Design Proccedings...**, 21., [S. l.]: [s. n.], p. 429-434. 2008.

WIRTH, G. I.; Notas de aula. **Noise and Aging Effects**. 2010.

ZAFAR, S. et al. Charge trapping in high k gate dielectric stacks. In: **International Electron Devices Meeting (IEDM '02)**, 2002, [S. l.]. **Digest...** [S. l.]: [s. n.], 2002. p. 517-520.

ZUPAC, D. et al. Separation of effects of oxide-trapped charges and interface-trapped charges on mobility in irradiated power MOSFETs. **IEEE Transactions on Nuclear Science**, Snowbird, v. 40, n. 6, p. 1307-1315, Dec. 1993.

APÊNDICE A - ARQUIVOS *SPICE* UTILIZADOS COMO BASE NAS SIMULAÇÕES

Configuração PMOS-DA considerando o OpAmp completo.

```
.include ami_06_nominal.txt

M1 4 in- 3 vdd pmos l=1u w=4u
M2 5 in+ 3 vdd pmos l=1u w=4u
M3 4 4 vss vss nmos l=1u w=1u
M4 5 4 vss vss nmos l=1u w=1u
M5 3 1 vdd vdd pmos l=1u w=2.5u
M6 out 5 vss vss nmos l=1u w=24u
M7 out 1 vdd vdd pmos l=1u w=30u
M8 1 1 vdd vdd pmos l=1u w=2.5u
C1 5 out 4.4pf
Rref 1 vss 335k
R1 sour in- 100k
R2 in- out 100k
c11 out 0 20pf
vin+ in+ 0 0
v4 vdd 0 2.5
v5 vss 0 -2.5
vin- sour 0 SIN(0 1 10k 0 0 0)
.tran 0.5u 500u START = 0
.option post
.print tran I(M5) v(5) v(in-) v(out)
.END
```


Configuração NMOS-DA considerando o OpAmp completo.

```
.include ami_06_nominal.txt

M1 4 in- 3 3 nmos l=1u w=1.5u
M2 5 in+ 3 3 nmos l=1u w=1.5u
M3 4 4 vdd vdd pmos l=1u w=5u
M4 5 4 vdd vdd pmos l=1u w=5u
M5 3 1 vss vss nmos l=1u w=1.5u
M6 out 5 vdd vdd pmos l=1u w=60u
M7 out 1 vss vss nmos l=1u w=9u
M8 1 1 vss vss nmos l=1u w=1.5u
C1 5 out 4.4pf
Rref 1 vdd 352k
R1 sour in- 100k
R2 in- out 100k
CII out 0 20p
vin+ in+ 0 0
v4 vdd 0 2.5
v5 vss 0 -2.5
vin- sour 0 SIN(0 1 10k 0 0 0)
.tran 0.5u 500u START = 0
.option post
.print tran I(M5) v(5) v(in-) v(out)
.END
```

APÊNDICE B - VALORES EXATOS DE V_{THN} E V_{THP} ADOTADOS NAS SIMULAÇÕES

Tabela 1 – Valores de V_{thN} e V_{thP} utilizados nas simulações.

V_{thN}	V_{thP}	Arquivo (Nº amostra)
0.7086	-0.9179952	Nominal*
0.70	-0.918	1
0.69	-0.9182	2
0.68	-0.9184	3
0.67	-0.9186	4
0.66	-0.9188	5
0.65	-0.919	6
0.64	-0.92	7
0.63	-0.925	8
0.62	-0.93	9
0.60	-0.935	10
0.58	-0.94	11
0.56	-0.945	12
0.54	-0.95	13
0.52	-0.955	14
0.49	-0.96	15
0.46	-0.965	16
0.43	-0.97	17
0.40	-0.975	18
0.36	-0.98	19
0.31	-0.985	20
0.26	-0.99	21

0.21	-0.995	22
0.16	-1	23
0.11	-1.005	24
0.06	-1.01	25
0.01	-1.015	26*
-0.04	-1.02	27
-0.09	-1.025	28
-0.13	-1.03	29
-0.16	-1.04	30
-0.19	-1.05	31
-0.22	-1.06	32
-0.25	-1.07	33
-0.28	-1.08	34
-0.31	-1.09	35
-0.34	-1.1	36
-0.37	-1.12	37
-0.4	-1.14	38
-0.42	-1.16	39
-0.44	-1.18	40
-0.46	-1.2	41
-0.48	-1.22	42
-0.49	-1.24	43
-0.5	-1.26	44*
-0.49	-1.28	45
-0.48	-1.3	46
-0.46	-1.32	47
-0.44	-1.34	48
-0.42	-1.36	49
-0.4	-1.38	50
-0.37	-1.4	51
-0.34	-1.43	52
-0.31	-1.46	53
-0.28	-1.49	54

-0.25	-1.52	55
-0.22	-1.55	56
-0.19	-1.58	57
-0.16	-1.61	58
-0.1	-1.64	59
-0.04	-1.67	60
0.01	-1.7	61*
0.06	-1.73	62
0.11	-1.76	63
0.16	-1.79	64
0.21	-1.82	65
0.26	-1.85	66
0.31	-1.88	67
0.36	-1.91	68
0.41	-1.94	69
0.46	-1.97	70
0.51	-2	71
0.56	-2.03	72
0.61	-2.06	73
0.66	-2.09	74
0.71	-2.12	75*
0.76	-2.15	76
0.81	-2.18	77
0.86	-2.21	78
0.91	-2.24	79
0.96	-2.27	80
1.01	-2.3	81
1.06	-2.33	82
1.11	-2.37	83
1.16	-2.4	84
1.21	-2.43	85
1.26	-2.46	86*
1.31	-2.49	87

1.36	-2.52	88
1.41	-2.55	89
1.46	-2.58	90
1.51	-2.61	91
1.56	-2.64	92
1.61	-2.67	93
1.66	-2.7	94
1.71	-2.73	95
1.76	-2.76	96
1.81	-2.79	97
1.86	-2.82	98
1.91	-2.85	99
1.96	-2.88	100
2.01	-2.91	101
2.06	-2.94	102
2.11	-2.97	103
2.16	-3	104
2.21	-3.03	105
2.26	-3.06	106
2.31	-3.09	107
2.36	-3.12	108
2.41	-3.15	109
2.46	-3.18	110*
2.51	-3.21	111
2.56	-3.24	112
2.61	-3.27	113
2.66	-3.3	114
2.71	-3.33	115
2.76	-3.36	116
2.81	-3.39	117
2.86	-3.42	118
2.91	-3.45	119
2.96	-3.48	120

3.01	-3.51	121
3.06	-3.54	122
3.11	-3.57	123
3.16	-3.6	124
* Amostras selecionadas para mostrar alguns resultados das simulações.		

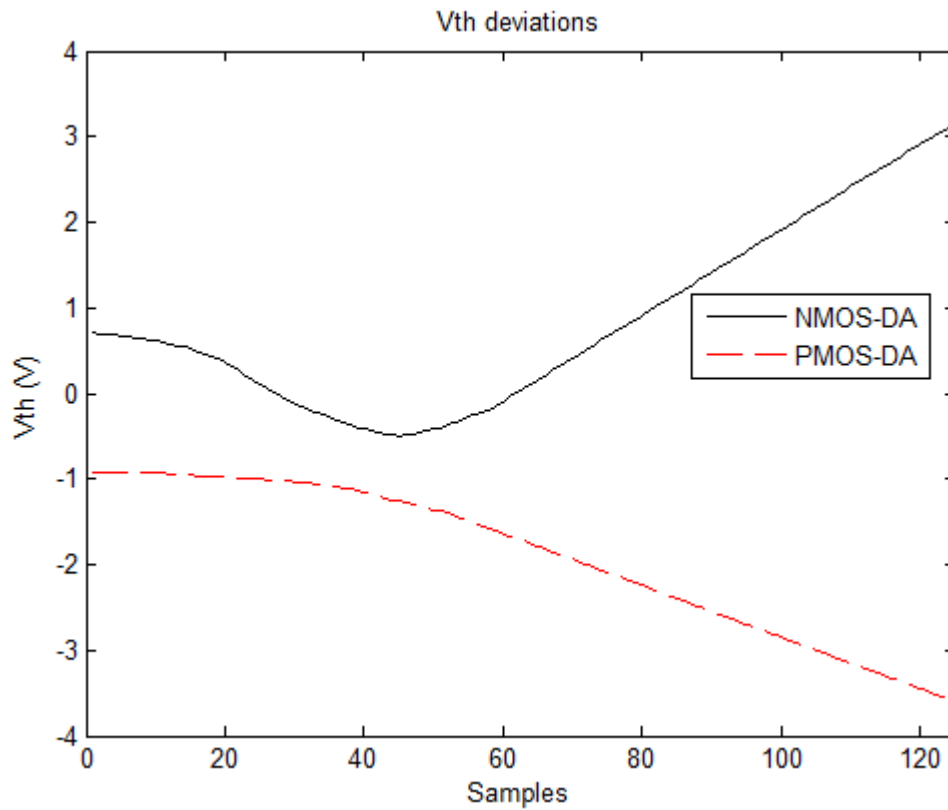


Figura 1: Desvios de V_{th} com os dados da Tabela 1.