

268

ESCALONAMENTO DE TESTES EM UMA REDE INTRA-CHIP PARA TESTE DE SISTEMAS EM SILÍCIO. *Marcelo Ienczszak Erigson, Marcelo Soares Lubaszewski (orient.)* (UFRGS).

Este trabalho consiste na implementação de um escalonador de testes para componentes IP conectados através de uma rede intra-chip implementada em uma topologia do tipo árvore gorda (*fat tree*). O objetivo do escalonador de testes é definir rotas de acesso a cada núcleo conectado à rede de forma que um equipamento de teste externo possa enviar e receber pacotes de teste e testar o maior número de núcleos em paralelo, para reduzir o tempo total de teste do sistema. A topologia *fat tree* é uma árvore onde as folhas são os núcleos e os nodos internos são os roteadores. Cada núcleo está conectado a um roteador de nível 1 através de dois segmentos unidirecionais opostos, de maneira que todos os núcleos possam se comunicar através dos roteadores. Os roteadores de nível 1 têm dois pais, assim como os dos outros níveis. Já os pais sempre terão quatro filhos permitindo que um número reduzido de roteadores tenha acesso a muitos núcleos. Inicialmente, está sendo implementado um algoritmo que simula o algoritmo de roteamento implementado pela rede, de forma que o escalonador possa decidir qual o melhor caminho e qual o melhor momento para se enviar um pacote de teste para cada núcleo conectado à rede. Os resultados para esta topologia de rede intra-chip serão, posteriormente, comparados com os resultados para topologias do tipo *grid*. Dessa forma, será possível avaliar as vantagens e desvantagens de cada topologia em relação aos custos de teste do sistema. (PIBIC).