

115

PROGRAMANDO LUTS VISANDO A TOLERÂNCIA A FALHAS TRANSIENTES. *Eduardo Verruck Acker, Fernanda Gusmao de Lima Kastensmidt (orient.) (UFRGS).*

Os FPGAs mais usados atualmente têm como base um multiplexador no qual os vetores de entrada são pré-programados e os sinais de seleção variam conforme a execução, esta organização é mais conhecida como Look-Up Table (LUT). Este trabalho visa aumentar a confiabilidade dos FPGAs aos single event transient (SETs) através da reorganização dos vetores de entrada dos multiplexadores que compõem o circuito programável. Para isso será avaliada a diferença que a programação dos vetores de entrada dos multiplexadores tem sobre algumas das possíveis topologias utilizadas, isto é, como a programação pode influenciar diferentes organizações com diferentes tipos de transistores. Após uma verificação analítica das possíveis configurações com os diversos vetores de entrada, será feita uma simulação elétrica usando a ferramenta Hspice, com o objetivo de validar as conclusões que foram alcançadas na primeira etapa. No atual estágio do projeto, ainda avaliando os possíveis vetores de entrada, a análise indica que a hipótese inicial irá se confirmar, contudo ainda não é possível afirmar qual será o melhor conjunto de vetores.