

Cristiano W. Araújo, Mateus B. Rutzig e Luigi Carro
 {cwaraujo,mbrutzig,carro}@inf.ufrgs.br

Introdução

Contextualização:

- O aumento da complexidade dos sistemas embarcados está diretamente ligada ao crescimento da densidade de aplicações heterogêneas nestes dispositivos.
- Tais dispositivos necessitam fornecer baixa potência na execução destas aplicações, visto que os mesmos são alimentados por bateria.
- Entretanto, requisitos de desempenho devem ser respeitados.
- Para atender tal demanda foi proposto em [1] uma arquitetura que provê:**
- Eficiência energética

- Alto desempenho
- Adaptabilidade na execução das aplicações heterogêneas
- O alto custo de tempo de simulação da ferramenta desenvolvida anteriormente impossibilitava a estimativa de desempenho e potência das aplicações utilizadas nos dispositivos embarcados atuais. Assim, neste trabalho foi proposto um estimador que prove:**
- Baixo tempo de estimativa de desempenho e potência da arquitetura reconfigurável.
- Aceitáveis taxas de erros na estimativa.

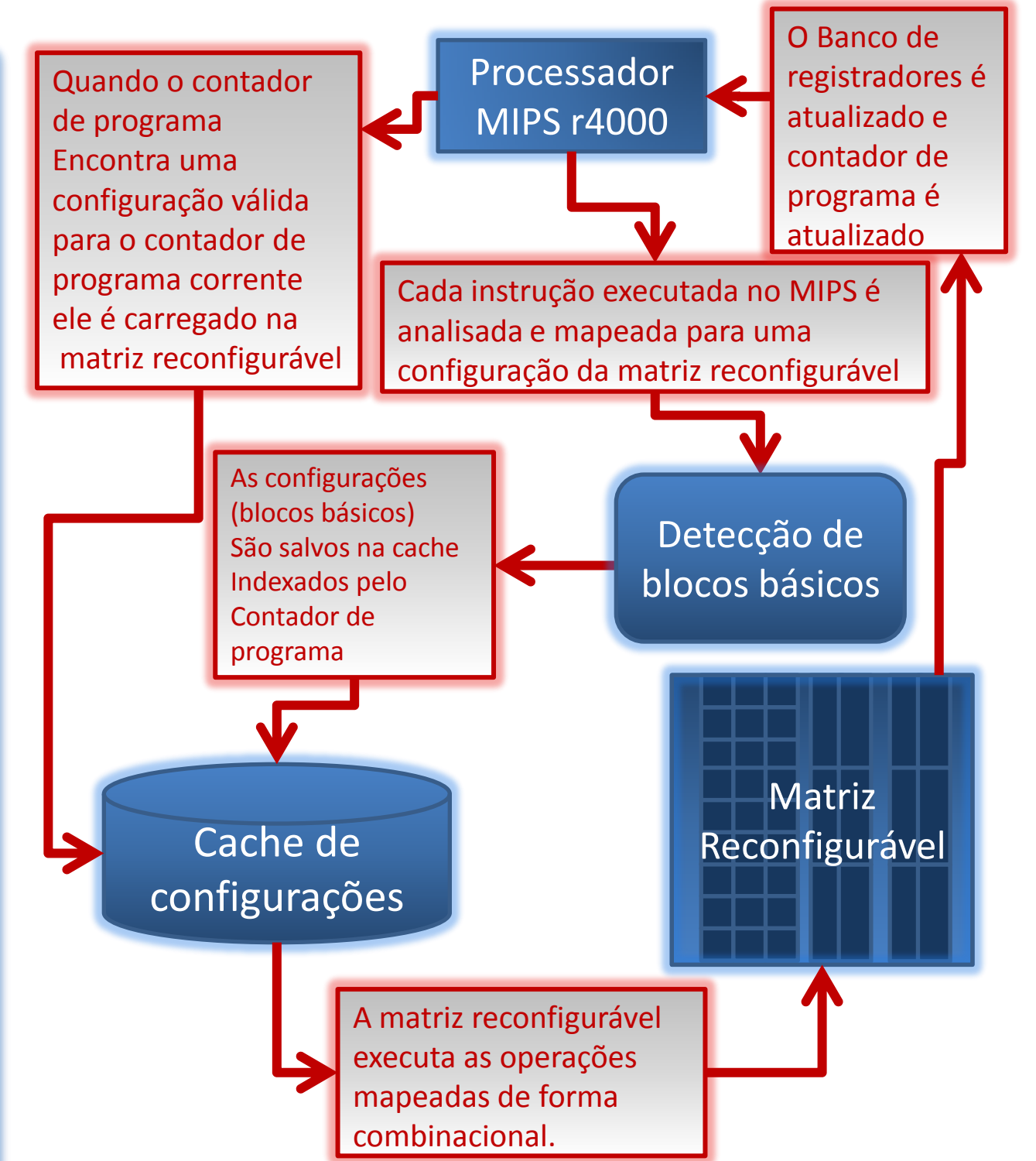
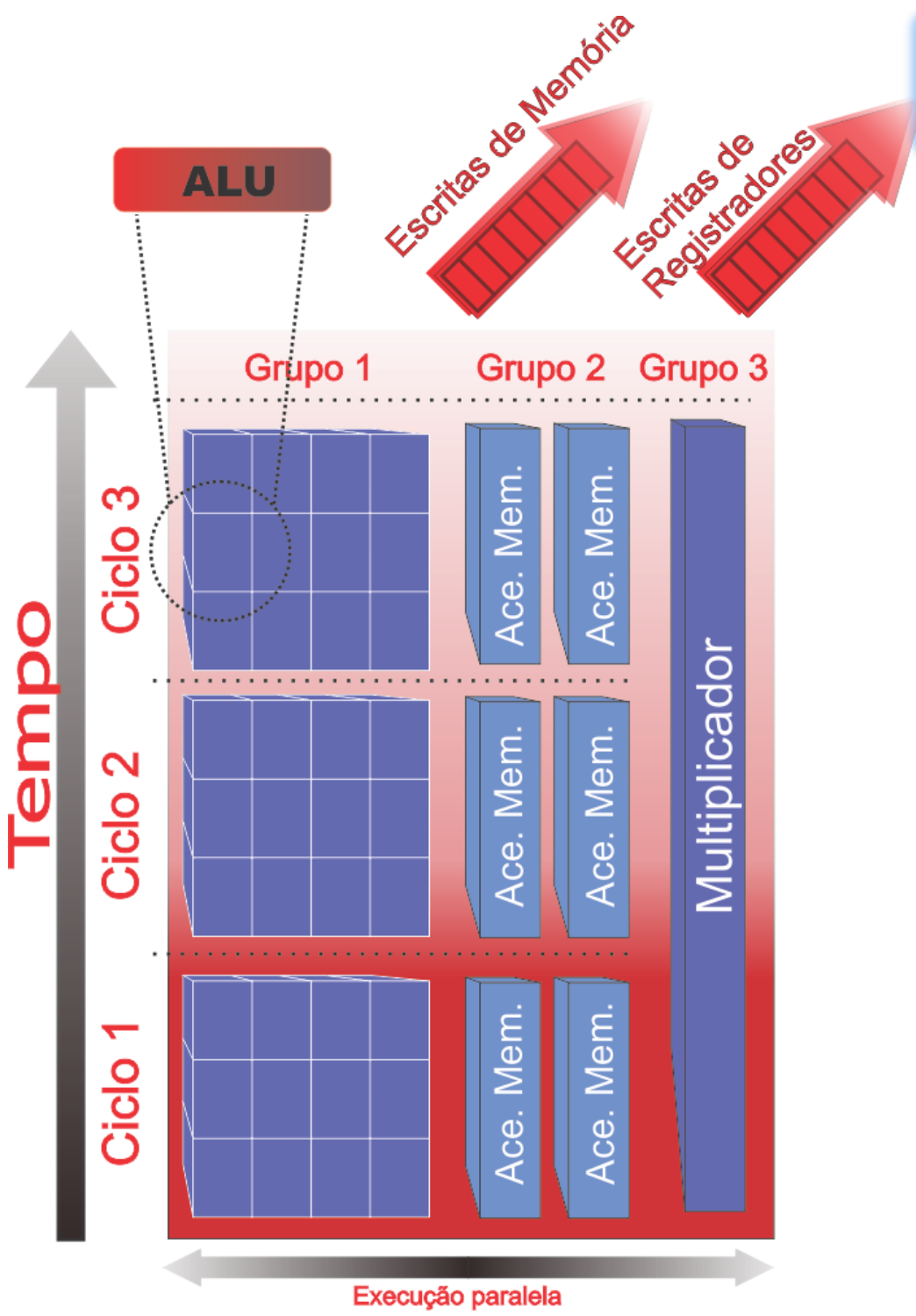
I. Arquitetura Reconfigurável

Características:

- Baseada no conjunto de instruções MIPS.
- Aceleração dinâmica de seqüências de instruções.
- Compatibilidade binária
- Uso de lógica combinacional
- Número de unidades lógicas e aritméticas, acesso à memória e multiplicadores parametrizável

Funcionamento:

- Detecção de seqüências de instruções
- Indexação das seqüências de instruções detectadas pelo contador de programa
- Reconfiguração
- Execução
- Write-back (atualização da memória e dos registradores)
- Divisão em ciclos (possibilidade de executar 3 operações lógicas e aritméticas em um ciclo, uma multiplicação e um acesso à memória por ciclo)



II. Custos de Simulação

- Simulação em níveis de abstração mais baixos são extremamente precisas mas, devido ao grande detalhamento das características dos componentes do circuito, provêm grande tempo de simulação. (Figura 1)
- Problema:
 - Necessidade de simulações com aplicações com milhões de instruções
 - Tempo inaceitáveis para estimar desempenho e potência.
- Solução:
 - Estimativa em um nível de abstração mais alto, menos detalhamento dos componentes do circuito.
 - Erros na estimativa aceitáveis.

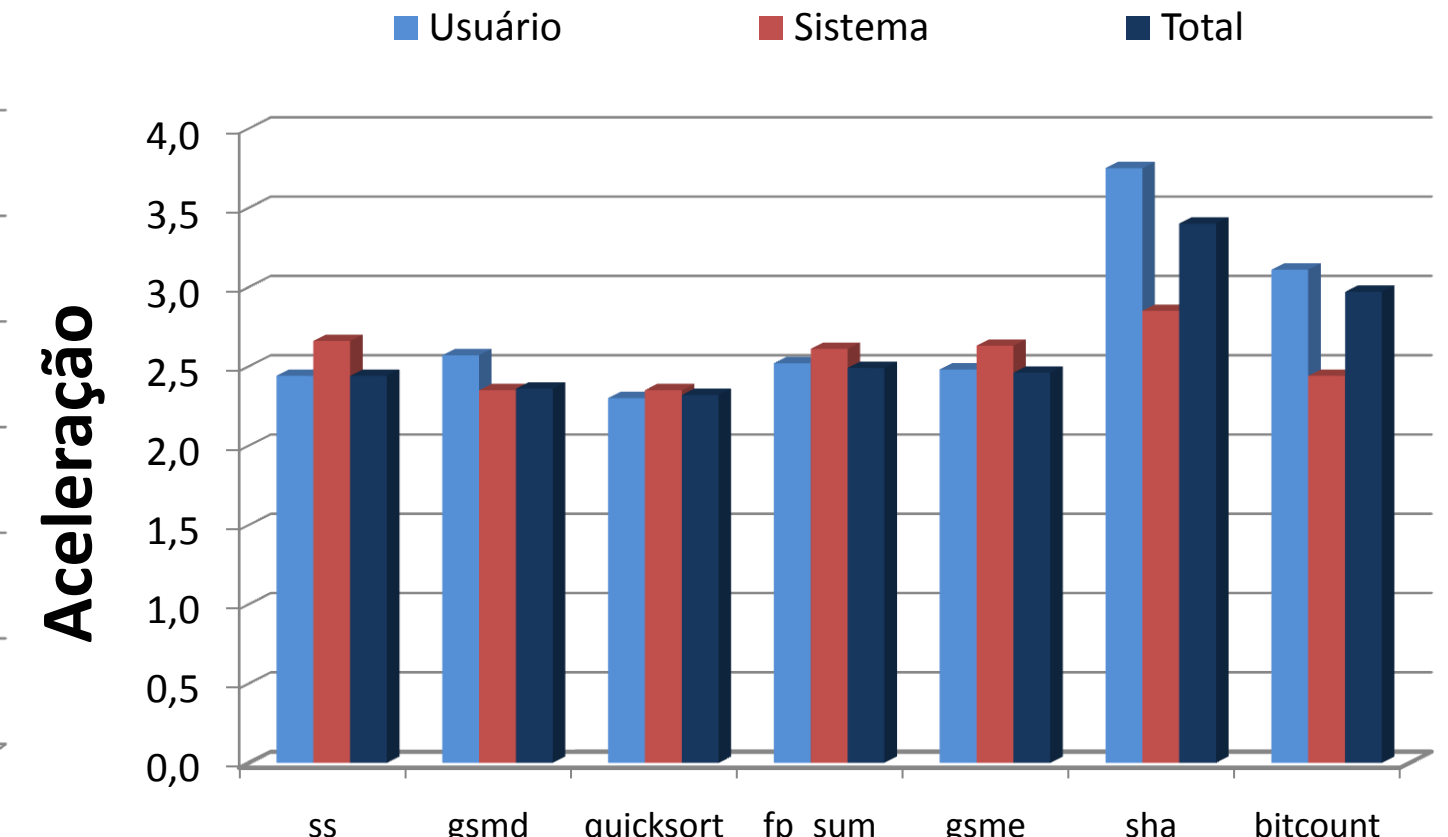
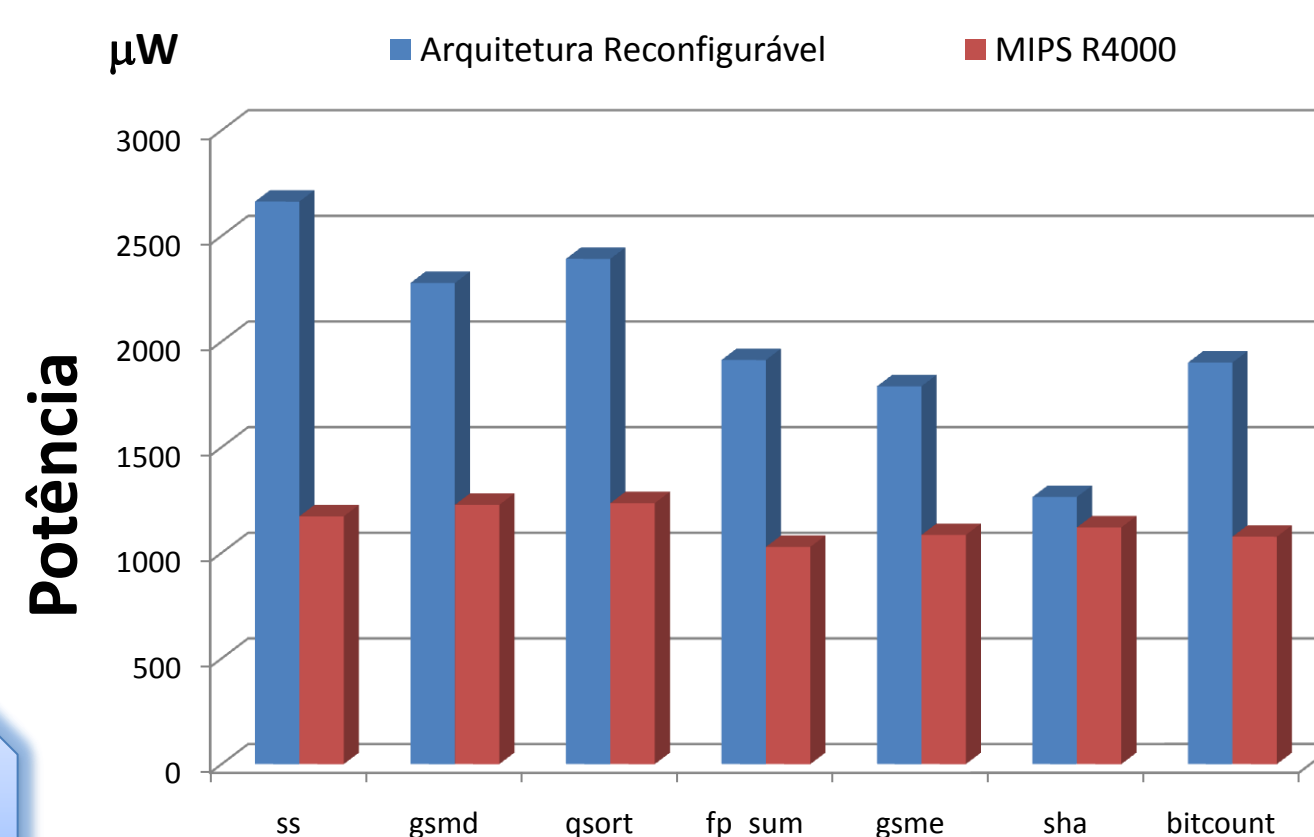


III. Estrutura do Simulador

- Versão anterior já existente
- Acoplamento da ferramenta desenvolvida com o simulador SIMICS
- SIMICS atuando como produtor de instruções
 - Escreve em um arquivo as instruções executadas por uma aplicação que se deseja estimar desempenho e potência da arquitetura reconfigurável
- Estimador desenvolvido atuando como consumidor de instruções
 - Lê o arquivo escrito e usa o mesmo para estimar o desempenho e potência da arquitetura reconfigurável
- FUNCIONAMENTO:
 - Cada instrução já decodificada é processada em uma máquina de estados (a qual simula o controle da arquitetura reconfigurável)
 - As seqüências de instruções detectadas são guardadas em um objeto que simula o comportamento da cache de configurações
 - Para cada seqüência de instrução detectada, o seu tempo de execução, consumo de potência e energia são analisados
 - Quando uma seqüência de instrução detectada é retirada da cache de reconfiguração, seus dados entram na contabilização total.

Resultados

- Problemas versão anterior:
 - Fraca gerência na alocação de memória (grande consumo de memória)
 - Código para detecção de seqüência de instruções com baixa legibilidade
 - Pouca documentação
- Modificações:
 - Alocação dinâmica de memória
 - Somente as seqüências de instruções detectadas ficam armazenadas na cache de reconfigurações
 - Implementação de uma nova cache de reconfigurações
 - Implementação do algoritmo de substituição LRU
 - Aproximação do comportamento real do hardware
 - Detecção de configurações feita com máquinas de estado (com e sem especulação de salto)
 - Simula o comportamento real da detecção das seqüências de instruções
 - Legibilidade mais clara
 - Menor número de variáveis e menor número de comparações
 - Documentação do código, criação de tutoriais e scripts para execução automática



Referências

[1] BECK, A. C. S., Rutzig, M. B., GAYDADJIEV, G., CARRO, Luigi "Transparent Reconfigurable Acceleration for Heterogeneous Embedded Applications" [DATE, 2008]