

A variabilidade de comportamento elétrico em dispositivos semicondutores é um problema de grande impacto nas tecnologias de fabricação de circuitos integrados (CIs) da atualidade, tendo como resultado o descasamento (*mismatch*) entre dispositivos identicamente desenhados. Especificamente, o descasamento entre transistores MOS (MOSFET – *metal-oxide-semiconductor field-effect transistor*) é um fator fundamental na determinação dos limites de integração (redução de escala) e no desempenho dos circuitos eletrônicos (confiabilidade, velocidade, consumo de energia e robustez). Este trabalho apresenta o estudo de uma metodologia de análise que permite ao projetista de CIs prever o impacto do descasamento entre transistores MOS, sem a necessidade do uso da simulação Monte Carlo, que é a estratégia atualmente utilizada para isso, e que exige pesados recursos computacionais, consumindo muito tempo. A metodologia tem como base um modelo de descasamento de MOSFETs, o qual é válido para qualquer região de operação e que foi desenvolvido em pesquisa anterior. Este modelo prevê de forma bastante acurada o descasamento estatístico entre transistores idênticos, em função da sua geometria, condição de polarização, e de dois parâmetros tecnológicos, que devem ser extraídos da tecnologia de interesse. O estudo inicial foi realizado através da análise dos efeitos do descasamento entre os transistores que compõem uma rede M-2M, formando um conversor digital-analógico de 8 bits. Este estudo compara os resultados da tradicional simulação Monte Carlo, quando aplicada a esta rede, com a metodologia proposta e com resultados experimentais.