

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
INSTITUTO DE INFORMÁTICA
PROGRAMA DE PÓS-GRADUAÇÃO EM MICROELETRÔNICA

IVANDRO DA SILVA RIBEIRO

**Modelagem e Caracterização da Propagação de Pulsos Transientes
Causados por Radiação Ionizante**

Dissertação apresentada como requisito parcial
para a obtenção do grau de Mestre em
Microeletrônica.

Prof. Dr. Gilson Inácio Wirth
Orientador

Porto Alegre, Dezembro de 2010.

CIP – CATALOGAÇÃO NA PUBLICAÇÃO

Ribeiro, Ivandro da Silva

Modelagem e Caracterização da Propagação de Pulsos Transientes Causados por Radiação Ionizante / Ivandro da Silva Ribeiro – Porto Alegre: Programa de Pós-Graduação em Microeletrônica, 2010.

94 f.:il.

Dissertação (mestrado) – Universidade Federal do Rio Grande do Sul. Programa de Pós-Graduação em Microeletrônica. Porto Alegre, BR – RS, 2010. Orientador: Gilson Wirth.

1. *Single Event Transient*. 2. *Broadening Effect* 3. *Electrical model* 4. Microeletrônica I. Wirth, Gilson.

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

Reitor: Prof. Carlos Alexandre Netto

Vice-Reitor: Prof. Rui Vicente Oppermann

Pró-Reitor de Pós-Graduação: Prof. Aldo Bolten Lucion

Diretor do Instituto de Informática: Prof. Flávio Rech Wagner

Coordenador do PGMICRO: Prof. Ricardo Reis

Bibliotecária-Chefe do Instituto de Informática: Beatriz Regina Bastos Haro

*Aos meus pais, Ivan e Eva
Ribeiro, e irmã, Mayara
Ribeiro, dedico.*

AGRADECIMENTOS

A todos os meus familiares, especialmente os meus pais e minha irmã, pelo incondicional incentivo e amor.

Ao professor orientador, Gilson Inácio Wirth, pela confiança, pelo crédito, pela amizade e pela ajuda na realização deste trabalho.

Aos meus amigos, Marcelo Figueira e Mauro Lopes, por revisarem o texto desta dissertação.

Aos amigos, por seu incontestável apoio, pelos momentos de descontração e pela paciência.

Ao CNPq, pelo apoio financeiro que tornou este trabalho possível.

Meus mais sinceros agradecimentos.

SUMÁRIO

LISTA DE ABREVIATURAS E SIGLAS	7
LISTA DE FIGURAS	8
LISTA DE TABELAS	10
RESUMO	12
ABSTRACT	13
1 INTRODUÇÃO	14
1.1 Motivação	16
1.2 Objetivo	16
1.3 Organização da Monografia	17
2 CONCEITOS E DEFINIÇÕES	18
2.1 Atraso de propagação	18
2.2 <i>Single Event Transient</i>	19
2.3 A influência dos SETs no atraso das portas lógicas	20
2.4 Análise da propagação da falha transiente	23
3 AMPLIAÇÃO DO SET	26
3.1 Análise de propagação de SET	28
3.1.1 Circuito Load1	30
3.1.2 Circuito Load3	31
3.1.3 Circuito Load1 Desbalanceado	32
3.1.4 Somador de 1 Bit	33
4 MODELO PROPOSTO PARA A PROPAGAÇÃO DE FALHAS TRANSIENTES	38
4.1 Demonstração do funcionamento do modelo proposto	39

4.2	Validação do modelo	40
5	VALIDAÇÃO ON-CHIP	45
5.1	Estudo de Casos	45
5.1.1	Metodologia de M. Nicolaidis and R. Perez	45
5.1.1.1	Estrutura do circuito de média.....	46
5.1.2	Metodologia de P. Eaton.....	47
5.1.2.1	Variable Temporal Latch	48
5.1.2.2	Estrutura de elemento de atraso.....	49
5.1.3	Metodologia de B. Narasimham	50
5.1.3.1	Circuito para medição da largura do pulso transiente	50
5.1.4	Metodologia de Y. Yanagawa.....	52
5.1.4.1	Cadeia de portas lógicas.....	52
5.1.4.2	Circuito Snapshot.....	53
5.2	Simulações Elétricas.....	55
5.2.1	Metodologia de B. Narasimham	56
5.2.2	Y. Yanagawa.....	57
5.2.3	Comparações.....	59
5.3	Implementação com Fluxo de Projeto Cadence Full Custom.....	60
5.3.1	NOR2.....	60
5.3.2	Cadeia NOR2.....	62
5.3.3	Circuito <i>Snapshot</i>	64
5.3.3.1	BUFFER.....	64
5.3.3.2	INVERSOR.....	65
5.3.3.3	FLIP FLOP TIPO D	67
5.3.4	Resultados Obtidos	72
5.3.4.1	Circuito Snapshot1	73
5.3.4.2	Circuito Snapshot2	75
5.3.4.3	Circuito Snapshot3	76
6	CONCLUSÕES E TRABALHOS FUTUROS	79
	REFERÊNCIAS.....	81
	PUBLICAÇÕES	84
	APÊNDICE CIRCUITOS HSPICE.....	85

LISTA DE ABREVIATURAS E SIGLAS

CMOS – *Complementary Metal-Oxide Silicon*

NMOS – *N-Channel MOS*

PMOS – *P-Channel MOS*

SET – *Single Event Transient*

TpHL – *topological delay high-low*

TpLH – *topological delay low-high*

Tp – Atraso de propagação de uma porta lógica

Wp – Largura do canal PMOS de um transistor MOS

Wn – Largura do canal NMOS de um transistor MOS

L – Comprimento do canal de um transistor MOS

LISTA DE FIGURAS

Figura 1.1: Mascaramento lógico.	15
Figura 1.2: Mascaramento Elétrico.	15
Figura 1.3: Mascaramento Temporal.....	15
Figura 2.1: Circuito inversor com carga capacitiva na saída.	18
Figura 2.2: Definição do atraso de propagação de uma porta lógica.	19
Figura 2.3: Single Event Transient.	20
Figura 2.4: Um SET modelado pelo duplo-exponencial.	21
Figura 2.5: Degradação do pulso transiente em uma cadeia de portas NAND de fan-out 3.....	23
Figura 2.6: Comportamento das portas NAND.	24
Figura 2.7: Cadeia de portas NAND.	24
Figura 2.8: Cadeia de portas usadas nas simulações.	24
Figura 3.1: Cadeia de 250 inversores.	26
Figura 3.2: Resultados obtidos por McMorro.	27
Figura 3.3: (a) Um efeito de ampliação do pulso para a cadeia com o estado de entrada "0". (b) Um efeito de atenuação do pulso para a cadeia com o estado de entrada "1".	28
Figura 3.4: Representação esquemática da cadeia de inversores com o (a) um projeto padrão, ou (b) com todos os outros inversores triplicados para simular a carga de projetos mais complexos.	29
Figura 3.5: Somador de 1 bit.	33
Figura 3.6: Propagação do pulso transiente com efeito de ampliação no pulso de saída.....	35
Figura 3.7: Circuito Somador de 3 bits.....	36
Figura 5.1: Estrutura de medição da largura do pulso (M. Nicolaidis, 2003).....	46
Figura 5.2: Dois circuitos para captura de pulsos transientes através de Latches.	47
Figura 5.3: Representação do esquemático do dispositivo de variação temporal do Latch (P. Eaton, 2004).	48
Figura 5.4: Esquemático de uma cadeia de atraso current-starved (P. Eaton, 2004).	49
Figura 5.5: Circuito mostrando a forma do pulso usado no teste do chip (P. Eaton, 2004).....	49
Figura 5.6: Propagação do pulso em uma cadeia de inversores (B. Narasimham, 2005).	50
Figura 5.7: A saída do estágio nth pode ser usada para fornecer o sinal de hold (B. Narasimham, 2005).	51
Figura 5.8: Esquemático do funcionamento do circuito para medir a largura do pulso do SET (B. Narasimham, 2005).	52
Figura 5.9: Cadeia de portas NOR de duas entradas.	53
Figura 5.10: Circuito Snapshot (Y. Yanagawa, 2006).....	54
Figura 5.11: Esquemático do funcionamento do circuito Snapshot para medir a largura do pulso do SET (Y. Yanagawa, 2006).....	55
Figura 5.12: Forma de onda da corrente em função do tempo ilustrando as variáveis do modelo padrão para falhas transientes.....	55
Figura 5.13: Esquemático da porta NOR2.....	61
Figura 5.14: Leiaute da porta NOR2.	61
Figura 5.15: Simulação da forma de onda da porta NOR2.....	62
Figura 5.16: Esquemático referente à cadeia de seis portas NOR de duas entradas.	62
Figura 5.17: Leiaute referente à cadeia de seis portas NOR de duas entradas.....	63
Figura 5.18: Simulação da forma de onda da cadeia de NOR2 com SET.	63
Figura 5.19: Esquemático do Buffer.....	64
Figura 5.20: Leiaute do Buffer.	65
Figura 5.21: Esquemático do Inversor.....	66
Figura 5.22: Leiaute do inversor.....	66
Figura 5.23: Simulação da forma de onda do inversor.	67

Figura 5.24: Esquemático referente ao FF-D.	67
Figura 5.25: Leiaute FF-D.	68
Figura 5.26: Forma de onda do FF-D.	68
Figura 5.27: Esquemático circuito Snapshot.	69
Figura 5.28: Leiaute circuito Snapshot.	70
Figura 5.29: Esquemático circuito Snapshot com buffer na saída do inversor 110.	70
Figura 5.30: Leiaute circuito Snapshot com buffer na saída do inversor 110.	71
Figura 5.31: Símbolo referente à cadeia de portas NOR de duas entradas.	71
Figura 5.32: Símbolo referente ao circuito Snapshot.	72
Figura 5.33: Testbench da cadeia de portas NOR2 com um pulso de corrente aplicado no nodo1.	72
Figura 5.34: Testbench utilizado para a medição da largura do pulso transiente no nodo2.	73
Figura 5.35: Forma de onda referente à medição da largura do pulso transiente no nodo2 referente ao circuito Snapshot1.	74
Figura 5.36: Forma de onda referente à medição da largura do pulso transiente no nodo2 referente ao circuito Snapshot3.	77

LISTA DE TABELAS

Tabela 2.1: Atrasos do inversor para diferentes pulsos (tempos em ps).....	21
Tabela 2.2: Atrasos da porta NAND fan-out 1 para diferentes pulsos (tempos em ps).....	22
Tabela 2.3: Atrasos da porta NAND fan-out 3 para diferentes pulsos (tempos em ps).....	22
Tabela 2.4: Atenuação da amplitude de pulso V_M como propagação através de uma cadeia de portas iguais (V_M em volts).....	25
Tabela 2.5: Atenuação da duração t_n do pulso como propagação através de uma cadeia de portas iguais (t em ps).....	25
Tabela 3.1: Teste de cadeia de inversores em tecnologia Bulk de 0,25 μm	29
Tabela 3.2: Parâmetros referentes à duplo-exponencial utilizados nas simulações.....	30
Tabela 3.3: Circuito Load1 com entrada em nível lógico "0".....	30
Tabela 3.4: Circuito Load3 com entrada em nível lógico "0".....	31
Tabela 3.5: Circuito Load3 com entrada em nível lógico "1".....	32
Tabela 3.6: Circuito Load1 desbalanceado com entrada em nível lógico "0".....	33
Tabela 3.7: Análise da duração do pulso (em ps) propagando-se através do somador de 1 Bit.....	34
Tabela 3.8: Análise da duração do pulso (em ps) em relação aos atrasos de propagação da porta lógica Nand4.....	34
Tabela 3.9: Simulação elétrica de um pulso transiente no circuito somador de 3 bits.....	36
Tabela 4.1: Análise da duração do pulso (em ps) propagando-se através do somador de 1 bit.....	39
Tabela 4.2: Comparação entre o modelo de propagação e a simulação elétrica para o efeito de degradação para o circuito Load3.....	41
Tabela 4.3: Comparação entre o modelo de propagação e a simulação elétrica para o efeito broadening para o circuito Load3.....	41
Tabela 4.4: Análise da duração do pulso (em ps) propagando-se através do somador de 1 bit desbalanceado.....	42
Tabela 4.5: Análise da duração do pulso (em ps) propagando-se através do somador de 1 bit com nodo Nand4 balanceado.....	42
Tabela 4.6: Parâmetros referentes à duplo-exponencial utilizados nas simulações.....	42
Tabela 4.7: Análise da duração do pulso (em ps) propagando-se através do somador de 3 bits com pulso de entrada com 752ps.....	43
Tabela 4.8: Análise da duração do pulso (em ps) propagando-se através do somador de 3 bits com pulso de entrada com 784ps.....	43
Tabela 4.9: Análise da duração do pulso (em ps) propagando-se através do somador de 3 bits com pulso de entrada com 858ps.....	43
Tabela 5.1: Tabela verdade referente à lógica da cadeia de portas NOR.....	53
Tabela 5.2: Dimensões das portas lógicas utilizadas para simulação elétrica.....	56
Tabela 5.3: Valores referentes às variáveis para a medição da largura do pulso transiente.....	56
Tabela 5.4: Valores referentes ao circuito figura 5.8.....	57
Tabela 5.5: Valores referentes às variáveis da equação (5.1) para a medição da largura do pulso transiente obtidos pelo circuito Snapshot.....	58
Tabela 5.6: Valores referentes ao circuito Snapshot com o buffer no nodo X modificado.....	59
Tabela 5.7: Características das metodologias de medição.....	59
Tabela 5.8: Valores referentes às variáveis da equação (5.1) para a medição da largura do pulso transiente obtidos pelo circuito Snapshot1.....	74
Tabela 5.9: Valores referentes ao circuito Snapshot1.....	75
Tabela 5.10: Valores referentes às variáveis da equação (5.1) para a medição da largura do pulso transiente obtidos pelo circuito Snapshot2.....	75

Tabela 5.11: Valores referente às variáveis da equação 1 para a medição da largura do pulso transiente obtidos pelo circuito Snapshot3.....	76
Tabela 5.12: Valores referentes ao circuito Snapshot3.....	77

RESUMO

A propagação de eventos transientes na lógica combinacional é estudada através da simulação elétrica do circuito, utilizando-se o simulador Hspice. Uma das fontes de falhas transientes é o pulso transiente causado por partículas ionizantes que atingem o circuito. O estudo é centrado nas propriedades de mascaramento elétrico das portas lógicas. Estuda-se a propagação do pulso transiente através de cada estágio da lógica até que alcance um elemento da memória.

A partir do estudo das propriedades de mascaramento elétrico, propõe-se um modelo simples para a degradação e ampliação de um pulso transiente enquanto este é propagado através de uma cadeia de portas lógicas. O modelo considera as propriedades elétricas das portas, utilizando como parâmetro principal da modelagem o tempo de propagação (atraso) da porta lógica.

O modelo é computacionalmente eficiente e adequado para implementação em ferramentas de auxílio de projeto automatizadas, como ferramentas de *timing analysis*. A ferramenta *timing analysis* poderia então executar um algoritmo para percorrer todos os nós de um circuito, determinando os nós mais sensíveis, ajudando a estimar e reduzir a taxa de falhas transientes do circuito.

Visando no futuro, testar o modelo e o comportamento de circuitos combinacional sobre efeito de partículas radioativas, foram estudadas algumas arquiteturas existentes capazes de medir a largura dos pulsos transientes nos circuitos combinacionais *on-chip*, para compararmos com o modelo analítico proposto e os comportamentos elétricos obtidos através de simulação Hspice.

Palavras-Chave: *Single Event Transient*, Ampliação do SET, Modelamento elétrico.

Modeling and Characterization of the Propagation of Transient Pulses Caused by Ionizing Radiation

ABSTRACT

Single Event Transients in Combinatorial Logic are studied using spice-level circuit simulation. The study is centered on the electrical masking properties of the gates. The propagation of the transient through each stage of logic until it reaches a memory element is characterized. Both duration and amplitude of the transient pulse are attenuated as it propagates through the logic gates.

A simple, first order model for the degradation of a transient pulse as it is propagated through a chain of logic gates is proposed. The model considers the electrical properties of the logic gates through which the pulse propagates.

The model is computationally efficient and intended to be implemented in a timing analysis tool. The timing analysis tool could then implement an algorithm to traverse all circuit nodes, determining the most sensitive nodes, helping to estimate and reduce the soft error failure rate of the whole circuit.

Aiming at the future, test the model and the behavior of combinatorial circuits effect on radioactive particles, was studied some existing architectures capable of measuring the width of transient pulses in combinatorial circuits on-chip, to compare with the proposed analytical model and the electrical behaviors obtained by Hspice simulation.

Keywords: Single Event Transient, SET Broadening, Electrical model.

1 INTRODUÇÃO

O constante avanço no processo de fabricação de circuitos integrados tem reduzido drasticamente o tamanho dos transistores e os níveis das tensões de alimentação. Circuitos de alta densidade operando a baixa tensão apresentam capacitância de nó menor, o que significa que menos carga ou corrente é necessária para armazenar os mesmos dados. Infelizmente, uma consequência direta é o aumento da vulnerabilidade do dispositivo a radiação, pois partículas energizadas que eram negligíveis agora podem produzir falhas.

Uma das fontes de falhas transientes é o pulso transiente causado por partículas ionizantes que atingem o circuito. Circuitos operando em aplicações espaciais estão sujeitos ao efeito de partículas energizadas presentes no ambiente aero-espacial. As partículas como o nêutron, presentes na atmosfera terrestre, são capazes de gerar falhas transientes em circuitos integrados de alta densidade operando no nível do mar (BAUMANN, 2005).

Quando uma partícula ionizante atinge uma região sensível em um dispositivo semiconductor, pode causar um pulso transiente que pode alterar o estado lógico do circuito. Se uma partícula incidir em um nó interno de um circuito combinacional, o pulso transiente pode se propagar e ser capturado por um elemento da memória, produzindo então uma falha transiente (*soft error*) alterando os resultados de uma computação.

O que pode impedir um pulso transiente de ser capturado por um elemento de memória são os chamados mascaramentos lógico, elétrico e temporal (Shivakumar, 2002). Mascaramento lógico (Figura 1.1) ocorre quando uma partícula atinge um nó do circuito que a saída da porta não depende da entrada afetada, pois sua saída é determinada unicamente por suas outras entradas. Mascaramento elétrico (Figura 1.2) ocorre quando o pulso transiente gerado pela partícula está sendo atenuado enquanto se propaga através das portas lógicas e é filtrado antes que alcance um elemento da memória. Entretanto, o pulso transiente poderá sofrer um aumento na sua duração à medida que se propaga através das portas lógicas de acordo com o artigo (D McMorrow, 2007) e (V ferlet-cavrois, 2007), onde foi realizado um experimento prático onde demonstraram que há possibilidade de aumento e redução expressivos em uma cadeia de inversores com fanout 1 e fanout 3. Mascaramento temporal (Figura 1.3) ocorre quando o pulso transiente se propaga através do circuito até um elemento de memória, porém durante a sua transição não ocorre transição do *clock*.

Diversas metodologias para a avaliação da sensibilidade de circuitos digitais às falhas transientes foram propostas (Ziegler, 1994). Estas metodologias têm características diferenciadas, que vão desde a prototipagem de hardware e sua exposição às fontes da radiação, até simulação de dispositivo e simulação de circuito.

Nesta dissertação será demonstrado através de simulações elétricas Hspice o comportamento da propagação transiente apresentado em (D McMorrow, 2007) e (V ferlet-cavrois, 2007), assim como os motivos para a ocorrência deste comportamento e apresentaremos uma extensão do modelo proposto em (Wirth, 2008) que modela adequadamente este efeito. O modelo é para implementação em uma ferramenta de análise de *soft errors*. Esta ferramenta de análise poderia então implementar um algoritmo para percorrer todos os nós do circuito, determinando os nós mais sensíveis.

1.1 Motivação

Atualmente para determinar o comportamento de um circuito sob a incidência de radiação ionizante, utiliza-se o simulador elétrico Hspice para obter estes resultados. O problema é que utilizando o simulador elétrico Hspice perde-se tempo na tarefa de obter os resultados da influência de SETs em circuitos combinacionais e determinar a resposta do circuito a estes transientes.

Então a motivação para a elaboração deste trabalho é a criação de um modelo analítico para a degradação de falhas transientes para economizar tempo na tarefa de estudar o comportamento de um circuito em relação aos efeitos das radiações, construindo-se uma ferramenta matemática que poderá ser utilizada em ferramentas de sínteses de circuitos combinacionais, e que poderá identificar os nós do circuito mais sensíveis a essas radiações.

Analisaremos algumas das técnicas utilizadas atualmente para medição da largura do pulso transiente em um nó de um circuito combinacional ocasionada por uma partícula radioativa, utilizando topologias on-chip para caracterização deste efeito, veremos que existirá vantagens e desvantagens em utilizar cada uma destas topologias que serão mencionadas.

1.2 Objetivo

Este trabalho tem como objetivo estudar através de simulações elétricas Hspice o comportamento da propagação transiente apresentado em (D McMorrow, 2007), assim como os motivos para a ocorrência deste comportamento e apresentaremos uma extensão do modelo proposto em (Wirth, 2008) que modela adequadamente este efeito, sem requerer a simulação de circuito, o qual simplificaria extremamente a avaliação da sensibilidade do circuito a SET (*Single Event Transient*).

O modelo do mascaramento elétrico é para implementação em uma ferramenta de análise automatizada de *soft errors*. Esta ferramenta de análise poderia então implementar um algoritmo para percorrer todos os nós do circuito, determinando os nós mais sensíveis.

Será ainda discutido o estado da arte de circuitos que tem como função medir o valor da largura do pulso do SET em circuitos combinacionais. Finalmente, realiza-se a implementação do circuito VLSI proposto em (Y. Yanagawa, 2006) desde o esquemático até seu leiaute e simulação.

1.3 Organização da Monografia

Este documento está dividido em várias seções para o melhor entendimento e organização. Cada seção tem como função esclarecer algum ponto de relevante importância para o presente trabalho. A primeira seção compõe esta introdução, que objetiva posicionar o trabalho num determinado contexto e identificar os assuntos relacionados ao mesmo que serão discutidos neste documento.

Na seção 2, Conceitos e Definições, são descritos todos os fatores que influenciam na propagação de um SET (*Single Event Transient*). Para isto, foi utilizada simulação elétrica para obter esses resultados.

A seção 3, mostra um resumo da experiência prática realizada em (D McMorrow, 2007) e seus resultados. Apresentam a simulação elétrica utilizada para representar a experiência prática mencionada e seus resultados, assim como, os motivos para que ocorra este efeito.

A seção 4 apresenta uma extensão do modelo analítico proposto em (Wirth, 2008) para a propagação do pulso transiente e são apresentados os resultados que validam o modelo proposto.

Na seção 5, são apresentados os trabalhos referentes ao estado da arte de circuitos *on-chip* que fazem a medição da largura de um SET em um nodo de um circuito combinacional, mostra as simulações elétricas utilizadas para alguns dos trabalhos mencionados e as comparações entre eles e mostra o fluxo de projeto de um dos casos, desde o leiaute até as simulações elétricas utilizando uma arquitetura proposta para medir a largura dos pulsos de SETs.

Finalmente, as seções 6 e 7 apresentam respectivamente, uma conclusão apontando se o trabalho atingiu seus objetivos propostos, indicando as dificuldades encontradas e possíveis trabalhos futuros e as referências bibliográficas utilizadas neste trabalho.

2 CONCEITOS E DEFINIÇÕES

O objetivo deste capítulo é definir alguns conceitos importantes que serão fundamentais para o entendimento e compreensão do leitor.

2.1 Atraso de propagação

A velocidade de operação de um sistema digital é determinada pelo atraso na propagação das portas lógicas empregadas na construção do sistema. Quando projetamos uma porta lógica (por exemplo, um inversor) dentro do circuito integrado temos que levar em consideração a capacitância de saída conforme mostra a Figura 2.1.

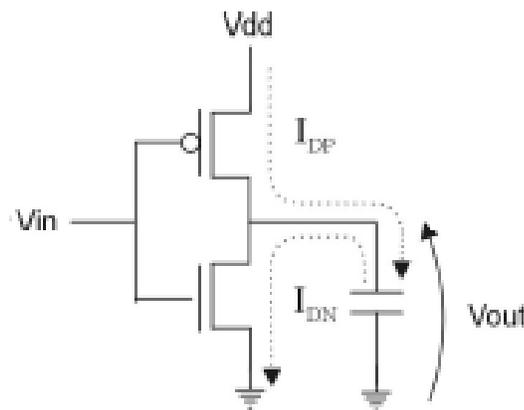


Figura 2.1: Circuito inversor com carga capacitiva na saída.

Esta capacitância representa a soma das capacitâncias internas dos transistores NMOS e PMOS, a capacitância das linhas de interconexão entre o nó de saída do inversor e a entrada das outras portas lógicas além das capacitâncias dessas portas lógicas (*fan-out*). Em função destas capacitâncias, o sinal na saída do inversor pode sofrer distorções fazendo com que o circuito seguinte não interprete corretamente o sinal. Para isso, necessitamos calcular o tempo de carga e o tempo de descarga do sinal. Na figura 2.1 temos um circuito inversor com uma capacitância ligada na saída V_{out} . Assim, podemos verificar o tempo de carga e descarga em função dos transistores PMOS e NMOS.

O transistor PMOS tem a função de carregar o capacitor e o transistor NMOS tem a função de descarregar o capacitor na saída do inversor. Logo, podemos concluir que o tempo de fase de descarga T_{pHL} é diferente do tempo fase de carga T_{pLH} . Isto deve se,

entre outros fatores, à diferença de mobilidade das cargas nos transistores. A mobilidade no transistor NMOS é maior que a do transistor PMOS.

Normalmente, o atraso de uma porta lógica é medido em $V_{DD}/2$ (50%) entre o pulso de entrada da porta lógica (V_{in}) e o pulso de saída (V_{out}), conforme a Figura 2.2 abaixo.

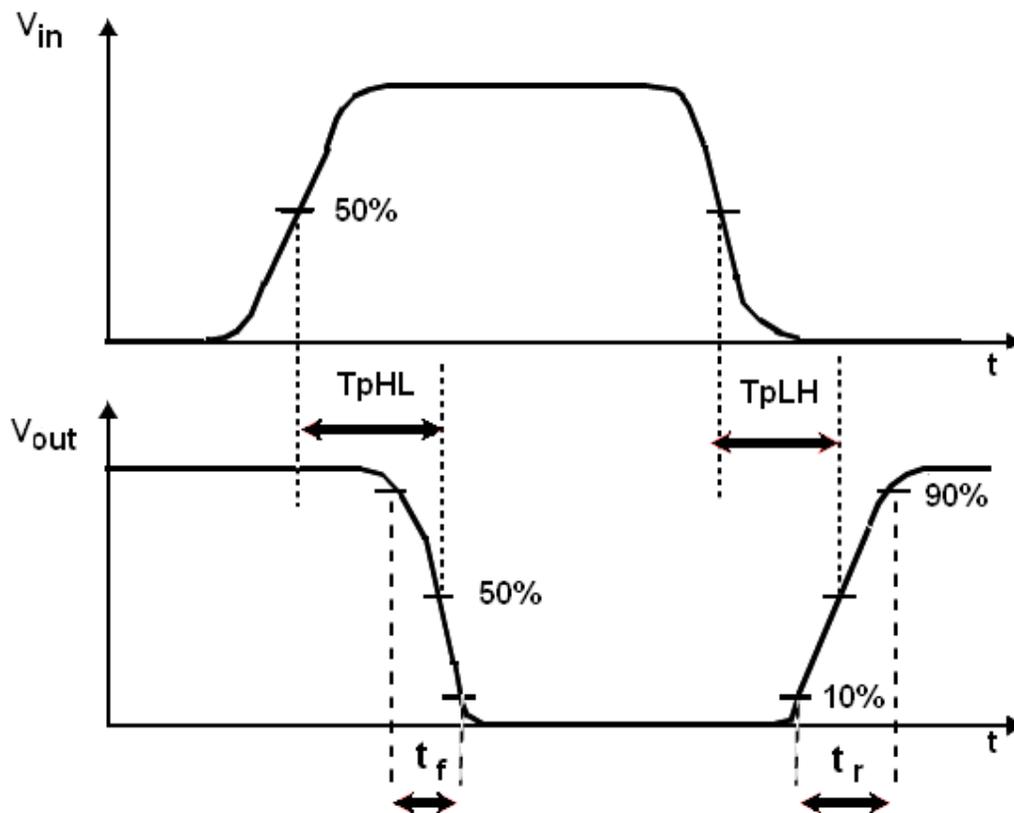


Figura 2.2: Definição do atraso de propagação de uma porta lógica.

Onde o tempo de propagação é caracterizado por T_{pLH} que define o tempo de transição de um nível lógico baixo (gnd) para um nível lógico alto (V_{DD}), e um T_{pHL} que define o tempo de transição de um nível lógico alto (V_{DD}) para um nível lógico baixo (gnd).

2.2 *Single Event Transient*

Em circuitos integrados, o pulso de corrente temporário em um nodo, causado pela deposição de carga por uma partícula ionizante, é denominado de *single event transient* (SET). Um SET pode produzir resultados incorretos em uma computação. Se o circuito integrado é utilizado em computação com aplicações críticas, como as militares ou médicas, os efeitos podem ser catastróficos.

Quando uma partícula ionizante atinge uma região sensível em um dispositivo semiconductor como na Figura 2.3 o resultado é a geração de pares elétrons-lacunas que pode causar um pulso transiente alterando o estado lógico do circuito.

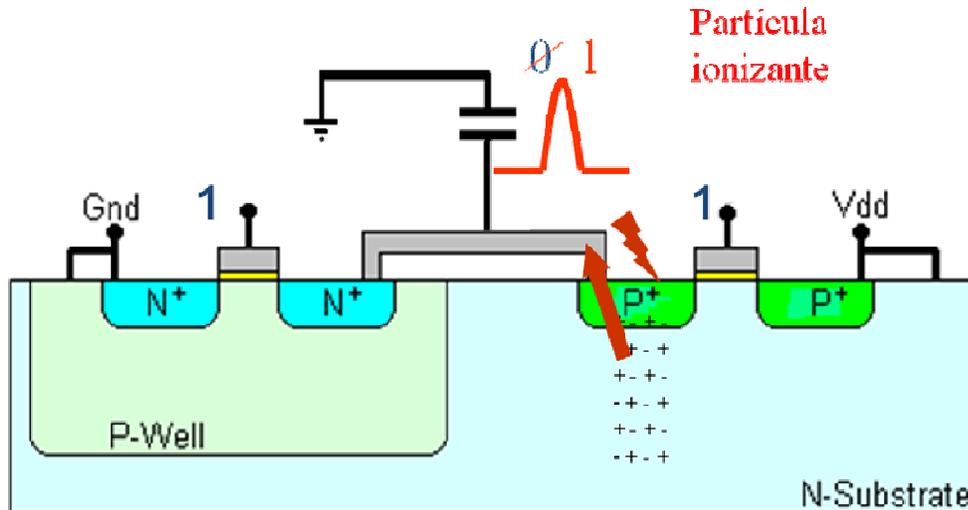


Figura 2.3: Single Event Transient.

Este mecanismo de deposição de carga produz um pulso transiente, parte desta carga é conduzida pelo caminho até VDD ou até a massa. Após algum tempo o valor lógico retorna ao seu estado original. Se a amplitude do pulso for alta e sua duração for longa, o pulso pode se propagar para os estágios subsequentes e alterar os resultados da computação. Conseqüentemente, a amplitude e duração do pulso são parâmetros essenciais para avaliação da sensibilidade do circuito aos SETs.

Uma forma de caracterizar um SET em um circuito digital é modelar o mecanismo de deposição de carga de acordo com a equação (2.1) por um pulso de corrente descrito por uma dupla-exponencial de acordo com (G. C. Messenger, 1982).

$$I_P(t) = I_0 (e^{-t/\tau_\alpha} - e^{-t/\tau_\beta}) \quad (2.1)$$

Onde I_0 é a amplitude máxima de corrente depositada no nó, τ_α é o valor correspondente a constante de tempo na junção e τ_β é a constante de tempo inicial necessária para gerar o impacto inicial da partícula.

2.3 A influência dos SETs no atraso das portas lógicas

Na caracterização dos atrasos das portas de um circuito pela introdução de ondas quadradas na entrada do circuito, as declividades das rampas de subida e descida destas ondas são uma aproximação para as declividades obtidas em transições reais no circuito. Desta forma, dada uma porta lógica em um circuito digital, os tempos de descida e subida quando esta porta está sob efeito de algum SET diferem significativamente dos tempos de subida e descida da mesma porta quando o circuito está em operação normal,

isto é, livre de SETs, pois quanto maiores forem os tempos de descida e subida da forma de onda introduzida na entrada da porta, maiores serão os atrasos computados. Assim, os atrasos de uma porta caracterizados pela forma de onda quadrada no início do circuito não são os mesmos apresentados quando alguma entrada da porta é submetida a um pulso modelado pela duplo-exponencial.

Um SET modelado pela equação (2.1) (G. C. Messenger, 1982) irá gerar no circuito um pulso com a forma mostrada na Figura 2.4, onde tempos de descida e subida do pulso transiente são diferentes.

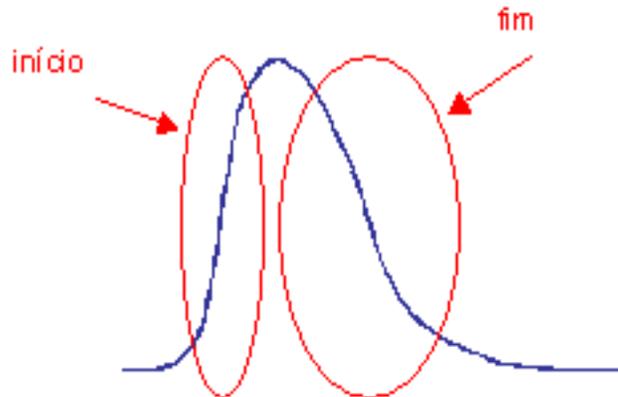


Figura 2.4: Um SET modelado pelo duplo-exponencial.

Foi realizado um estudo sobre o atraso das portas em um circuito-exemplo para dois diferentes tipos de pulso: onda quadrada e dupla-exponencial.

Foram realizados experimentos para os seguintes tipos de porta: NAND *fan-out* 1, NAND *fan-out* 3 e inversor *fan-out* 1, com os tamanhos dos transistores iguais a: $W_p=0,4\mu\text{m}$, $W_n=0,2\mu\text{m}$ e $L=0,13\mu\text{m}$ para todas as portas lógicas. Onde τ_α representa o valor correspondente a constante de tempo na junção, ocasionando diferentes rampas de inclinação e tempos de propagação das portas diferentes de acordo com a variável τ_α . Os valores da tabelas 2.1, 2.2 e 2.3 estão em ps.

Para analisar o comportamento da porta inversora com *fan-out* 1 na tabela 2.1 utiliza-se na simulação da duplo-exponencial I_0 e τ_β igual a $190\mu\text{A}$ e 5ps respectivamente para transição $1 \rightarrow 0$ e I_0 e τ_β igual a $170\mu\text{A}$ e 5ps respectivamente para transição $0 \rightarrow 1$.

Tabela 2.1: Atrasos do inversor para diferentes pulsos (tempos em ps)

	exponencial						onda quadrada
	0 \rightarrow 1			1 \rightarrow 0			
$\tau_\alpha(\text{ps})$	230	270	320	300	350	410	
$T_{\text{pHL}}(\text{ps})$	31,7	30,6	29,8	31,7	32,1	33,4	15,2
$T_{\text{pLH}}(\text{ps})$	56,7	55,3	53,9	41,6	40,2	38,68	17,7

Para analisar o comportamento da porta NAND com *fan-out* 1 na tabela 2.2 utiliza-se na simulação da duplo-exponencial I_0 e τ_β igual a $175\mu\text{A}$ e 5ps respectivamente para transição $1 \rightarrow 0$ e I_0 e τ_β igual a $200\mu\text{A}$ e 5ps respectivamente para transição $0 \rightarrow 1$.

Tabela 2.2: Atrasos da porta NAND *fan-out* 1 para diferentes pulsos (tempos em ps)

	exponencial						onda quadrada
	0 → 1			1 → 0			
	τ_α (ps)	320	390	410	290	350	
T_{pHL} (ps)	42,9	42,3	41,9	47,8	49,2	53,1	34,6
T_{pLH} (ps)	53,7	56,1	56,4	40,6	39,5	39,3	27,8

Para analisar o comportamento da porta NAND com *fan-out* 3 na tabela 2.3 utiliza-se na simulação da duplo-exponencial I_0 e τ_β igual a $195\mu\text{A}$ e 5ps respectivamente para transição $1 \rightarrow 0$ e I_0 e τ_β igual a $145\mu\text{A}$ e 5ps respectivamente para transição $0 \rightarrow 1$.

Tabela 2.3: Atrasos da porta NAND *fan-out* 3 para diferentes pulsos (tempos em ps)

	exponencial						onda quadrada
	0 → 1			1 → 0			
	τ_α (ps)	290	340	370	210	300	
T_{pHL} (ps)	63,4	63,5	62,4	54,7	72,1	73,9	49,7
T_{pLH} (ps)	81,2	88,1	85,2	72,4	64,8	61,2	41,5

Assim quando introduzimos o pulso pela dupla-exponencial diretamente na entrada das portas observamos valores de atraso muito diferentes.

Um pulso modelado como uma dupla-exponencial terá sua primeira transição muito mais rápida que a segunda, fazendo com que a porta lógica transicione rapidamente no início do pulso e lentamente no seu final, aumentando assim o tempo de duração do pulso. Por isso, quando o pulso exponencial é $0 \rightarrow 1$ ocorre uma alteração maior no T_{pHL} e quando o pulso é $1 \rightarrow 0$ ocorre uma alteração no T_{pLH} .

Ainda assim, observamos pulsos $0 \rightarrow 1$ variando o T_{pLH} e pulsos $1 \rightarrow 0$ variando o T_{pHL} . Esta variação em alguns casos é a diminuição do atraso e em outros o aumento. Isto poderia ser decorrente de diferentes ‘rampas’ de início de transição dos pulsos, ou seja, a rampa de início pode ter uma inclinação maior ou menor que a onda quadra inserida no início do circuito para medição, implicando em diferentes tempos de atrasos de propagação da porta.

Por outro lado, observamos que a propagação de um pulso duplo-exponencial ao longo de uma seqüência de portas tende a perder seu formato duplo-exponencial, assumindo uma forma cada vez mais próxima de uma transição natural, conforme cresce a profundidade lógica do caminho que o pulso está percorrendo. De acordo com a Figura 2.5.

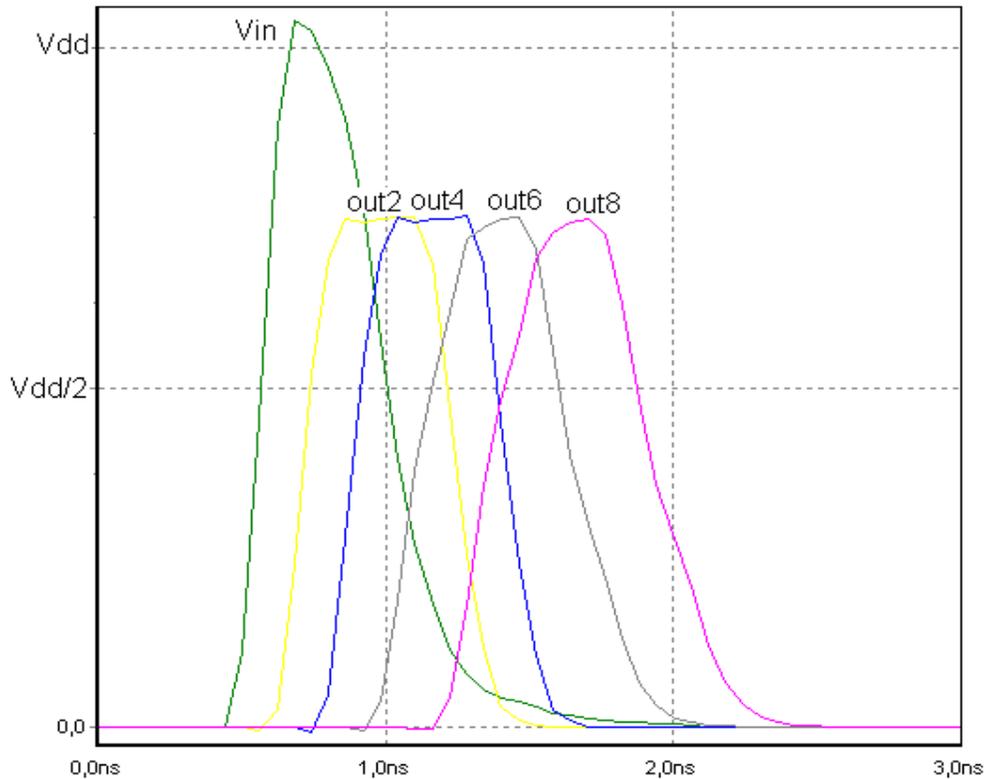


Figura 2.5: Degradação do pulso transiente em uma cadeia de portas NAND de *fan-out* 3.

Podemos observar que a partir do terceiro nodo, o pulso transiente toma forma de uma transição natural.

2.4 Análise da propagação da falha transiente

Neste trabalho, uma transição é definida como um sinal que muda a tensão do nó por pelo menos $V_{DD}/2$. Como um pulso transiente propaga-se através de uma cadeia de portas lógicas, tanto a duração como a amplitude podem vir a ser degradados. As simulações de circuito mostram que a degradação na amplitude ocorre quando uma transição na entrada acontece antes da porta ter concluído completamente a transição anterior. Além disto, os atrasos nos circuitos causados pelo tempo de chaveamento das transições causam um aumento nos tempos de subida e descida das portas lógicas (Bellido-Dias, 2000). Estes dois efeitos reduzem a duração de uma transição da saída, diminuindo as taxas de *soft error* causadas por falhas transientes em circuitos combinacional. A Figura 2.6 descreve este comportamento para portas NAND.

A análise da propagação transiente do pulso mostra que a degradação do pulso é influenciada diretamente pelo atraso de propagação (T_p) da porta lógica. Com o T_p maior, maior será a degradação do pulso da saída. A simulação de circuito mostra que isto serve para portas de diferentes geometrias e complexidades, em diferentes nós da tecnologia.

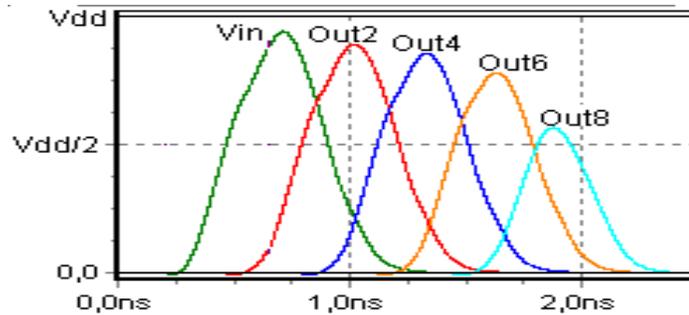


Figura 2.6: Comportamento das portas NAND.

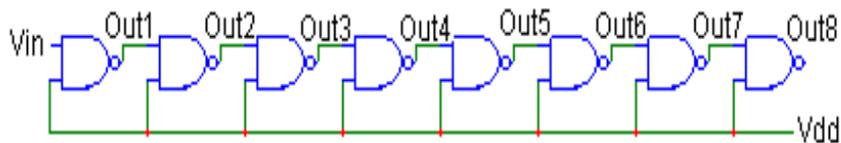


Figura 2.7: Cadeia de portas NAND.

A Figura 2.6, mostra a degradação de um pulso através de uma cadeia de portas NAND de acordo com a Figura 2.7, onde V_{in} é um pulso de tensão transiente causado pela incidência de uma partícula. A duração do pulso é definida enquanto o tempo do pulso permanece acima de $V_{DD}/2$. A amplitude de pulso V_M é definida como a máxima excursão da tensão do sinal.

As Tabelas 2.4 e 2.5 mostram os resultados obtidos na simulação de um pulso transiente, causado por uma falha transiente, propagando através de uma cadeia de inversores e de portas NAND, como mostrado na Figura 2.8. A relação entre o T_p e a degradação do pulso pode claramente ser vista. Em todas as simulações, a forma do pulso da entrada é mantida fixa. Para estas simulações o *fan-out* (número das portas conectadas à saída de uma porta) é mantido fixo, com o valor 4. Os parâmetros analisados nestas simulações são a amplitude do pulso (V_M) e a duração acima ou abaixo de $(\tau) V_{DD}/2$, em ps, sendo este último, o parâmetro mais importante no estudo da propagação de um pulso provocado por uma falha transiente.

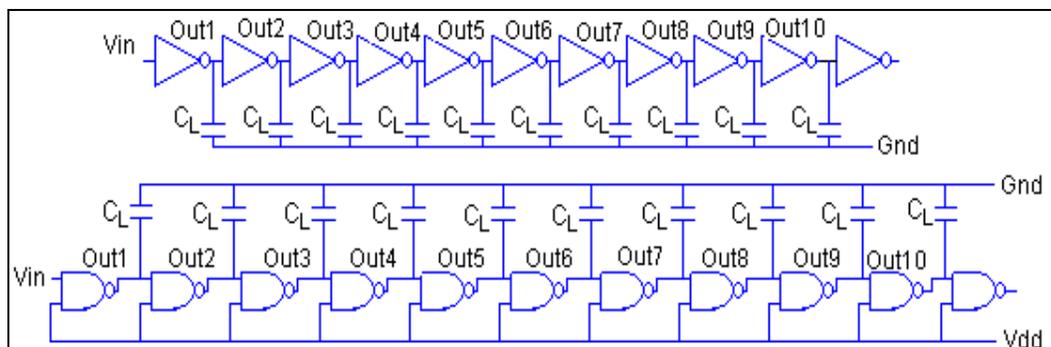


Figura 2.8: Cadeia de portas usadas nas simulações.

Nas tabelas 2.4 e 2.5 podem ser vistos que o atraso da propagação T_p tem a influência forte na degradação do pulso da entrada. Nas simulações com o menor T_p a entrada praticamente não foi degradada. Nas simulações com valor intermediário do T_p , a entrada propaga através de alguns estágios, sendo degradado em cada estágio que passa completamente. Na simulação com T_p o maior, no terceiro estágio o pulso transiente é filtrado.

Tabela 2.4: Atenuação da amplitude de pulso V_M como propagação através de uma cadeia de portas iguais (V_M em volts)

gate	t_p	$L(\mu m)$	Vdd	Out1	Out2	Out3	Out4	Out5	Out6	Out7	Out8	Out9	Out10
Inverter	28ps	0.10	1.2V	1.2	1.2	1.2	1.2	1.2	1.2	1.2	1.2	1.2	1.2
	35ps	0.13	1.5V	1.5	1.5	1.48	1.47	1.47	1.47	1.47	1.47	1.46	1.46
	51ps	0.18	1.9V	1.85	1.61	1.48	1.2	0.71	0.12	-	-	-	-
NAND	34ps	0.10	1.2V	1.2	1.19	1.18	1.17	1.17	1.17	1.17	1.16	1.16	1.14
	42ps	0.13	1.5V	1.47	1.4	1.36	1.25	0.9	0.9	0.65	0.1	-	-
	69ps	0.18	1.9V	1.68	1.2	0.6	0.07	-	-	-	-	-	-

Tabela 2.5: Atenuação da duração t_n do pulso como propagação através de uma cadeia de portas iguais (t em ps)

gate	t_p	$L(\mu m)$	Vdd	Out1	Out2	Out3	Out4	Out5	Out6	Out7	Out8	Out9	Out10
Inverter	28ps	0.10	1.2V	170	170	170	169	169	169	169	168	169	168
	35ps	0.13	1.5V	170	169	168	166	166	164	163	160	160	157
	51ps	0.18	1.9V	167	158	139	93	-	-	-	-	-	-
NAND	34ps	0.10	1.2V	170	163	168	160	165	157	160	152	156	147
	42ps	0.13	1.5V	170	157	158	139	132	85	-	-	-	-
	69ps	0.18	1.9V	154	91	-	-	-	-	-	-	-	-

A conclusão principal extraída da análise da propagação transiente do pulso foi que o atraso de propagação de uma porta (T_p) pode ser usado como um *benchmark* no estudo da degradação de pulsos transientes. Entre os parâmetros que influenciam a degradação do pulso estão o nó da tecnologia, o comprimento e a largura do canal, a capacitância no nó (*fan-out*), a tensão de fonte V_{DD} e a complexidade da porta.

3 AMPLIAÇÃO DO SET

Em (D McMorrow, 2007), foi realizado um experimento prático com o objetivo de analisar o comportamento dos pulsos transientes em uma cadeia de inversores. Duas tecnologias de transistores CMOS foram experimentalmente investigadas. As tecnologias utilizadas foram a tecnologia *Bulk* de 0,25 μm e a tecnologia CMOS SOI de 0,13 μm .

Foram utilizadas duas cadeias de inversores para o experimento prático. A primeira cadeia foi denominada Load1 que representa uma cadeia de inversores com *fan-out* igual a 1 em cada nodo do circuito e a segunda cadeia foi denominada Load3 que representa uma cadeia de inversores no qual os nodos ímpares desta cadeia estão com *fan-out* igual a 3 e os nodos pares estão com *fan-out* igual a 1 nesta cadeia de inversores.

Injetaram através de *Laser*, pulsos de correntes transientes em quatro posições distintas em uma cadeia de inversores conforme figura 3.1.

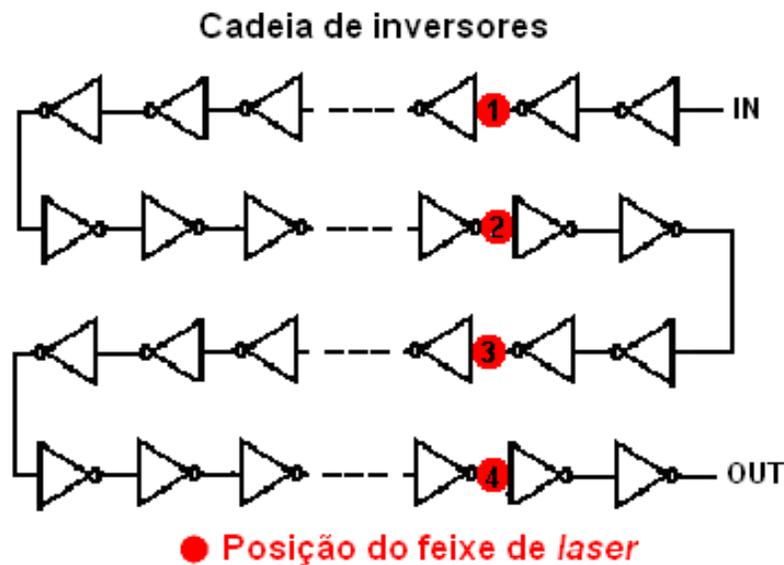


Figura 3.1: Cadeia de 250 inversores.

Os resultados obtidos mostraram um comportamento que deve ser analisado e investigado mais detalhadamente, pois foi observada no nodo de saída da cadeia de inversores a duração do pulso transiente para cada posição do feixe de *laser*.

Neste experimento observaram que à medida que a posição do feixe fosse próximo do nodo de entrada da cadeia de inversores, a duração do pulso transiente gerado no

nodo de saída do circuito aumentava em relação às outras posições do *laser* injetado conforme figura 3.2.

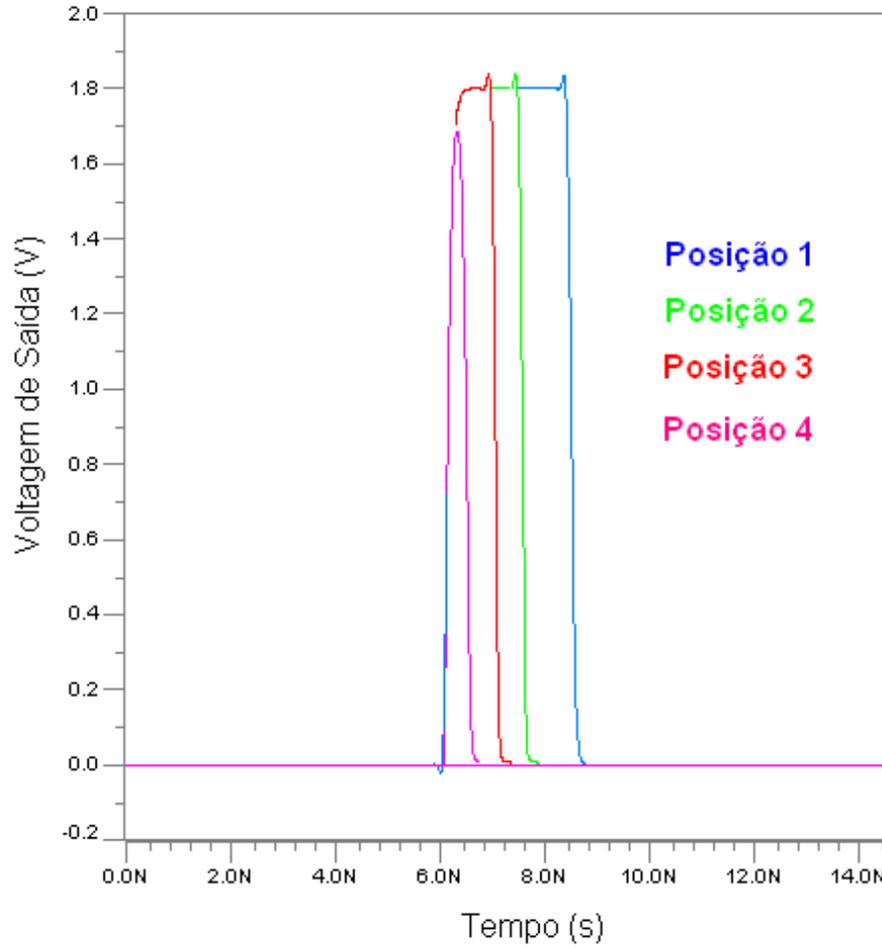


Figura 3.2: Resultados obtidos por McMorrow.

Mas este fenômeno ocorre apenas enquanto a entrada do circuito Load3 for mantida no valor lógico '0', ou seja, em ground, pois quando é alterado o valor de entrada da cadeia de portas inversora para o valor lógico '1', ou seja em V_{DD} , o pulso transiente injetado na entrada do circuito tem sua amplitude e duração degradada ao longo do circuito à medida que vai se propagando conforme figura 3.3.

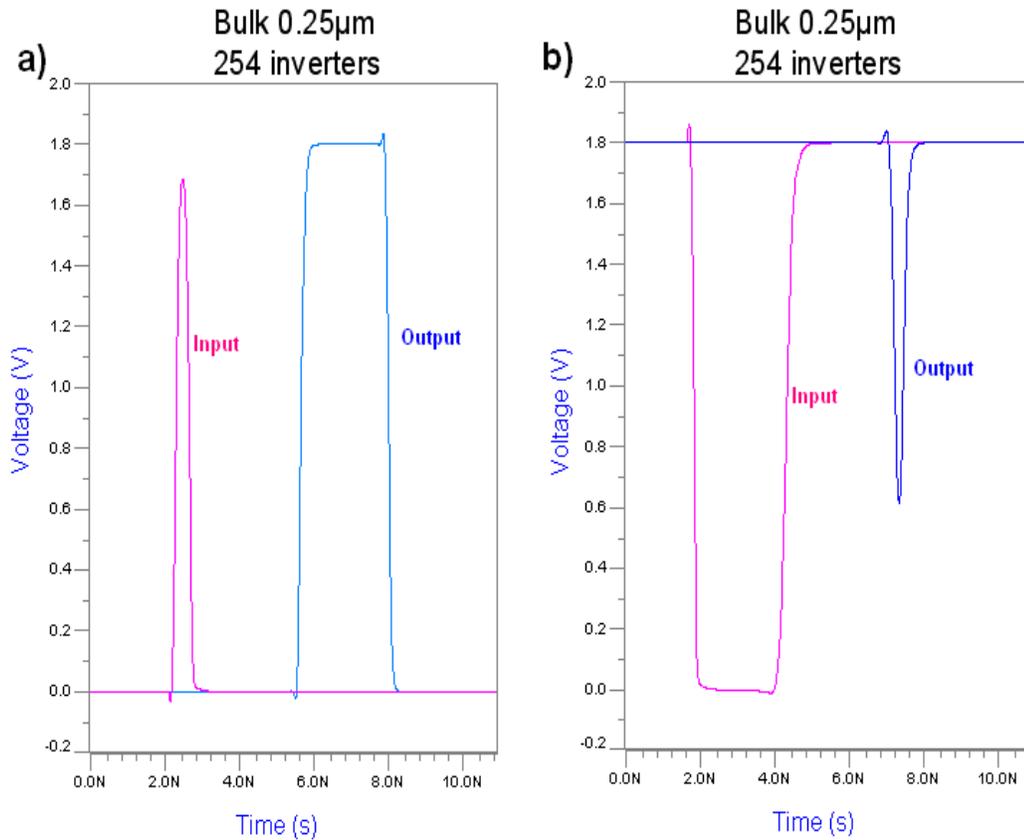


Figura 3.3: (a) Um efeito de ampliação do pulso para a cadeia com o estado de entrada "0". (b) Um efeito de atenuação do pulso para a cadeia com o estado de entrada "1".

Entretanto, a origem para a existência destes comportamentos não foi explicada no artigo. Nas próximas subseções serão apresentados através de simulação elétrica os resultados obtidos na experiência prática mencionada, assim como, os motivos para que ocorra este efeito para a tecnologia *Bulk* de 0,25 µm.

3.1 Análise de propagação de SET

Com objetivo de modelar os comportamentos mencionados na subseção anterior referente aos resultados práticos, foram utilizados através de simulação elétrica no nível Hspice na tecnologia *Bulk* de 0,25 µm duas cadeias de inversores distintas conforme figura 3.4. Onde a primeira cadeia de inversores é denominada de "Load1" referente a todos os nodos da cadeia terem *fan-out* igual a 1, e a segunda cadeia de inversores é denominada de "Load3" referente a todos os nodos ímpares da cadeia terem *fan-out* igual a 3 e todos os nodos pares da cadeia terem *fan-out* igual a 1.

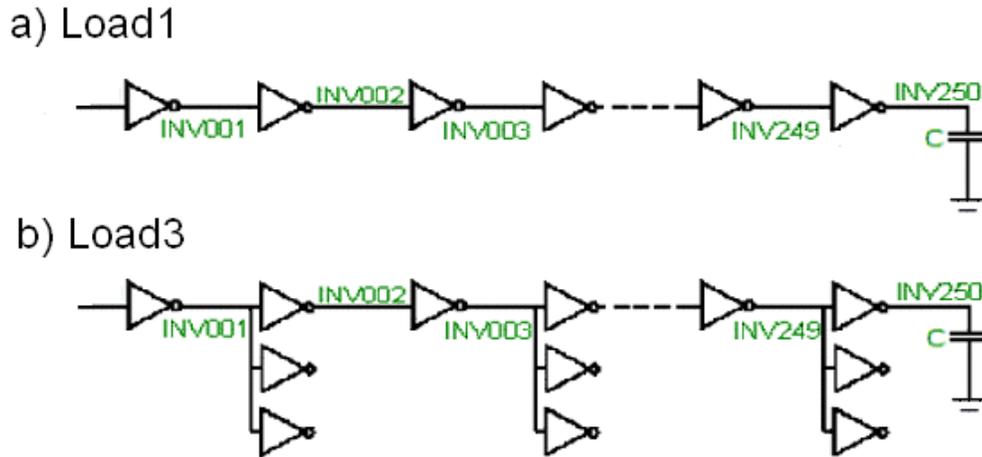


Figura 3.4: Representação esquemática da cadeia de inversores com o (a) um projeto padrão, ou (b) com todos os outros inversores triplicados para simular a carga de projetos mais complexos.

Onde os tamanhos dos transistores utilizados na simulação elétrica estão definidos na tabela 3.1. Na tabela 3.1 existem três colunas, na primeira coluna é definida o nome que será utilizado para representar o tamanho dos transistores, a segunda coluna representa ao tipo de circuito utilizado na simulação e a terceira coluna representa o tamanho da largura do transistor NMOS. Em todos os casos, o comprimento (*length*) de *gate* do transistor é o mesmo ($0,25 \mu\text{m}$), mas a largura de *gate* do transistor NMOS varia de $0,3 \mu\text{m}$ para $1,8 \mu\text{m}$ e PMOS será o dobro dos transistores NMOS. A tensão utilizada na fonte para a tecnologia de $0,25 \mu\text{m}$ *Bulk* é de $1,8\text{V}$.

Tabela 3.1: Teste de cadeia de inversores em tecnologia *Bulk* de $0,25 \mu\text{m}$

Cadeia de Inversores	Load	NMOS (<i>width</i>)
Cadeia1	Load 1	$0,3 \mu\text{m}$
Cadeia2	Load 1	$0,6 \mu\text{m}$
Cadeia3	Load 1	$1,8 \mu\text{m}$
Cadeia1-L3	Load 3	$0,3 \mu\text{m}$
Cadeia2-L3	Load 3	$0,6 \mu\text{m}$
Cadeia3-L3	Load 3	$1,8 \mu\text{m}$

Na tabela 3.2 estão demonstrados os valores utilizados nas simulações elétricas para os parâmetros responsáveis por modelar uma duplo-exponencial com o objetivo de representar através da simulação Hspice pulsos de correntes em um nó da cadeia do circuito combinacional. Estes valores foram obtidos através de simulações elétricas para os seguintes comportamentos estabelecidos:

- Os valores de pico máximo dos pulsos transientes deveriam ser menores que V_{dd} ;
- E os valores de τ_{α} e τ_{β} deveriam ser o suficiente para manter os pulsos transientes acima de $V_{dd}/2$ por um tempo suficiente para que o pulso pudesse ser propagado para os demais níveis lógicos do circuito e manter o comportamento de um duplo-exponencial;

Os parâmetros I_0 , τ_α e τ_β representados na tabela 3.2, referem-se tanto para uma transição de $0 \rightarrow 1 \rightarrow 0$, como para a transição $1 \rightarrow 0 \rightarrow 1$. Onde os parâmetros estão organizados de acordo com as cadeias de inversores utilizadas nas simulações elétricas conforme demonstradas na tabela 3.1.

Tabela 3.2: Parâmetros referentes à duplo-exponencial utilizados nas simulações.

Cadeia de Inversores	I_0	τ_α	τ_β
Cadeia1	190 μ A	10ps	360ps
Cadeia2	380 μ A	10ps	560ps
Cadeia3	890 μ A	10ps	2000ps
Cadeia1-L3	190 μ A	10ps	360ps
Cadeia2-L3	380 μ A	10ps	560ps
Cadeia3-L3	890 μ A	10ps	2000ps

Para melhor compreensão dos dados obtidos através das simulações elétricas, os resultados estão divididos em subseções com o objetivo de apresentar os dados extraídos das simulações elétricas para cada circuito utilizado.

3.1.1 Circuito Load1

Na tabela 3.3 estão representados os valores obtidos quando se injeta um pulso de transição $1 \rightarrow 0 \rightarrow 1$ no nó 'INV001' com a entrada do circuito Load1 fixa em zero (*ground*). Observamos que não houve a ampliação do SET independentemente das cadeias utilizadas representando tamanho dos transistores diferentes entre cadeia1, cadeia2 e cadeia3. A tabela está dividida em duas partes, sendo a primeira parte representando a duração do pulso transiente (T_n) nos nodos especificados para as três cadeias utilizadas e a segunda parte demonstra os tempos de propagação das portas lógicas.

Tabela 3.3: Circuito Load1 com entrada em nível lógico "0"

	Cadeia1	Cadeia2	Cadeia3
Nodo	τ_n (ns)	τ_n (ns)	τ_n (ns)
INV001	0,63	0,73	1,72
INV002	0,65	0,76	1,77
INV019	0,68	0,78	1,81
INV020	0,65	0,77	1,80
INV067	0,68	0,78	1,81
INV068	0,65	0,77	1,80
INV129	0,68	0,78	1,81
INV130	0,65	0,77	1,80
INV249	0,68	0,78	1,81
INV250	0,65	0,77	1,80
	Delay	Delay	Delay
tp_{LH} (ps)	86,20	82,60	78,90
tp_{HL} (ps)	70,90	72,10	71,30
Δtp (ps)	15,30	10,50	7,60

O mesmo comportamento ocorreu quando se injeta um pulso de transição 0→1→0 no nó 'INV001' com a entrada do circuito Load1 fixa em 1,8V (V_{DD}). Veremos que este comportamento está associado com o balanceamento dos transistores do circuito Load1.

3.1.2 Circuito Load3

Na tabela 3.4 estão representados os valores obtidos quando se injeta um pulso de transição 1→0→1 no nó 'INV001' com a entrada do circuito Load3 fixa em zero (*ground*). Observamos que houve a ampliação do SET para os três casos de acordo com a tabela. Conforme mostrado na figura 3.4, o circuito Load3 possui dois tipos de nodos, os nodos com *fan-out* igual a 1 e os nodos com *fan-out* igual a 3. Por este motivo ocorre um desbalanceamento entre os atrasos de propagação das portas lógicas conforme mostrado na tabela 3.4. A tabela está dividida agora em três partes, sendo a primeira parte representando a duração do pulso transiente (T_n) nos nós especificados para as três cadeias utilizadas, onde existe a possibilidade de verificar a existência do aumento do pulso transiente ao percorrer a cadeia de inversores, a segunda parte demonstra os atrasos de propagação das portas lógicas para os nodos pares e a terceira parte demonstra os atrasos de propagação das portas lógicas para os nodos ímpares.

Tabela 3.4: Circuito Load3 com entrada em nível lógico "0"

	Cadeia1-L3	Cadeia2-L3	Cadeia3-L3
Nodo	τ_n (ns)	τ_n (ns)	τ_n (ns)
INV001	0,72	0,83	1,95
INV002	0,73	0,84	1,96
INV003	0,77	0,88	2,00
INV004	0,75	0,871	1,99
INV067	1,28	1,33	2,43
INV068	1,27	1,32	2,42
INV128	1,75	1,74	2,79
INV129	1,79	1,76	2,81
INV249	2,76	2,59	3,57
INV250	2,74	2,58	3,56
	Nodos Pares	Nodos Pares	Nodos Pares
tp_{LH} (ps)	86,20	82,60	78,90
tp_{HL} (ps)	70,90	72,10	71,30
Δtp (ps)	15,30	10,50	7,60
	Nodos Ímpares	Nodos Ímpares	Nodos Ímpares
tp_{LH} (ps)	129,95	126,28	122,32
tp_{HL} (ps)	101,13	104,46	104,68
Δtp (ps)	28,82	21,82	17,64

Tabela 3.5: Circuito Load3 com entrada em nível lógico "1"

	Cadeia1-L3	Cadeia2-L3	Cadeia3-L3
Nodo	τ_n (ns)	τ_n (ns)	τ_n (ns)
INV001	0,37	0,41	1,21
INV002	0,43	0,46	1,3
INV003	0,39	0,43	1,28
INV004	0,41	0,45	1,29
INV017	0,18	0,3	1,2
INV018	0,19	0,31	1,21
INV019	0,08	0,27	1,18
INV020	-	0,28	1,19
INV131	-	-	0,46
INV250	-	-	-

Quando se injeta um pulso de transição $0 \rightarrow 1 \rightarrow 0$ no nó 'INV001' com a entrada do circuito Load3 fixa em V_{DD} , foi observado que a duração e a amplitude do pulso transiente ao percorrer a cadeia de inversores tende a se degradar, comprovando o resultado obtido pelo experimento prático.

Para verificar se estes comportamentos estão ligados com o motivo do desbalanceamento dos transistores da cadeia de inversores Load3, foi utilizado um terceiro circuito nas simulações que foi denominado Load1 desbalanceado.

3.1.3 Circuito Load1 Desbalanceado

O circuito Load1 desbalanceado tem *fan-out* igual a 1 para todos os nodos da cadeia de inversores. O tamanho dos transistores dos nodos segue a mesma relação que a tabela 3.2, onde largura de *gate* dos Transistores PMOS é o dobro dos transistores NMOS, entretanto, para garantir o desbalanceamento, os transistores nos nodos ímpares são 1,2 vezes maiores que os transistores nos nodos pares.

Verificamos que para este circuito a ampliação do SET ocorreu de acordo com o circuito Load3.

Quando a entrada do circuito é mantida em zero (*ground*) e um pulso de transição $1 \rightarrow 0 \rightarrow 1$ injetado no nó 'INV001' ocorre a ampliação do SET ao percorrer o circuito Load1 desbalanceado conforme tabela 3.6. No entanto, quando a entrada do circuito é mantida em V_{DD} a duração e amplitude do pulso transiente diminui à medida que se propaga ao longo da cadeia de inversores, mostrando que o desbalanceamento dos transistores está relacionado com a ampliação do SET.

Tabela 3.6: Circuito Load1 desbalanceado com entrada em nível lógico "0"

	Cadeia1	Cadeia2	Cadeia3
Nodo	τ_n (ns)	τ_n (ns)	τ_n (ns)
INV001	0,75	0,88	2,20
INV002	0,77	0,91	2,25
INV003	0,80	0,94	2,30
INV004	0,81	0,97	2,29
INV067	1,08	1,09	2,40
INV068	1,09	1,10	2,40
INV128	1,35	1,22	2,48
INV129	1,37	1,24	2,49
INV249	1,88	1,50	2,67
INV250	1,89	1,52	2,68
	Nodos Pares	Nodos Pares	Nodos Pares
tp_{HL} (ps)	82,68	80,00	76,39
tp_{LH} (ps)	70,10	70,90	69,89
Δtp (ps)	12,58	9,10	6,50
	Nodos Ímpares	Nodos Ímpares	Nodos Ímpares
tp_{HL} (ps)	91,73	87,66	83,41
tp_{LH} (ps)	70,33	73,94	73,10
Δtp (ps)	21,40	13,72	10,31

3.1.4 Somador de 1 Bit

Entretanto, em um circuito combinacional real seria improvável encontrar um circuito com tantos níveis lógicos, existe varias motivos para a não utilização destes circuitos. Portanto utilizamos um circuito somador de 1 bit para a análise da propagação de SET conforme figura 3.5.

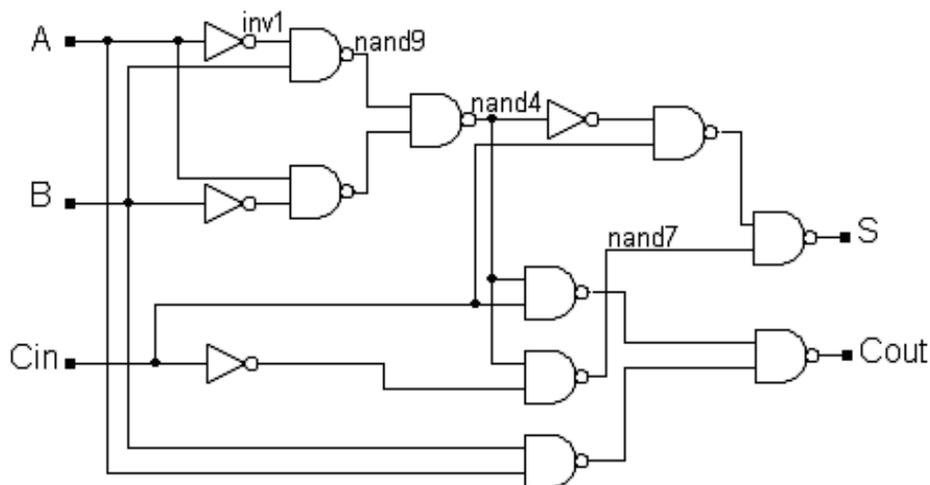


Figura 3.5: Somador de 1 bit.

Para demonstrar a propagação de SET, a tabela 3.7 abaixo, refere-se a um pulso de corrente inserido no nodo Inv1 do circuito somador de 1 bit, com os tamanhos dos transistores iguais à $W_p=1,2\mu\text{m}$, $W_n=0,6\mu\text{m}$ e $L=0,25\mu\text{m}$ para todas as portas lógicas do circuito. Foi utilizado na simulação da duplo-exponencial I_0 , τ_β e τ_α igual a $290\mu\text{A}$, 10ps e 780ps respectivamente para transição $1\rightarrow 0\rightarrow 1$, para caracterização do SET, com um vetor de entrada do circuito no valor de (0, 1, 0) para as entradas (A, B, Cin) respectivamente.

Podemos verificar através dos valores da tabela 3.7 para a simulação-1 que devido ao número reduzido de níveis lógicos do circuito, a ampliação do pulso transiente ocorre, mas em taxas menores em relação ao circuito Load3 que tem 250 níveis lógicos.

Este efeito ocorre devido ao desbalanceamento dos transistores devido à *fan-out* diferentes, no nodo Nand4 onde ocorre a ampliação do SET o *fan-out* é três ocasionando uma diferença entre seus tempos de atraso de propagação. Esta diferença entre os tempos de atraso de propagação é justamente a taxa de aumento da duração do pulso transiente conforme os valores obtidos referente à simulação-1 na tabela 3.8.

Na tabela 3.8 estão representados o valor da duração do pulso de entrada do nodo (Tn) e duração de pulso de saída do nodo Nand4, os valores dos atrasos de propagação da porta (t_{pLH} e t_{pHL}) e a variação entre eles. Na simulação-1 a diferença entre os atrasos da porta (ΔTP) é de $21,82\text{ps}$ e o valor do aumento do pulso entre a duração do pulso transiente de saída do nodo Nand4 em relação à duração do pulso de entrada é de $21,81\text{ps}$.

Para diminuir o desbalanceamento entre os atrasos de propagação das portas lógicas do circuito somador de 1 bit, na simulação-2 os tamanhos dos transistores são de $W_p=1,5\mu\text{m}$, $W_n=0,6\mu\text{m}$ e $L=0,25\mu\text{m}$ para a porta lógica Nand4 tendo em vista diminuir a variação entre os atrasos de propagação da porta e para o restante das portas lógicas do circuito foi mantida a mesma relação dos tamanhos dos transistores utilizados na simulação-1.

Podemos perceber que com esses novos parâmetros na simulação-2 a ampliação do SET não ocorreu no nodo Nand4, ocasionando uma largura de duração do pulso do nodo final do circuito com uma taxa de 5% menor em comparação com a simulação-1.

Tabela 3.7: Análise da duração do pulso (em ps) propagando-se através do somador de 1 Bit

Simulações	Inv1	Nand9	Nand4	Nand7	S
Simulação-1	737,91	801,97	823,78	799,60	794,44
Simulação-2	737,91	801,97	800,50	772,44	766,30

Tabela 3.8: Análise da duração do pulso (em ps) em relação aos atrasos de propagação da porta lógica Nand4

Simulações	Tn	Nand4	t_{pLH}	t_{pHL}	ΔTP
Simulação-1	801,97	823,78	212,04	190,22	21,82
Simulação-2	801,97	800,50	192,11	193,97	1,86

Portanto, quando ocorre um pulso de transição $0\rightarrow 1\rightarrow 0$ na entrada de uma porta lógica devemos levar em conta que, se o t_{pLH} da porta lógica for mais lento que o t_{pHL} ,

pode ocasionar um aumento da duração do pulso transiente na saída da porta lógica, conforme figura 3.6.

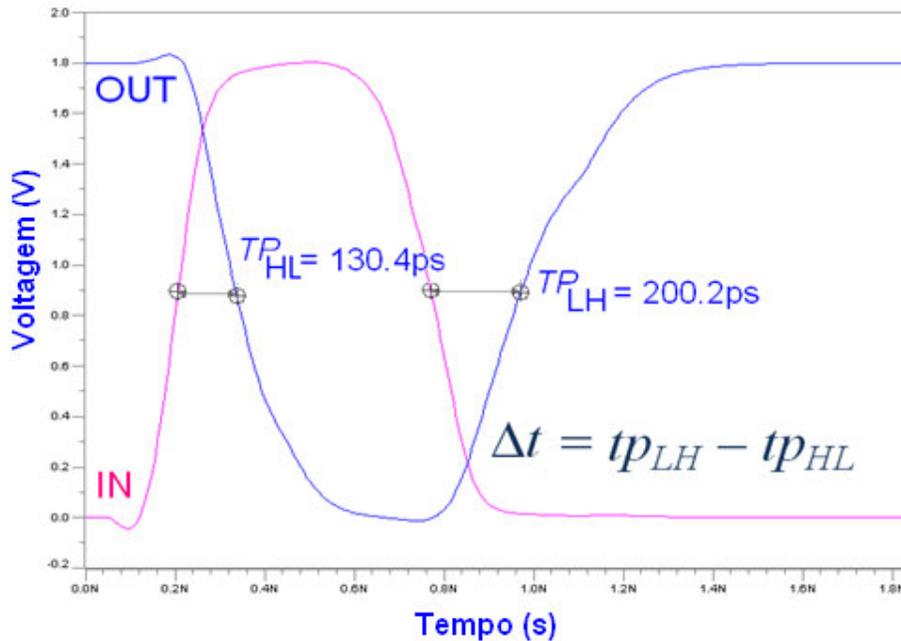


Figura 3.6: Propagação do pulso transiente com efeito de ampliação no pulso de saída.

Podemos então definir como a variação entre os tempos de atraso de propagação da porta lógica (Δtp) a seguinte expressão:

Quando o pulso gerado no nodo de entrada for uma transição $1 \rightarrow 0 \rightarrow 1$, então Δt será:

$$\Delta t = tp_{HL} - tp_{LH} \quad (3.1)$$

Se o pulso gerado no nodo de entrada for uma transição $0 \rightarrow 1 \rightarrow 0$, então Δt será:

$$\Delta t = tp_{LH} - tp_{HL} \quad (3.2)$$

Com base nesta definição podemos explicar a ampliação do pulso transiente para o circuito Load3 com entrada mantida em *ground*, pois quando injetado um pulso de corrente no nodo INV001 de transição $1 \rightarrow 0 \rightarrow 1$, os nodos de número par teriam o comportamento da equação (3.1) enquanto os nodos ímpares seguiriam a equação (3.2), como o Δtp das portas ímpares é maior que a Δtp das portas pares, a ampliação do SET surge.

Entretanto, quando a entrada do circuito Load3 é mantida em V_{DD} , o pulso de corrente injetado no nodo INV001 é de transição $0 \rightarrow 1 \rightarrow 0$, ocasionando o efeito contrário, pois os nodos pares assumirão o comportamento da equação (3.2) enquanto os nodos ímpares terão o comportamento relacionado com a equação (3.1) ocasionando uma degradação da duração do pulso transiente ao percorrer o circuito.

Em outras palavras, no caso de um pulso transiente em um nó, se o atraso de propagação da primeira transição for menor do que o atraso de propagação da segunda transição, o SET é ampliado. Se o atraso de propagação da segunda transição é menor do que o atraso de propagação a primeira transição, a SET é atenuada.

Foi utilizado também um circuito somador de 3 bits para analisar da propagação de SET, como mostrado na figura 3.7. O comportamento da propagação SET é mostrado na Tabela 3.9. Refere-se à situação em que o SET 1→0→1 é inserido no nó inv1. As entradas lógicas (010 100 1), para as entradas (a0a1a2 b0b1b2 Cin), respectivamente.

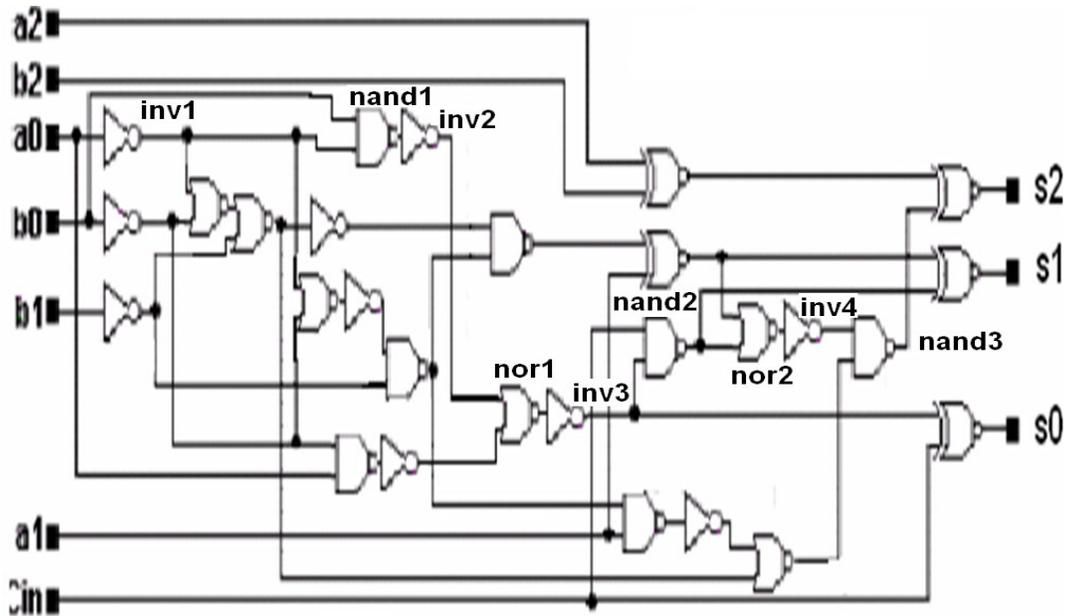


Figura 3.7: Circuito Somador de 3 bits.

Tabela 3.9: Simulação elétrica de um pulso transiente no circuito somador de 3 bits

Nodo	Gate tp_{LH} (ps)	Gate tp_{HL} (ps)	Simulação SET(ps)
inv1			752,09
nand1	157,18	178,27	773,17
inv2	117,31	79,59	810,89
nor1	151,32	86,14	745,71
inv3	174,45	171,38	748,78
nand2	112,69	170,25	806,35
nor2	240,70	109,35	937,69
inv4	93,51	93,53	937,71
nand3	130,00	142,24	924,46
s2	154,46	152,29	925,21

Podemos verificar que a ampliação do SET ocorre neste caso também, comprovando a importância de mantermos o circuito balanceado, para evitarmos este comportamento do SET.

4 MODELO PROPOSTO PARA A PROPAGAÇÃO DE FALHAS TRANSIENTES

O modelo apresentado nesta seção é a extensão do modelo empírico proposto em (Wirth, 2008) para adequação dos resultados obtidos da simulação de circuito no nível do Hspice descrita na seção 3. O modelo da tecnologia utilizado neste trabalho foi a tecnologia MOSIS 0,25 μm *Bulk* obtido em (MOSIS, 2008).

O modelo é dividido em quatro regiões, de acordo com a relação entre τ_n (duração do pulso de entrada no n -ésimo estágio) e o atraso da porta tp . Onde o valor de tp será igual ao valor de tp_{HL} quando o pulso gerado no nodo de entrada da porta lógica for uma transição $0 \rightarrow 1 \rightarrow 0$, caso contrário, o valor de tp será igual ao valor de tp_{LH} .

A primeira região representa a situação em que o pulso transiente é filtrado. O modelo calcula a duração do pulso transiente abaixo ou acima de $V_{DD}/2$, de acordo com a transição. Simulações para cadeia de portas inversoras e NAND, com geometria diferente e em nós diferentes da tecnologia, foram realizados. Observou-se que a relação τ_n/tp , onde o τ_n é a duração do pulso no n th estágio, tem que ser pelo menos k vezes tp maior a fim de propagar ao estágio seguinte. Para entradas transientes com tempos menores tp da duração então $k*tp$, a tensão da saída muda menos do que $V_{DD}/2$, isto é, o pulso transiente não é propagado ao (estágio de $n+1$)th. Assim, o modelo para esta região é:

$$\begin{aligned} &\text{Se } (\tau_n < k*tp), \\ &\tau_{n+1} = 0 \end{aligned} \tag{4.1}$$

Onde τ_n é a duração do pulso de entrada no n th estágio.

O valor de k (constante de ajuste para o modelo empírico) depende da tecnologia que está sendo aplicado, neste caso o valor de k é 1,1.

A segunda região representa a situação em que o pulso transiente não é degradado e poderá ter sua duração alargada através da cadeia de portas lógicas do circuito combinacional. Isto ocorre quando o pulso da entrada tem a duração (τ_n) maior que $(k+2,5)$ vezes tp . Neste caso a propagação do pulso da entrada poderá ter sua duração alargada. Assim, o modelo para esta região é:

$$\begin{aligned} &\text{Se } (\tau_n > (k+2,5)*tp), \\ &\tau_{n+1} = \tau_n + \Delta t \end{aligned} \tag{4.2}$$

As terceiras e quartas regiões modelam a situação em que o pulso é propagado, mas é degradado na amplitude e na duração. O pulso degrada mais rapidamente nos últimos

estágios antes de ser filtrado. Então, é apropriado modelar a atenuação do pulso em duas regiões, com as equações diferentes que modelam a degradação em cada uma destas duas regiões.

O modelo para a terceira região, obtido é:

Se $((k+1)*tp < \tau_n < (k+2,5)*tp)$

$$\tau_{n+1} = (\tau_n^2 - tp^2) / \tau_n + \Delta t \quad (4.3)$$

Nos últimos estágios antes de ser filtrado para fora a duração do pulso (τ_n) diminui, o pulso degrada mais rapidamente comparado com a diminuição do pulso nos primeiros estágios, e o modelo para a terceira região perde a validade para estes pulsos que estão sendo quase filtrados. O modelo para a quarta região obtido é:

Para $(k*tp < \tau_n < (k+1)*tp)$,

$$\tau_{n+1} = (k+1)*tp(1 - e^{-(\tau_n / tp)}) + \Delta t \quad (4.4)$$

Várias simulações são realizadas, sendo algumas delas apresentadas nas tabelas da próxima seção, para os circuitos Load3, Load1, circuito somador de 1 bit, e o circuito somador de 3 bits. Estas tabelas mostram a propagação de pulso transiente ampliar e comparar os resultados da simulação Hspice com previsão do modelo, como dada pela equação (4.2). Uma excelente concordância é encontrada para a região de maior interesse para modelar o efeito do pulso de ampliação, que é a segunda região do modelo. Para as demais regiões a precisão do modelo não é tão boa como na segunda região, apesar de uma boa concordância entre o modelo e a simulação também ter sido encontrada.

4.1 Demonstração do funcionamento do modelo proposto

Para especificar o funcionamento do modelo de degradação proposto, a tabela 4.1 abaixo, refere-se a um pulso de corrente inserido no nodo Inv1 do circuito da figura 3.5, com os tamanhos dos transistores iguais a $W_p=1,2\mu\text{m}$, $W_n=0,6\mu\text{m}$ e $L=0,25\mu\text{m}$ para todas as portas lógicas do circuito. Foi utilizado na simulação da duplo-exponencial I_0 , τ_β e τ_α igual a $290\mu\text{A}$, 10ps e 780ps respectivamente para transição $1 \rightarrow 0 \rightarrow 1$, para caracterização do SET, com um vetor de entrada do circuito no valor de $(0, 1, 0)$ para as entradas (A, B, Cin) respectivamente.

Tabela 4.1: Análise da duração do pulso (em ps) propagando-se através do somador de 1 bit

Nodo	Gate tp_{LH} (ps)	Gate tp_{HL} (ps)	Modelo SET(ps)	Simulação SET(ps)
inv1			737,91	737,91
Nand9	112,46	178	802,34	801,97
Nand4	212,04	193,97	824,23	823,78
Nand7	179,26	150,20	794,78	799,60
S	130,27	135,43	793,25	794,44

Na tabela 4.1 acima, o valor de 737,91 obtidos no nó inv1 na terceira coluna da tabela é referente à modelagem da falha transiente conforme (Wirth, 2005).

O valor de 802,34ps obtidos pelo modelo de propagação no nó Nand9 foi obtido pela segunda região do modelo pela equação (4.2), o atraso da porta em questão é de $T_{pHL}=178ps$ e $T_{pLH}=112,46ps$, valor obtido por simulação elétrica Hspice conforme tabela 4.1 e a variável k do modelo no valor igual à 1,1. A diferença entre os tempos de atraso de propagação da porta Nand9 (Δt) é igual a 65,54ps, valor utilizado na equação (3.1) e adicionado com a equação (4.2), enquanto o valor obtido pela simulação elétrica obteve um aumento no valor de τ_{n+1} de 64,06ps em relação à largura do pulso em τ_n , ocasionando uma diferença de 0,05% entre a simulação elétrica e o modelo proposto.

O valor de 824,33ps obtidos pelo modelo de propagação no nó Nand4 foi obtido também pela segunda região do modelo pela equação (4.2), o atraso da porta em questão é de $T_{pHL}=190,22ps$ e $T_{pLH}=212,04ps$, com transação do pulso transiente agora de $1 \rightarrow 0 \rightarrow 1$, foi utilizado o valor obtido pela equação (3.2), ocasionando uma diferença de 0,05% entre a simulação elétrica e o modelo proposto.

O valor de 794,78ps obtidos pelo modelo de propagação no nó Nand7 foi obtido pela segunda região do modelo pela equação (4.2), devido ao efeito de aumento na propagação dos pulsos transientes nos nodos anteriores, o atraso da porta em questão é de $T_{pHL}=150,20ps$ e $T_{pLH}=179,26ps$, com transação do pulso transiente agora de $0 \rightarrow 1 \rightarrow 0$, foi utilizado o valor obtido pela equação (3.1), ocasionando uma degradação no pulso transiente com uma diferença de 0,6% entre a simulação elétrica e o modelo proposto.

O valor de 793,25ps obtidos pelo modelo de propagação no nó S foi obtido pela segunda região do modelo pela equação (4.2), o atraso da porta em questão é de $T_{pHL}=135,43ps$ e $T_{pLH}=130,37ps$, com transação do pulso transiente agora de $1 \rightarrow 0 \rightarrow 1$, foi utilizado o valor obtido pela equação (3.2), ocasionando uma degradação no pulso transiente com uma diferença de 0,3% entre a simulação elétrica e o modelo proposto.

4.2 Validação do modelo

O modelo é validado comparando os resultados obtidos através das equações apresentadas nas subseções anteriores, com simulações elétricas Hspice com a tecnologia MOSIS 0,25 μm Bulk.

Várias simulações são realizadas, sendo algumas delas apresentadas nas tabelas 4.2 a 4.9, para circuitos mostrados na seção 3. Essas tabelas de comparação de resultados de simulação Hspice com previsão do modelo, como dada pelas equações (4.2) a (4.4). Excelente concordância é encontrada para a região de maior interesse para modelar o efeito do pulso de ampliação, que é a segunda região do modelo. Para as demais regiões a precisão do modelo não é tão boa como na segunda região, apesar de uma boa concordância entre o modelo e a simulação também ter sido encontrada.

Tabela 4.2: Comparação entre o modelo de propagação e a simulação elétrica para o efeito de degradação para o circuito Load3

Nodo	τ_n (ns) para Simulação da Cadeia1-L3	τ_n (ns) para Modelo da CADEIA1-L3	τ_n (ns) para Modelo da Cadeia3-L3	τ_n (ns) para Modelo da CADEIA3-L3
INV002	0,37	0,37	1,21	1,21
INV003	0,43	0,43	1,3	1,3
INV004	0,39	0,39	1,28	1,29
INV017	0,41	0,41	1,19	1,20
INV018	0,18	0,13	1,2	1,21
INV019	0,19	0,09	1,17	1,18
INV020	0,08	-	1,18	1,19
INV067	-	-	0,86	0,87
INV068	-	-	0,87	0,86
INV069	-	-	0,85	0,85
INV128	-	-	0,49	0,49
INV129	-	-	0,47	0,46
INV249	-	-	-	-
INV250	-	-	-	-

Na tabela 4.2, podemos observar que o modelo proposto se degradou e foi filtrado antes que a simulação elétrica para a cadeia1-Load3, enquanto que para a cadeia3-Load3, o modelo proposto teve um bom comportamento em relação a simulação elétrica e se degradou e foi filtrado no mesmo nodo do circuito.

Tabela 4.3: Comparação entre o modelo de propagação e a simulação elétrica para o efeito broadening para o circuito Load3

Nodo	τ_n (ns) para Simulação da Cadeia1-L3	τ_n (ns) para Modelo da Cadeia1-L3	τ_n (ns) para Simulação da Cadeia2-L3	τ_n (ns) para Modelo da CADEIA2-L3
INV002	0,73	0,71	0,84	0,83
INV003	0,77	0,74	0,88	0,85
INV004	0,75	0,72	0,87	0,84
INV017	0,88	0,83	0,98	0,93
INV018	0,87	0,82	0,97	0,92
INV019	0,90	0,84	0,99	0,94
INV020	0,88	0,83	0,98	0,93
INV067	1,29	1,17	1,33	1,21
INV068	1,28	1,15	1,32	1,20
INV069	1,31	1,18	1,34	1,22
INV128	1,76	1,56	1,74	1,54
INV129	1,80	1,59	1,76	1,56
INV249	2,76	2,41	2,59	2,25
INV250	2,74	2,38	2,58	2,23

Na tabela 4.3, podemos observar o efeito de aumento do pulso transiente ao percorrer os circuitos analisados, observamos que em ambos os casos, o modelo proposto teve o mesmo comportamento que a simulação elétrica, sendo que para ambos os circuitos analisados, o modelo proposto teve um erro de 24% em relação ao nodo INV250.

Tabela 4.4: Análise da duração do pulso (em ps) propagando-se através do somador de 1 bit desbalanceado.

Nodo	Gate t_{pLH} (ps)	Gate t_{pHL} (ps)	Modelo SET(ps)	Simulação SET(ps)
inv1				737,91
Nand9	112,46	178	802,34	801,97
Nand4	212,04	193,97	824,23	823,78
Nand7	179,26	150,20	794,78	799,60
S	130,27	135,43	793,25	794,44

Tabela 4.5: Análise da duração do pulso (em ps) propagando-se através do somador de 1 bit com nodo Nand4 balanceado

Nodo	Gate t_{pLH} (ps)	Gate t_{pHL} (ps)	Modelo SET(ps)	Simulação SET(ps)
inv1				737,91
Nand9	112,46	178	803,96	801,97
Nand4	192,11	193,97	800,59	800,50
Nand7	179,26	150,20	771,44	772,44
S	130,27	135,43	766,28	766,30

Para as tabelas 4.4 e 4.5, podemos observar que o modelo proposto teve melhores resultados do que as tabelas anteriores, comprovando a importância de prever os efeitos dos pulsos transientes em um nodo específico e balancearmos a célula em questão. Podemos observar que o erro entre o modelo proposto e a simulação elétrica é praticamente zero.

Os parâmetros I_0 , τ_α e τ_β representados da tabela se refere tanto para uma transição de $0 \rightarrow 1 \rightarrow 0$, como para a transição $1 \rightarrow 0 \rightarrow 1$. Onde os parâmetros estão organizados de acordo com as tabelas com a comparação entre o modelo e as simulações elétricas utilizadas conforme demonstradas na tabela 4.6.

Tabela 4.6: Parâmetros referentes à duplo-exponencial utilizados nas simulações

Simulações	I_0	τ_α	τ_β
simulação_tabela_4.7	290 μ A	10ps	780ps
simulação_tabela_4.8	290 μ A	10ps	810ps
simulação_tabela_4.9	290 μ A	10ps	880ps

Tabela 4.7: Análise da duração do pulso (em ps) propagando-se através do somador de 3 bits com pulso de entrada com 752ps

Nodo	Gate tp_{LH} (ps)	Gate tp_{HL} (ps)	Modelo SET(ps)	Simulação SET(ps)
inv1				752,09
nand1	157,18	178,27	773,18	773,17
inv2	117,31	79,59	810,90	810,89
nor1	151,32	86,14	745,72	745,71
inv3	174,45	171,38	748,79	748,78
nand2	112,69	170,25	806,35	806,35
nor2	240,70	109,35	937,70	937,69
inv4	93,51	93,53	937,72	937,71
nand3	130,00	142,24	925,48	924,46
s2	154,46	152,29	927,65	925,21

Tabela 4.8: Análise da duração do pulso (em ps) propagando-se através do somador de 3 bits com pulso de entrada com 784ps

Nodo	Gate tp_{LH} (ps)	Gate tp_{HL} (ps)	Modelo SET(ps)	Simulação SET(ps)
inv1				784,29
nand1	157,18	178,27	805,38	807,24
inv2	117,31	79,59	843,10	845,43
nor1	151,32	86,14	777,92	780,42
inv3	174,45	171,38	780,99	783,67
nand2	112,69	170,25	838,55	840,92
nor2	240,70	109,35	969,90	972,36
inv4	93,51	93,53	969,92	972,37
nand3	130,00	142,24	957,68	959,13
s2	154,46	152,29	958,85	959,87

Tabela 4.9: Análise da duração do pulso (em ps) propagando-se através do somador de 3 bits com pulso de entrada com 858ps

Nodo	Gate tp_{LH} (ps)	Gate tp_{HL} (ps)	Modelo SET(ps)	Simulação SET(ps)
inv1				858,57
nand1	157,18	178,27	883,90	885,48
inv2	117,31	79,59	921,62	924,61
nor1	151,32	86,14	856,44	859,88
inv3	174,45	171,38	859,51	863,34
nand2	112,69	170,25	917,07	920,25
nor2	240,70	109,35	1048,42	1051,70
inv4	93,51	93,53	1048,44	1051,70
nand3	130,00	142,24	1036,20	1038,50
s2	154,46	152,29	1038,37	1039,20

Podemos observar que para as tabelas acima referentes ao circuito somador de 3 bits, o modelo proposto para o efeito de aumento do pulso transiente ao se propagar entre um circuito com as portas lógicas desbalanceadas obteve um ótimo comportamento em relação às simulações elétricas analisadas.

5 VALIDAÇÃO ON-CHIP

Nesta seção, serão apresentados os trabalhos referentes ao estudo do estado da arte de circuitos *on-chip* que fazem a medição da largura de um SET em um nodo de um circuito combinacional. Para os circuitos mais relevantes será realizada a simulação elétrica detalhada, permitindo a comparação de comportamento destes. Para um dos circuitos será realizado o fluxo de projeto completo, desde o leiaute até as simulações elétricas utilizando uma arquitetura proposta para medir a largura dos pulsos de SETs.

5.1 Estudo de Casos

A probabilidade que um SET resultará em um erro é dependente da distância da propagação através da lógica combinacional e do tempo de chegada do SET na entrada do *latch* (S. Buchner, 2001) e (L. W. Massengill, 2000). A largura de um pulso de tensão transiente é determinada por muitos fatores, incluindo a natureza da partícula de ionização, transferência de energia linear da partícula, as características do circuito, a tecnologia usada, bem como a posição e o ângulo de incidência da partícula (S. Buchner, 2001), (L. W. Massengill, 1993) e (P. Eaton, 2004). Os pulsos mais largos têm uma probabilidade maior de serem lidos durante a borda ativa do clock em uma célula de memória. Assim, caracterizar as larguras de pulsos de tensão transientes é de grande importância na medição e na investigação de efeitos de SET para uma tecnologia avançada.

A caracterização de pulsos de SET foi realizada com uma variedade de técnicas. Alguns casos, os pulsos transientes atuais que são responsáveis para iniciar SETs foram medidos diretamente usando osciloscópios (H. Schone, 1998) e (V. Ferlet-Cavrois, 2005). Entretanto, tais medidas *off-chip* diretas são difíceis de executar por causa da distorção do pulso devido às capacitâncias dispersas do sistema de medida.

A seguir, serão apresentados alguns trabalhos referentes ao estudo da arte em medição da largura do pulso transiente, para critério de entendimento, as metodologias utilizadas estão nomeadas conforme os nomes de seus autores.

5.1.1 Metodologia de M. Nicolaidis and R. Perez

Em (M. Nicolaidis, 2003), propõem uma estrutura para medir a duração dos pulsos transientes induzidos em redes lógica por partículas de íons e nêutrons. Fornecendo medidas aproximadas destes pulsos, a aproximação permite a compreensão melhor do

fenômeno *single-event-upset*, e permite uma avaliação da sensibilidade de circuitos VLSI à SET.

5.1.1.1 Estrutura do circuito de media

De acordo com (M. Nicolaidis, 2003), para determinar a largura do pulso transiente, um chip de teste pode ser projetado para executar medidas da largura do pulso durante um campo de teste de radiação. Dois fatos complicam esta tarefa:

- A probabilidade de uma partícula atingir uma célula combinacional é muito baixa. Portanto, seria importante a execução de um número muito grande de cópias de uma célula, a fim de obter a evidência experimental necessária para essa célula.
- E as durações dos pulsos transientes são muito curtas e requerem circuitos complexos de medida para capturá-las.

Para reduzir a duração e o custo do processo de medida da largura do pulso transiente, M. Nicolaidis propôs uma técnica de medida que usa cópias de cadeias de células, em que cada cópia da célula é monitorada por uma *latch*, como mostrado na Figura 5.1, onde a célula combinacional é um inversor.

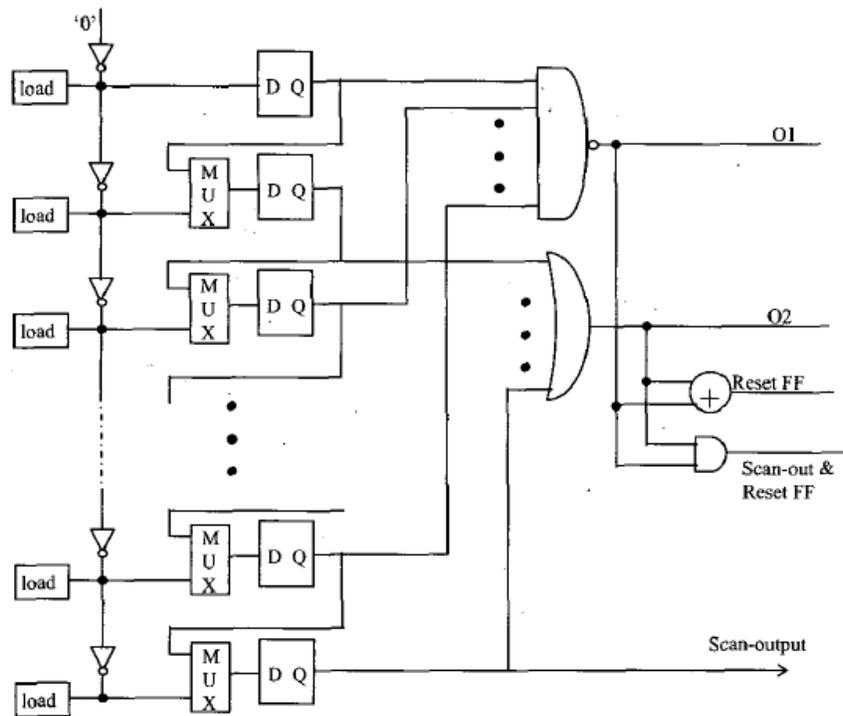


Figura 5.1: Estrutura de medição da largura do pulso (M. Nicolaidis, 2003).

De acordo com a figura 5.1, a estrutura de medição da largura do pulso transiente proposta pelo autor do artigo funciona resumidamente da seguinte forma:

- Os *latches* tipo D capturam em cada borda de pulso de *clock* as saídas das células.

- As portas lógicas OR e AND são usadas para detectar a ocorrência de um pulso transiente e ativar *read-out*.
- Esta etapa conecta os *latches* em uma cadeia de varredura, e desloca para fora os índices da cadeia. Esta solução reduz drasticamente a área ocupada pelo circuito de medida por cópia de célula.

Para reduzir a área das estruturas de medida, segundo o autor, foi observado que os pulsos transientes se propagam ao longo da cadeia de célula inteira até alcançar a saída. Assim, o autor removeu alguns *latches* da cadeia que capturam o pulso transiente, e verificou que ainda existia a possibilidade de medir a largura dos pulsos transientes.

Na Figura 5.2-a mostra esta cadeia, onde os conjuntos dos *latches* são distribuídos periodicamente ao longo da cadeia. Na Figura 5.2-b mostra outra execução onde os *latches* são colocados somente no final da cadeia.

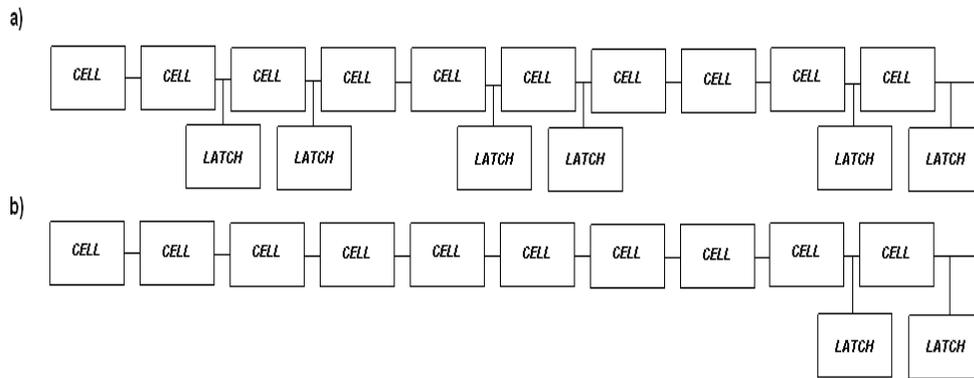


Figura 5.2: Dois circuitos para captura de pulsos transientes através de Latches.

Para que o circuito da figura 5.2-a funcione corretamente, conforme o autor da topologia, o número de *latches* em cada conjunto deve ser capaz de capturar a maior duração do pulso previsto.

O circuito de figura 5.2-b obtém uma redução mais elevada na área do circuito colocando os *latches* de captura somente no final da cadeia. De acordo com M. Nicolaidis um pulso transiente pode ser propagado através de um grande número de células antes de ser medida. Tal propagação pode ser aceitável, desde que não envolva modificações importantes da largura do pulso.

5.1.2 Metodologia de P. Eaton

Em (P. Eaton, 2004), uma estrutura de teste foi projetada para medir a largura do pulso transiente ocasionado por SETs. As larguras dos pulsos são medidas usando uma trava temporal variável. Conforme descrito a seguir.

5.1.2.1 Variable Temporal Latch

A estrutura de teste utilizada por P. Eaton, foi fabricada usando a tecnologia TSMC 0.18 μm . A Figura 5.3 mostra a representação do esquemático de um *variable temporal latch*.

A estrutura de teste básica no estudo utilizadas para SET em (P. Eaton, 2004), é composta por 3 cadeias de 256 *temporal latch shift registers* síncronos. O *latch* consiste de um multiplexador de 2 entradas, 3 caminhos de atraso e uma porta controladora de 3 entradas.

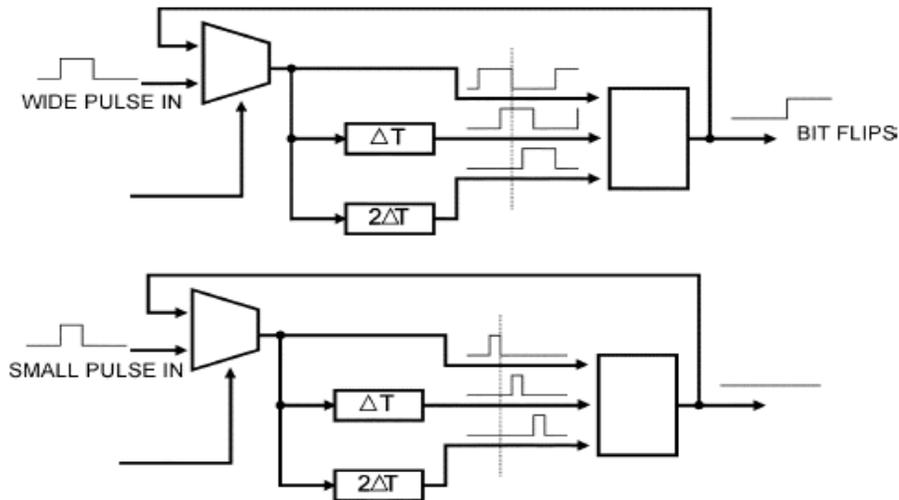


Figura 5.3: Representação do esquemático do dispositivo de variação temporal do Latch (P. Eaton, 2004).

De acordo com o autor, na operação típica o *latch* temporal rejeita os pulsos transientes através da configuração de um atraso predeterminado entre os 3 caminhos de atraso. Conforme a figura 5.3, o primeiro nodo não acrescenta nenhum atraso, o segundo nodo acrescenta um atraso ΔT e o terceiro nodo acrescenta o dobro do atraso ΔT . Quando ocorrer um pulso transiente, ele vai percorrer os 3 caminhos e terá o seguinte comportamento:

- Se o pulso transiente tiver comprimento menor que ΔT , somente um nodo poderá ser corrompido e a porta de controle irá rejeitar o pulso transiente e dará a saída correta.
- Por outro lado, a parte superior da figura 5.3 mostra um pulso transiente com comprimento maior que ΔT . Assim os dois nodos (ΔT e $2\Delta T$) vão aceitar a falha, tornando-se *upset*. Assim a porta de controle irá fornecer um valor errado na saída (P. Eaton, 2004).

Considerando a operação descrita desenvolvida por P. Eaton, variando o valor de ΔT podemos fazer o *latch* tornar-se imune a falhas SET/SEU. A operação básica dessa estrutura de teste é ajustar o valor de ΔT e verificar o ponto em que o *latch* torna-se imune a todos os *soft errors*.

5.1.2.2 Estrutura de elemento de atraso

Os elementos de atraso são construídos a partir de uma *current-starved inverter*, uma cadeia similar àquelas usadas em um oscilador controlador de tensão, mostrados na figura 5.4.

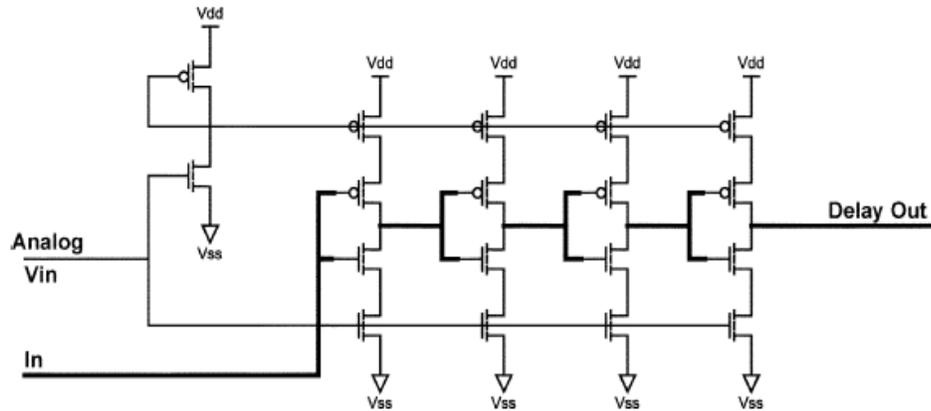


Figura 5.4: Esquemático de uma cadeia de atraso *current-starved* (P. Eaton, 2004).

Conforme o autor, os grupos de inversores *current-starved* são conectados a uma tensão de entrada (V_{in}) e a um gerador de corrente (I_{bias}). A cadeia de inversores é controlada pelos transistores PMOS e pelos transistores NMOS externos, que são conectados à tensão de entrada (V_{in}). Quando a tensão de entrada diminui, a corrente através da cadeia de inversor é reduzida e a resposta de cada inversor será atrasada (P. Eaton, 2004).

Uma segunda estrutura foi construída por P. Eaton no chip de teste ao lado dos registradores de deslocamento. Esta estrutura é uma cadeia que contém centenas de inversores *current-starved* como mostrada na Figura 5.5. A entrada da cadeia do inversor é combinada com a saída desta cadeia para criar um pulso igual ao atraso através da cadeia de inversores.

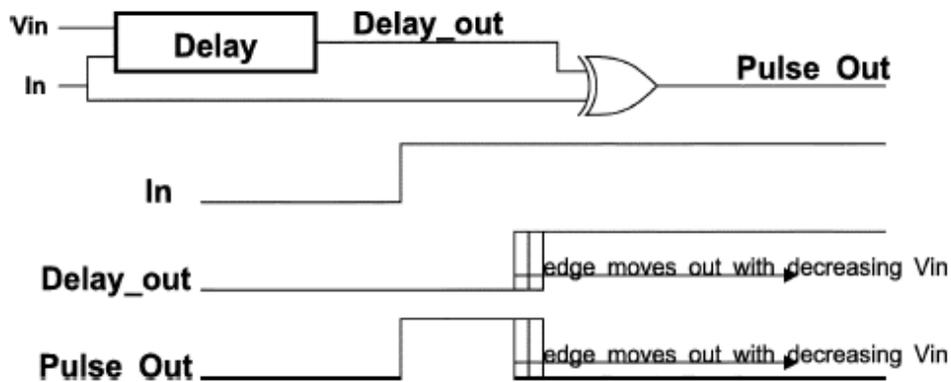


Figura 5.5: Circuito mostrando a forma do pulso usado no teste do chip (P. Eaton, 2004).

5.1.3 Metodologia de B. Narasimham

Em (B. Narasimham, 2005), o circuito de teste pode caracterizar a largura dos pulsos de tensão do SET enquanto propagam através das portas lógicas sem a necessidade de um acionador externo. O princípio de operação básico deste circuito é similar ao proposto em (M. Nicolaidis, 2003), mas incorpora um mecanismo *self-triggering* que não necessita de um sinal de relógio externo para indicar a ocorrência de um SET. Esta estrutura de teste captura o pulso do SET em uma série de *latches*, que são lidos para determinar a largura do pulso.

5.1.3.1 Circuito para medição da largura do pulso transiente

Em um circuito digital, o tempo de propagação de um inversor pode ser associado a uma unidade básica de atraso de propagação. O circuito teste caracteriza a largura do pulso do SET em unidades de atraso do inversor. A largura do pulso é definida como um sinal que muda a tensão do nó por pelo menos $V_{DD}/2$. Se a duração de entrada do pulso do SET for suficiente para uma cadeia de inversor, o pulso propagará através de cada inversor depois que um atraso específico (por exemplo, alcançará o terceiro inversor depois do atraso do segundo inversor, e alcançará o quinto inversor depois do atraso do quarto inversor, e assim por diante). Na Figura 5.6, onde uma borda do pulso transiente é mostrada para alcançar as entradas dos inversores em exemplos de tempos diferentes. Como o tempo progride, a propagação deste pulso transiente propagará através da série de inversores. Assim, em todo o instante, um determinado número de inversores terá suas saídas afetadas. Este número de inversores afetados é proporcional à largura do pulso transiente.

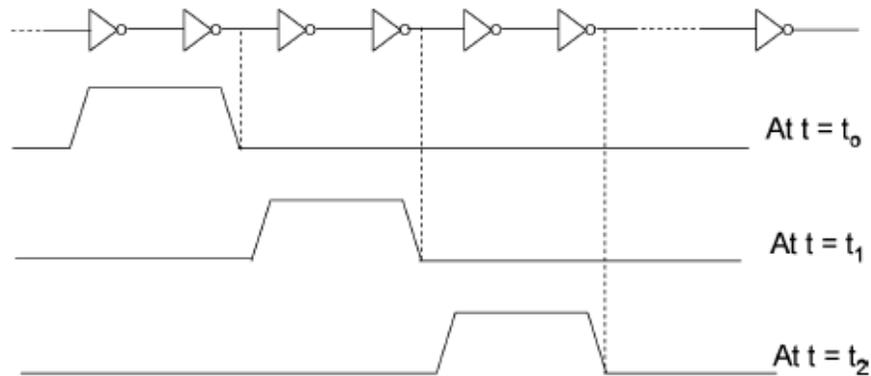


Figura 5.6: Propagação do pulso em uma cadeia de inversores (B. Narasimham, 2005).

A Figura 5.6 mostra um exemplo de propagação do pulso transiente que afeta duas saídas da cadeia de inversor ao propagar-se. De acordo com o autor, se o número de tais inversores cujas saídas estão afetadas pelo pulso do SET puder ser determinado no instante, a largura do pulso pode ser estimada como um múltiplo do atraso de um inversor. As simulações do artigo, mostraram que para todos as larguras dos pulsos entre $[(n - 0,5) \times \textit{stage delay}]$ e $[(n + 0,5) \times \textit{stage delay}]$, o número de estágios

afetados é N . Assim, a largura do pulso determinado será dentro de \pm um meio do *stage delay*.

Para capturar as saídas afetadas de uma cadeia de inversores, a saída de cada inversor foi conectada a uma trava assíncrona como mostrado na Figura 5.7, conforme o artigo. Se os *latches* estiverem colocadas em *hold* quando o pulso do SET estiver dentro da cadeia de inversor, cada trava reterá o estado da lógica de seu inversor respectivo.

De acordo com o autor, para fazer o circuito *self-triggering*, uma transição na saída do estágio n^{th} (ou o estágio do acionador) pode ser usada para colocar os *latches* em estado de *hold* como mostrado na Figura 5.7. Porque a saída do estágio n^{th} provoca o sinal de *hold* internamente, a informação exata a respeito do tempo da batida (ou da posição) é desnecessária de acordo com B. Narasimham.

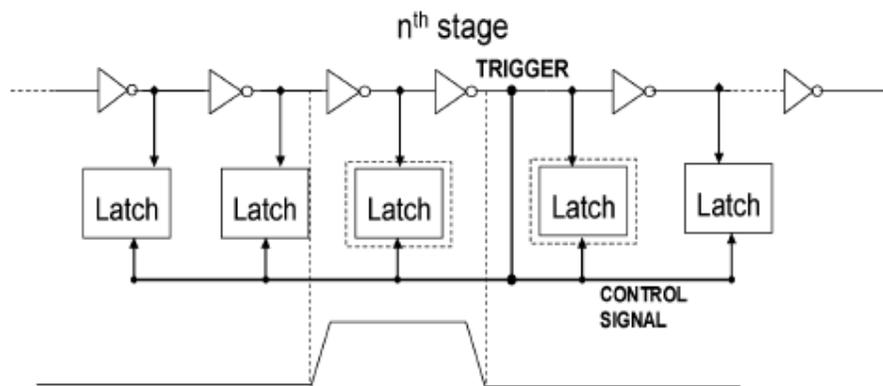


Figura 5.7: A saída do estágio n^{th} pode ser usada para fornecer o sinal de *hold* (B. Narasimham, 2005).

Baseado nesta aproximação, um circuito teste foi projetado e avaliado. Para simplificar o circuito e para reduzir efeitos de carregamento, os estágios individuais do inversor foram executados usando *passgate* do padrão CMOS, como mostrado na Figura 5.8. O tempo de transição da lógica de cada estágio do *passgate* foi feito para ser aproximadamente 2,5 vezes o tempo de transição de um inversor individual nesta tecnologia. Assim apenas os pulsos de SET acima 2,5 vezes o tempo de transição de um inversor pode ser medido.

A operação do circuito teste é direta. Durante a fase de propagação do SET, o sinal da passagem (*pass*) é *ON*, e o sinal de prensão (*hold*) está *OFF*. Em consequência, cada saída do inversor é conectada ao estágio seguinte, permitindo que o pulso do SET propague através dos inversores e dos *passgates*. Quando a borda principal do pulso do SET alcança o n^{th} estágio, aciona o flip-flop SR, que desliga subseqüentemente todos os *passgates* invertendo o sinal de *pass* e congelando os dados nas travas girando sobre o sinal de *hold*.

A largura do pulso do SET é diretamente proporcional ao número de *latches* cuja saída é afetada. Uma vez que as saídas dos *latches* foram lidas para fora, um sinal de restauração (*Reset*) poderá ser usado para inicializar os sinais de *pass* e de *hold* e fazer o circuito ficar pronto para medir o próximo pulso.

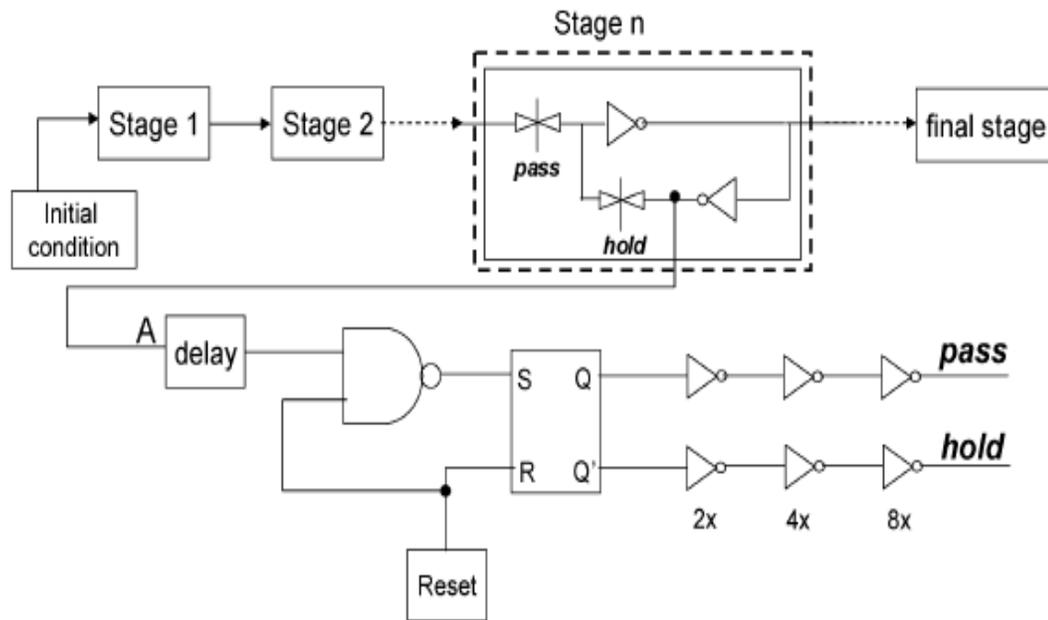


Figura 5.8: Esquemático do funcionamento do circuito para medir a largura do pulso do SET (B. Narasimham, 2005).

5.1.4 Metodologia de Y. Yanagawa

Em (Y. Yanagawa, 2006), foram utilizados como circuito teste dois diferentes blocos para um processo SOI de $0,2 \mu\text{m}$. Os circuitos estão divididos em uma cadeia de células de portas lógicas utilizadas para sofrer o efeito dos pulsos transientes e um circuito *Snapshot*, responsável pela medição da largura dos pulsos dos SETs. A seguir, cada bloco do circuito está descrito em detalhe.

5.1.4.1 Cadeia de portas lógicas

Foi utilizada uma cadeia de seis portas NOR de duas entradas como circuito combinacional que sofrerá o efeito dos pulsos transientes. A proposta em utilizar a cadeia de portas NOR (Y. Yanagawa, 2006), conforme Figura 5.9, para este estudo em vez de uma cadeia de inversor utilizado em (B. Narasimham, 2005), conforme os autores, é a capacidade de a cadeia de portas NOR de duas entradas ter o potencial de gerar pulsos de SETs mais longos que na cadeia de portas inversoras. No circuito utilizado, as duas entradas da primeira porta NOR foram ligadas no *ground* (zero lógico) e para as portas subsequentes uma das entradas e ligada na saída da porta antecessora e outra entrada é conectada no *ground*. Conforme estas ligações, temos um valor fixo em cada nodo da cadeia, de acordo com a lógica combinacional mostrada da tabela 5.1.

Tabela 5.1: Tabela verdade referente à lógica da cadeia de portas NOR

NODO	Valor lógico sem SET	Com SET
1	1	0
2	0	1
3	1	0
4	0	1
5	1	0
6	0	1

Onde a primeira coluna refere-se ao nodo do circuito, a segunda coluna refere-se ao valor lógico dos nodos sem a influência de SETs e a terceira coluna refere-se ao valor lógico do nodo sob influência de SETs capazes de alterar o valor lógico do nodo.

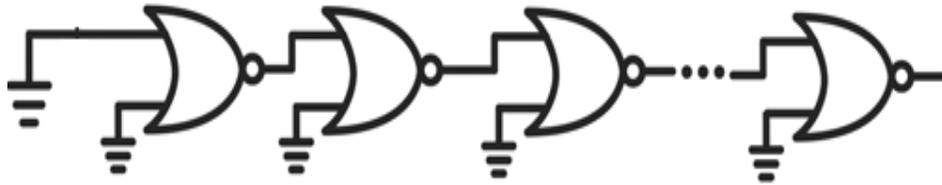


Figura 5.9: Cadeia de portas NOR de duas entradas.

5.1.4.2 Circuito Snapshot

Em (Y. Yanagawa, 2006), o circuito *snapshot* compõe-se de um ou vários *buffer* e uma cadeia de Flip-Flop tipo-D com *self-triggering*. O *buffer* é usado para estabilizar a largura do pulso do SET. O pulso do SET é capturado por uma cadeia de D-FF de *self-triggering*. A cadeia de Flip-Flop compõe-se de uma cadeia de 120 inversores e de 60 Flip-Flop tipo-D. A cada saída de dois inversores é conectada na entrada de um Flip-Flop tipo-D.

Os pontos de relógio do Flip-Flop tipo D foram todos unidos à saída do 110º inversor (nó X na Figura 5.10).

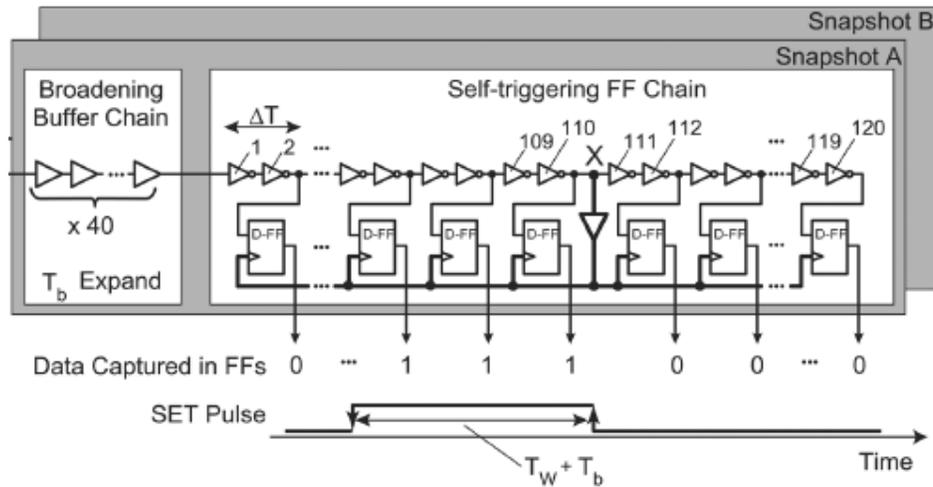


Figura 5.10: Circuito *Snapshot* (Y. Yanagawa, 2006).

Todos os FF_D são acionados simultaneamente quando a borda principal (borda positiva) do pulso do SET chegar ao nó X, e por meio disso, o FF-D fornece o pulso de SET como uma seqüência de bit zeros e uns, onde a cadeia de bits 1 corresponde ao pulso de SET. Estenderam a cadeia de FF além do nó X (o lado direito do nó X) para capturar o pulso de SET corretamente, porque o pulso de SET poderia propagar além do nó X devido a um tempo de atraso para provocar o FF-D. Sendo assim, a largura do pulso do SET pode ser calculada por :

$$T_w = \Delta T \times N_{FF} - T_b \quad (5.1)$$

Onde ΔT é o tempo de atraso de cada par de inversores no circuito *Snapshot*, o N_{FF} é o número de D-FF que captura um SET e o T_b é o tempo de atraso referente ao sinal no *buffer*.

O princípio do funcionamento é injetar um SET em um dos nodos da cadeia de NOR de duas entradas e com a entrada do circuito snapshot capturar este pulso transiente no nodo ocasionado pelo SET, tendo em visto calcular o tamanho do mesmo, conforme figura 5.11 abaixo.

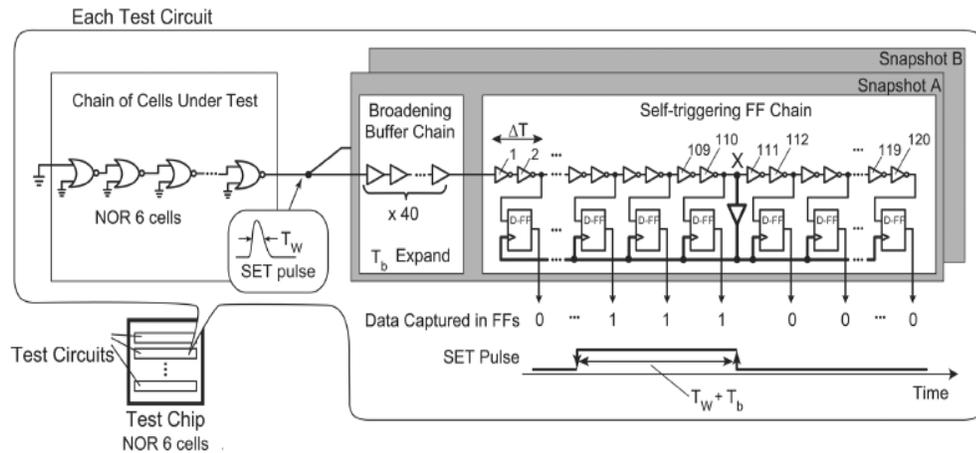


Figura 5.11: Esquemático do funcionamento do circuito *Snapshot* para medir a largura do pulso do SET (Y. Yanagawa, 2006).

5.2 Simulações Elétricas

Esta seção tem como objetivo apresentar as simulações elétricas dos dois últimos circuitos de medições da largura dos pulsos transientes descritos na seção anterior por apresentarem uma evolução aos dois primeiros por utilizarem um *clock* interno. Esta técnica reduz os problemas em relação à medição da largura de pequenos pulsos transientes devido à limitação de frequência dos circuitos de teste.

Para melhor compreensão continuaremos a fazer as mesmas denominações para identificar as duas metodologias de medição da largura dos pulsos transientes ocasionados por SETs. Para ambas as metodologias foram utilizadas simulações elétricas Hspice com um processo tecnológico de 130nm Berkeley disponível em (BERKELEY, 2006).

O mecanismo de deposição de carga pode ser modelado por um pulso de corrente descrito por uma dupla exponencial (G. C. Messenger, 1982), conforme equação (2.1).

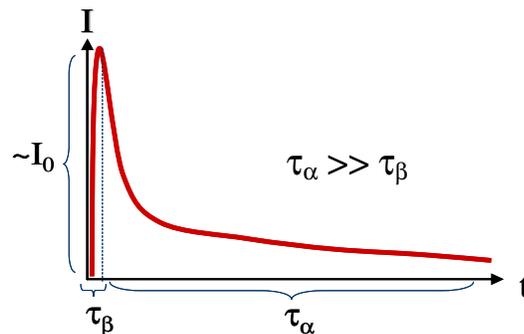


Figura 5.12: Forma de onda da corrente em função do tempo ilustrando as variáveis do modelo padrão para falhas transientes.

Onde I_0 é aproximadamente o pico de corrente da carga depositada, τ_α é a constante de tempo de estabilização e τ_β é a constante de tempo necessária para gerar os pares elétrons-lacunas.

5.2.1 Metodologia de B. Narasimham

Para a validação da metodologia proposta em (B. Narasimham, 2005), o primeiro procedimento foi fazer as dimensões dos transistores proporcionais para a tecnologia de 130nm.

Na tabela 5.2, estão mostradas as dimensões utilizadas para a simulação elétrica para todas as portas lógicas utilizadas no circuito para captura do pulso transiente utilizado na figura 5.8

Tabela 5.2: Dimensões das portas lógicas utilizadas para simulação elétrica

Portas	Transistor	L (μm)	W (μm)
Inversor	NMOS	0,13	0,26
	PMOS	0,13	0,72
Pass-gate	NMOS	0,13	0,26
	PMOS	0,13	0,26
NAND	NMOS	0,13	0,52
	PMOS	0,13	0,76

De acordo com a especificação o autor utilizou o circuito de medição da largura do pulso conectado em um nodo de uma cadeia de inversores. Este circuito possui um *clock* interno que ira ativar os *latches* e o flip-flop SR para auxiliar no momento da leitura dos mesmos para caracterizar um pulso transiente.

Conforme já mencionado anteriormente, o cálculo da largura do pulso transiente será: $[(n - 0,5) \times \text{stage delay}]$ e $[(n + 0,5) \times \text{stage delay}]$, onde n é o número de *latches* que capturaram o pulso transiente. A tabela abaixo mostra o valor do tempo de atraso de propagação de dois inversores assim como de meio inversor para utilizarmos nos cálculos posteriormente.

Tabela 5.3: Valores referentes às variáveis para a medição da largura do pulso transiente

Variáveis	Tempo em ps
<i>stage delay</i>	65
\pm um meio do <i>stage delay</i>	32,5

Para isto, foi injetado um pulso transiente através da duplo-exponencial no nodo1 na cadeia de portas inversoras com os valores de I_0 , τ_β e τ_α igual a $280\mu\text{A}$, 5ps e 550ps

respectivamente. Com base neste pulso de corrente o valor do pulso transiente acima de $V_{dd}/2$ no nodo2 medido no nodo é de 325,23ps enquanto que no circuito de captação que tem por finalidade medir o pulso transiente, os valores foram no nível lógico zero para o valor de nível lógico um nas saídas de número Q16 até a saída de número Q20 do circuito totalizando cinco *latches* que armazenaram na saída o valor lógico '1'.

Conforme o resultado obtido do tamanho da largura do pulso no nodo ocasionado pelo SET na cadeia vai ser igual a:

$$T_w = (N \times \text{stage delay}) \pm 32,5\text{ps} = (5 \times 65\text{ps}) \pm 32,5\text{ps} \quad (5.2)$$

Então

$$T_w = (325\text{ps}) \pm 32,5\text{ps} = \text{entre } 295,5\text{ps e } 357,5\text{ps} \quad (5.3)$$

Podemos verificar que houve uma boa concordância entre a largura do pulso transiente medida eletricamente com a largura calculada através da metodologia desenvolvida por (B. Narasimham, 2005).

Abaixo a tabela 5.4 representa os dados obtidos pelo circuito e comparados com os dados medidos através da simulação elétrica.

Tabela 5.4: Valores referentes ao circuito figura 5.8

I_0	τ_β	τ_α	Saídas em nível lógico '1'	N	Nodo	T_w
320 μ A	5ps	700ps	Q10 até Q20	11	728,54ps	682,5ps a 747,5ps
310 μ A	5ps	600ps	Q12 até Q20	9	562,24ps	552,5ps a 617,5ps
280 μ A	5ps	550ps	Q16 até Q20	5	325,23ps	295,5ps a 357,5ps

Podemos verificar que houve uma boa concordância entre os resultados obtidos pelo cálculo e os resultados das simulações elétricas. Mas deve-se ressaltar que o circuito começa a funcionar só a partir de uma largura de pulso maior que 250ps.

5.2.2 Y. Yanagawa

Para a validação da metodologia proposta em (Y. Yanagawa, 2006), o primeiro procedimento foi fazer as dimensões dos transistores proporcionais para a tecnologia de 130nm. Mas no artigo existem apenas as dimensões dos transistores da cadeia NOR de duas entradas. Por este motivo todas as portas lógicas utilizadas nestas simulações possuem transistores com $W_p=0,52\mu\text{m}$, $W_n=0,26\mu\text{m}$ e $L_p = L_n = 0,13\mu\text{m}$.

Na tabela 5.5 abaixo, estão mostrados os tempos importantes para a base de cálculo da largura do pulso transiente usando esta tecnologia.

Tabela 5.5: Valores referentes às variáveis da equação (5.1) para a medição da largura do pulso transiente obtidos pelo circuito *Snapshot*.

Variáveis	Tempo em ps
T_b	368,35
ΔT	130

De acordo com a especificação o nodo X da figura 5.10 para a simulação elétrica está colocada na saída do 110° inversor. Com estes parâmetros poderemos injetar pulsos transientes em um nodo da cadeia de portas NOR2 e verificar se a metodologia funciona.

Para isto, foi injetado um pulso transiente através da duplo-exponencial no nodo1 na cadeia de portas NOR2 com os valores de I_0 , τ_β e τ_α igual a 240 μ A, 1ps e 500ps respectivamente. Com base neste pulso de corrente o valor do pulso transiente acima de $V_{dd}/2$ no nodo2 medido é de 880,32ps enquanto que no circuito *Snapshot* que tem por finalidade medir o pulso transiente quando os valores transicionarem do nível lógico zero para o nível lógico um nas saídas de número Q53 até a saída de número Q59 do circuito *Snapshot* totalizando sete FF-D que armazenaram na saída o valor lógico '1'.

Conforme a equação (5.1) e os dados da tabela 5.2, o resultado obtido do tamanho da largura do pulso no nodo2 ocasionado pelo SET no nodo1 da cadeia de NOR2 será:

$$T_w = \Delta T \times N_{FF} - T_b = 130 \times 7 - 368,35 \quad (5.4)$$

Então

$$T_w = 541,65ps \quad (5.5)$$

Podemos verificar que houve uma diferença entre o valor do tamanho da largura do pulso obtido pela simulação e o valor obtido através do cálculo com o resultado do circuito *Snapshot*.

Por este motivo, o *buffer* no nodo X foi colocado na saída do 108° inversor, desta forma os valores entre a largura do pulso entre a simulação e o cálculo ficaram mais próximos conforme tabela 5.6 abaixo.

Tabela 5.6: Valores referentes ao circuito *Snapshot* com o *buffer* no nodo X modificado

I_0	τ_β	τ_α	Saídas em nível lógico '1'	N_{FF}	Nodo2	T_w
310 μ A	10ps	700ps	Q40 até Q59	20	1,874ns	2,231ns
280 μ A	10ps	600ps	Q46 até Q59	14	1,125ns	1,451ns
260 μ A	10ps	550ps	Q49 até Q59	11	0,998ns	1,061ns
240 μ A	10ps	500ps	Q51 até Q59	9	0,880ns	0,801ns
240 μ A	10ps	480ps	Q52 até Q59	8	0,844ns	0,671ns

Com base nestes dados podemos afirmar que houve uma boa concordância entre os resultados obtidos através do cálculo proposto por (Y. Yanagawa, 2006) e os resultados das simulações elétricas. Mas devo ressaltar que o circuito *snapshot* começa a funcionar somente a partir de uma largura de pulso maior que 800ps para a tecnologia de 130nm.

5.2.3 Comparações

Nesta subseção, o objetivo é mostrar através da tabela abaixo as características de todas as metodologias proposta para a medição da largura dos pulsos transientes e compará-las. A tabela 5.7 lista as quatro metodologias mencionadas no presente trabalho.

Tabela 5.7: Características das metodologias de medição

Metodologias	Características
M. Nicolaidis and R. Perez	→ <i>Clock</i> externo → Dependente da frequência
P. Eaton	→ <i>Clock</i> externo → Dependente da frequência
B. Narasimham	→ <i>Clock</i> interno → Largura de pulso mínima
Y. Yanagawa	→ <i>Clock</i> interno → Largura de pulso mínima

De acordo com a tabela 5.7, a metodologia proposta por M. Nicolaidis possibilita que as células que farão a medida da largura do pulso transiente são controladas simultaneamente por um *clock*, mas a desvantagem é que este *clock* é controlado externamente, o que é indesejável pois será preciso saber o momento de dispará-lo. O mesmo problema ocorre na metodologia proposta por P. Eaton, o controle dos *latches* utilizados é através de um *clock* externo. Com controle externo as metodologias poderão ter problemas para medir o pulso devido à limitação de frequência dos circuitos, pois a largura do pulso poderá ter uma transição mais rápida do que o funcionamento do *clock*.

Em B. Narasimham e Y. Yanagawa a limitação referente à frequência de funcionamento do circuito não existe, pois utilizam um mecanismo denominado de *self-triggering* que não necessita de um sinal de relógio externo para indicar a ocorrência de um SET. Conforme foi observado através das simulações elétricas as duas metodologias

teve uma boa concordância entre as simulações elétricas e suas metodologias de cálculo para medir a largura dos pulsos transientes.

Entretanto, nas duas metodologias, os circuitos de teste funcionam apenas a partir de um pulso mínimo de SET que é dependente da tecnologia de processo utilizada. Em Y. Yanagawa existem dois outros problemas, o primeiro é o custo em área, pois cada nodo de um circuito em teste necessitará de um circuito *snapshot* (circuito de medida) e o segundo problema referente ao nodo X utilizado como relógio interno, pois será dependente da tecnologia utilizada no teste.

5.3 Implemetação com Fluxo de Projeto Cadence Full Custom

Nesta seção, foi realizado o projeto completo da arquitetura proposta por (Y. Yanagawa, 2006), pois é a arquitetura mais adequada para implementação da medida completa *on-chip*, possibilitando a realização dos testes sem a necessidade de utilizar um sinal de relógio externo e que utiliza uma cadeia de portas NOR2 em vez de uma cadeia de inversores proposta por (B. Narasimham,2005). O desenvolvimento do projeto foi *Full Custom*, utilizando a ferramenta CADENCE (Custom IC Desing Tools), partindo de uma concepção inicial e chegando ao leiaute do circuito. As ferramentas da CADENCE possibilitam a descrição de projetos digitais em forma de esquemáticos e leiaute, bem como sua simulação elétrica, a tecnologia escolhida foi a TSMC 0,6um C5N. Onde para todas as portas lógicas utilizadas os transistores possuem $W_p=3\mu\text{m}$, $W_n=1,5\mu\text{m}$ e $L_p= L_n =0,6\mu\text{m}$.

Para realização deste trabalho, deve-se seguir um fluxo detalhado para não conter erros de projeto:

- Especificação do projeto
- Construção do esquemático
- Simulação elétrica
- Construção do leiaute
- *Design Rule Check* – DRC
- Verificação do Leiaute versus Esquemático
- Simulação pós leiaute

5.3.1 NOR2

A primeira etapa foi projetar a porta NOR2 para a elaboração posterior da cadeia de portas NOR de duas entradas. O esquemático e leiaute da porta podem ser vistos na figura 5.13 e figura 5.14.

Para a validação da célula NOR2, é mostrada a simulação do leiaute extraído na figura 5.15 abaixo.

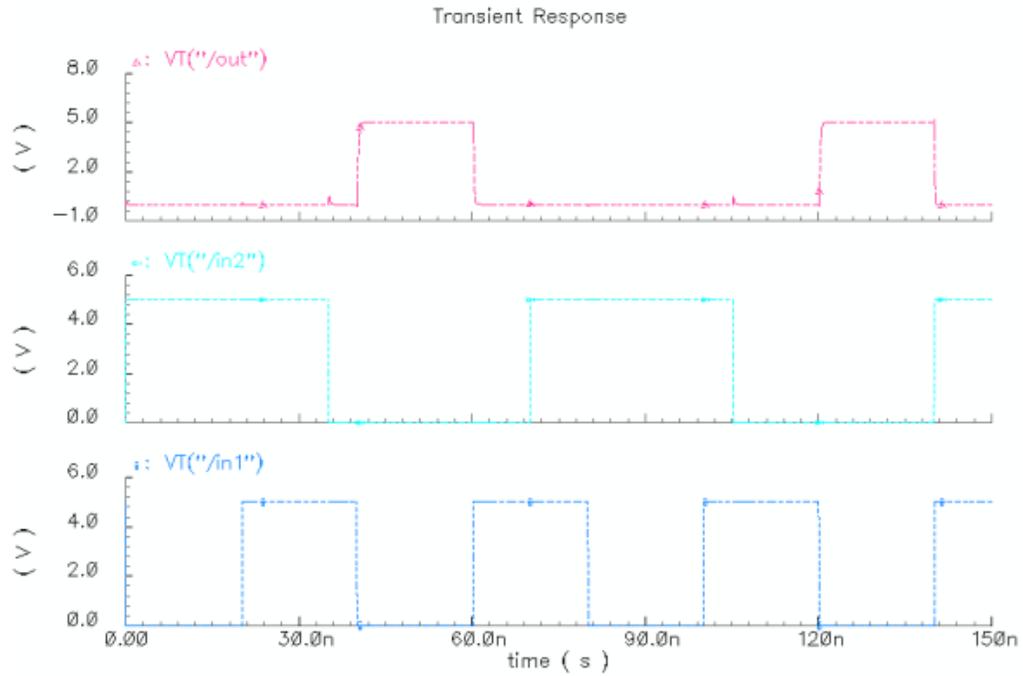


Figura 5.15: Simulação da forma de onda da porta NOR2.

5.3.2 Cadeia NOR2

A segunda etapa foi projetar a cadeia de portas NOR de duas entradas. O esquemático e leiaute da cadeia de seis portas lógicas NOR podem ser vistos na figura 5.16 e figura 5.17 a seguir.

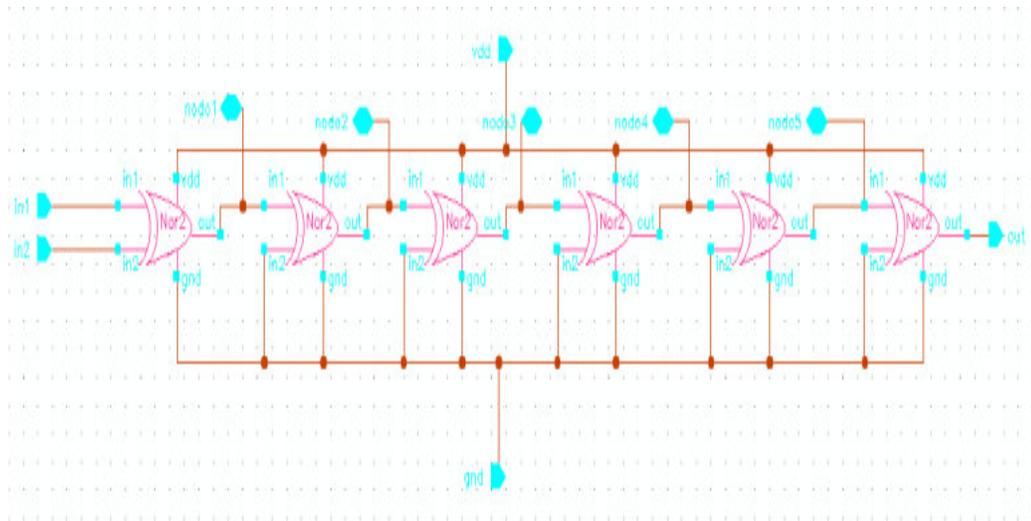


Figura 5.16: Esquemático referente à cadeia de seis portas NOR de duas entradas.

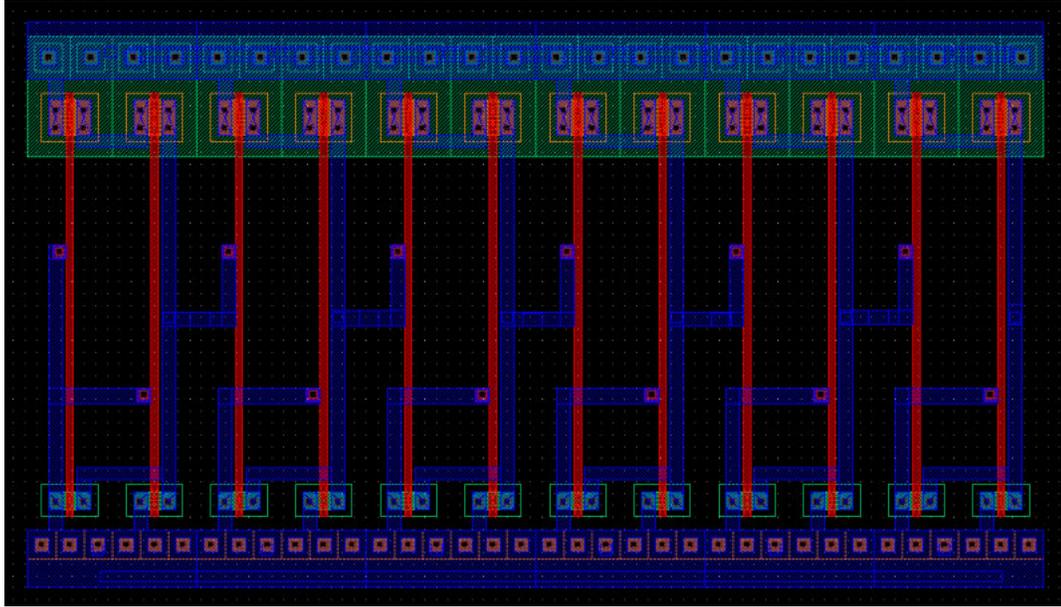


Figura 5.17: Leiaute referente à cadeia de seis portas NOR de duas entradas.

Importante salientar que quando fiz o leiaute da cadeia de portas NOR, já coloquei as duas primeiras entradas da primeira porta NOR conectadas no *ground*, conforme a figura 5.9.

Para validação da cadeia de células NOR2 na figura 5.18 está mostrada a simulação do *leiaute* extraído.

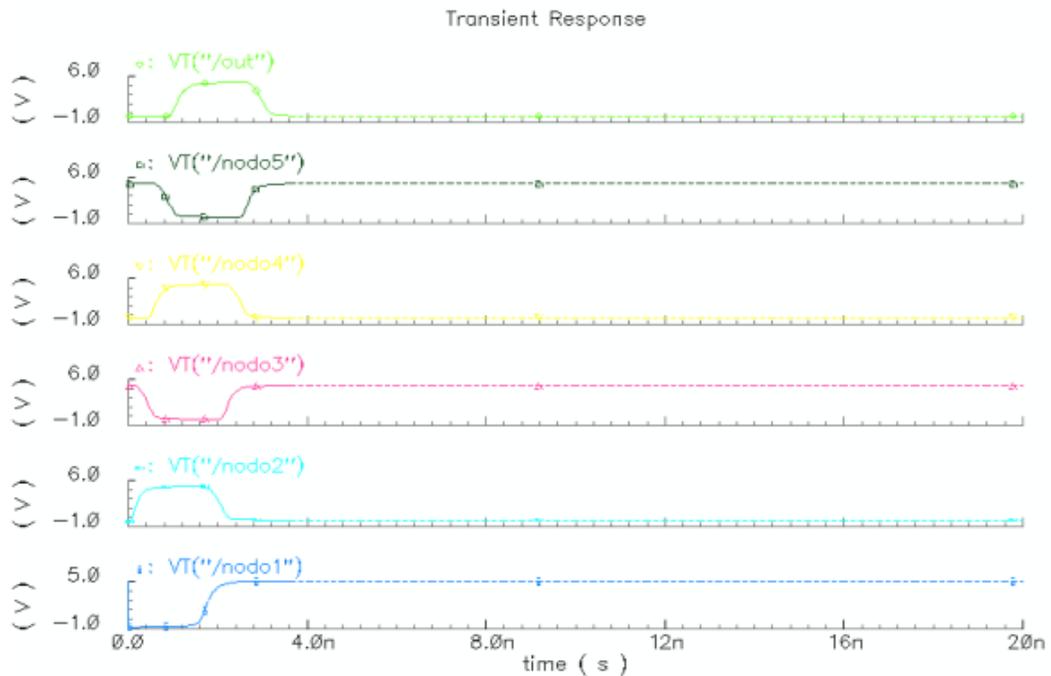


Figura 5.18: Simulação da forma de onda da cadeia de NOR2 com SET.

Podemos verificar o funcionamento da cadeia de portas NOR2, verificamos que existe uma perturbação entre 0 e 3 ns referentes a um pulso transiente injetado no nodo1 e sua propagação aos nodos seguintes da lógica.

5.3.3 Circuito Snapshot

Para a execução do circuito da figura 5.10. Devemos primeiramente construir as portas lógicas que serão utilizadas para o devido funcionamento do mesmo. Primeira porta lógica construída foi o *buffer*.

5.3.3.1 BUFFER

A principal função do buffer neste circuito é de regenerar o pulso transiente ocasionado por um SET. O esquemático e leiaute do *buffer* podem ser vistos na figura 5.19 e figura 5.20 abaixo.

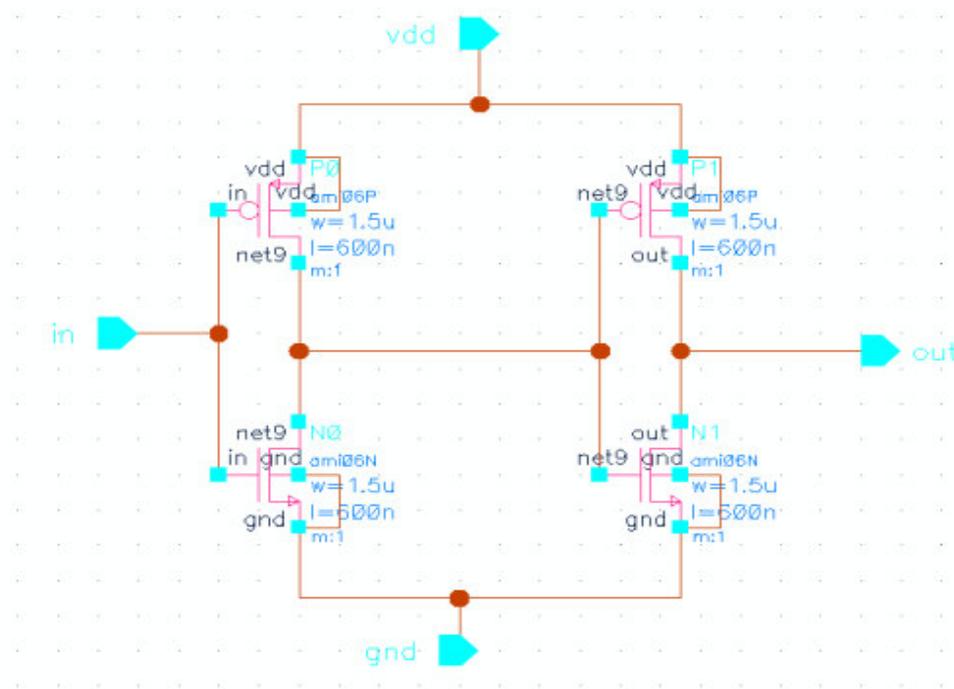


Figura 5.19: Esquemático do *Buffer*.

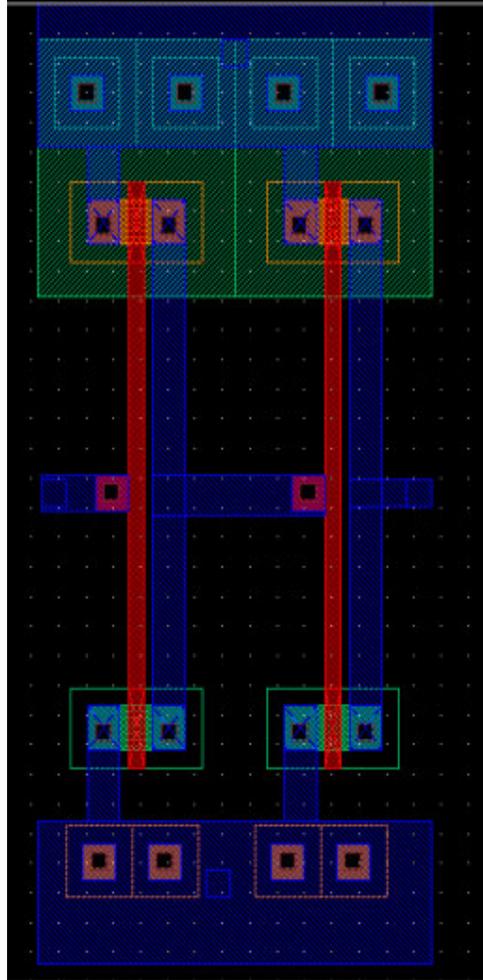


Figura 5.20: Leiaute do *Buffer*.

5.3.3.2 *INVERSOR*

Os inversores serão utilizados junto com a cadeia de Flip-Flop tipo D do circuito snapshot. Serão ao todo um número de 120 inversores. O esquemático e leiaute da porta lógica inversora podem ser vistos na figura 5.21 e figura 5.22 a seguir.

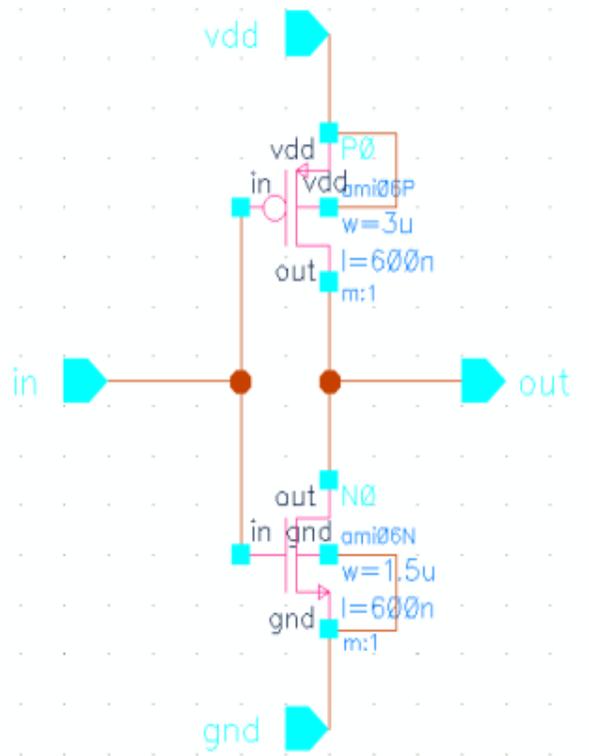


Figura 5.21: Esquemático do Inversor.

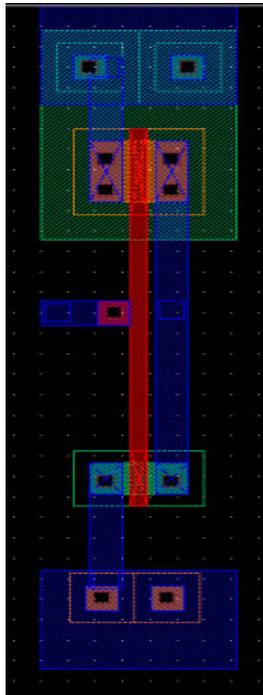


Figura 5.22: Leiaute do inversor.

Para validação da célula inversora na figura 5.23 está demonstrada a simulação do leiaute extraído.

Podemos perceber a existência de cinco portas NAND de duas entradas e de uma porta NAND de três entradas utilizadas para a construção do Flip-Flop tipo D. Na Figura 5.25 está mostrado o leiaute do FF-D.

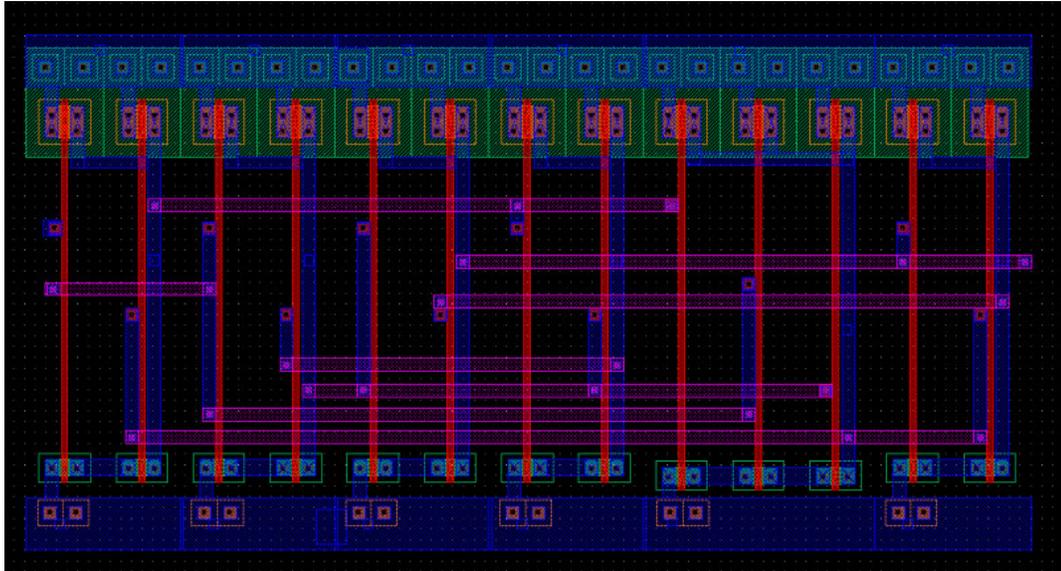


Figura 5.25: Leiaute FF-D.

Portanto, para a elaboração do FF-D, foram criadas as portas lógicas NAND de duas entradas e a porta lógica NAND de três entradas. Na figura 5.26 está a verificação da forma de onda gerada a partir do leiaute extraído do FF-D.

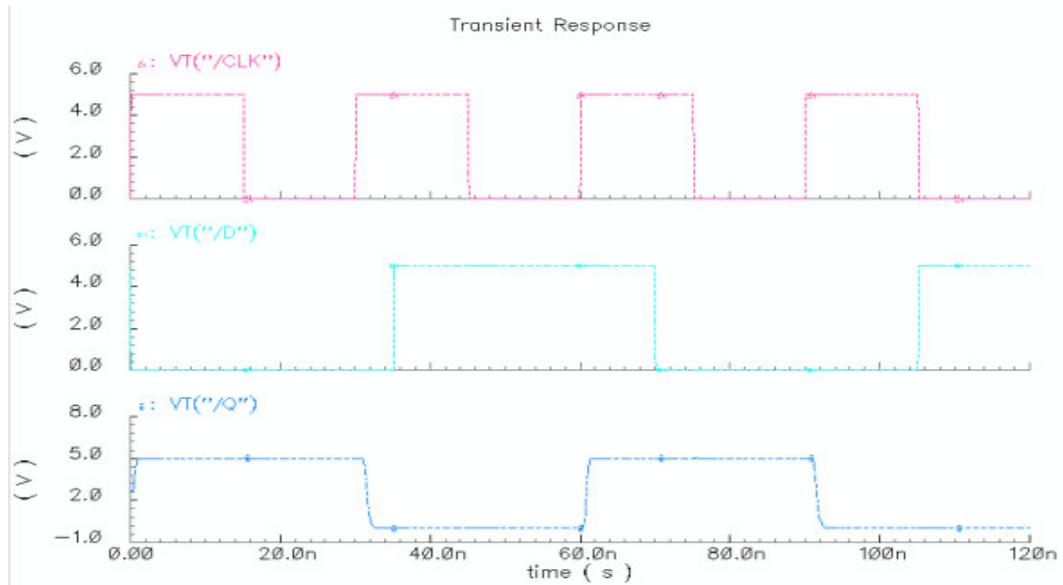


Figura 5.26: Forma de onda do FF-D.

Podemos verificar o funcionamento correto do flip-flop tipo D extraído do leiaute. A saída 'Q' recebe o valor a entrada 'D' nas bordas de subida do pulso de *clock*, comprovando o funcionamento lógico.

Após a construção das seguintes portas lógicas mencionadas anteriormente, resta a construção do circuito *Snapshot* como um todo, que utilizará as seguintes portas lógicas:

- um buffer de entrada;
- uma cadeia de 120 inversores;
- uma cadeia de 60 flip-flop tipo D;

Portanto as figuras de número 5.27 e 5.28 correspondem ao esquemático e ao leiaute do circuito respectivamente.



Figura 5.27: Esquemático circuito *Snapshot*.

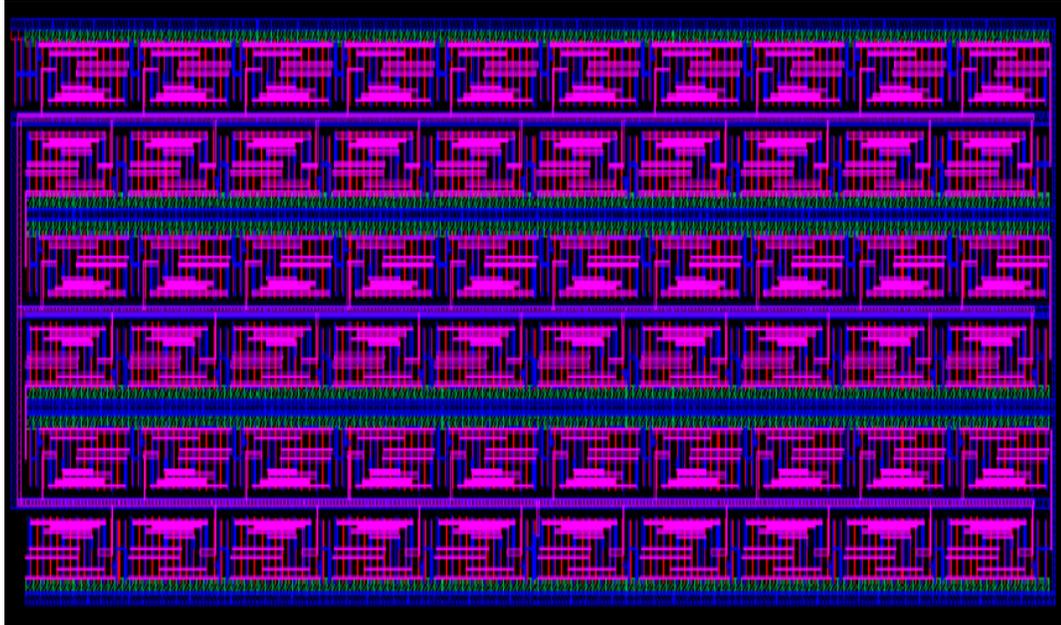


Figura 5.28: Leiaute circuito *Snapshot*.

Como serão detalhados, os resultados não foram os esperados, pois somente após o leiaute concluído foram realizadas as simulações para medições do tamanho do pulso transiente nos nodos da cadeia de portas lógicas NOR2. Verificando novamente o circuito da figura 5.10, podemos verificar que houve um erro de projeto, pois não foi colocado um *buffer* na saída do 110° inversor, utilizado para regenerar o pulso de saída do inversor que será utilizado para acionar os Flip-Flop tipo D.

Portanto, foi necessário refazer o circuito *Snapshot*, para verificar se haveria a obtenção de melhores resultados em relação à medição do tamanho do SET no nodo do circuito combinacional.

Portanto as figuras de número 5.29 e 5.30 correspondem ao esquemático e ao leiaute do circuito respectivamente para o circuito *Snapshot* com o *buffer* na saída do 110° inversor conforme figura 5.10.



Figura 5.29: Esquemático circuito *Snapshot* com *buffer* na saída do inversor 110.

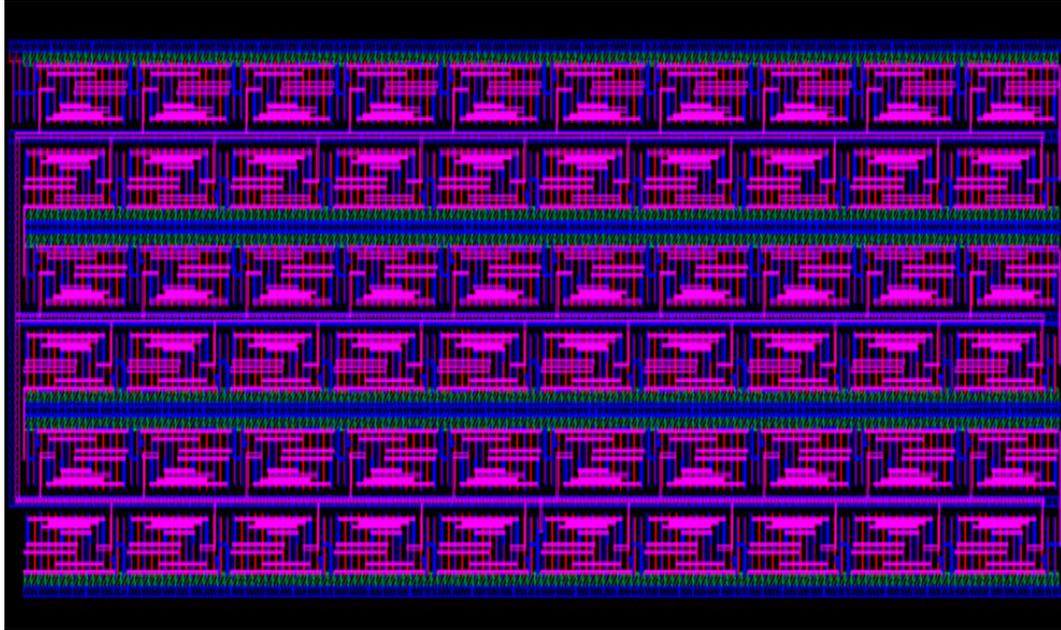


Figura 5.30: Leiaute circuito *Snapshot* com *buffer* na saída do inversor 110.

Com base neste novo circuito *Snapshot*, foi obtido resultados melhores que os anteriores, mas ainda estavam um pouco fora dos resultados desejados conforme os mencionados em (Y. Yanagawa, 2006).

Em busca de resultados mais satisfatórios, foram realizadas simulações, apenas com os esquemáticos, com circuitos *Snapshot* com *buffer* na saída do 60° inversor, depois na saída do 80° inversor e por último, simulações com *buffer* na saída do 100° inversor, onde foram obtidos os melhores resultados.

Para facilitar as simulações foram criados os chamados *testbenches*, com o objetivo de fazer as medições dos circuitos através dos seus símbolos e pinos de entradas. Na figura 5.31 e figura 5.32 respectivamente está representado, o símbolo da cadeia de portas NOR2 e o símbolo do circuito *Snapshot* utilizado nas simulações elétricas.

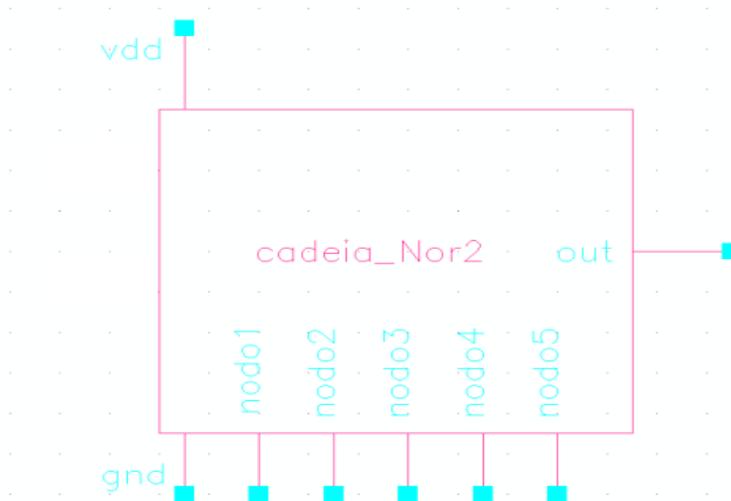


Figura 5.31: Símbolo referente à cadeia de portas NOR de duas entradas.

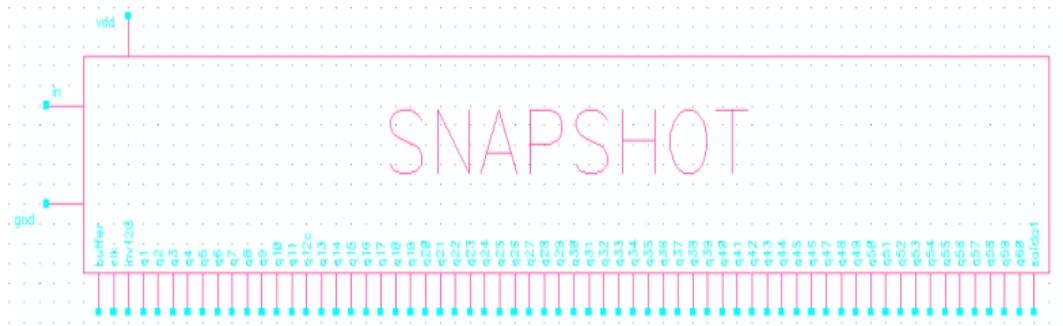


Figura 5.32: Símbolo referente ao circuito *Snapshot*.

A partir da criação dos símbolos demonstrados acima, foram criados os *testbenches* que serão utilizados nas simulações elétricas em busca dos resultados.

5.3.4 Resultados Obtidos

Nesta subseção serão demonstrados as simulações utilizadas e os resultados obtidos pelo mesmo para o circuito *Snapshot*. Após a criação das bibliotecas que serão utilizadas, foram criados os *testbenches* para serem utilizados nas simulações elétricas. Portanto, a figura 5.33 representa o *testbench* referente à simulação da cadeia de portar NOR de duas entradas sob influência de um SET.

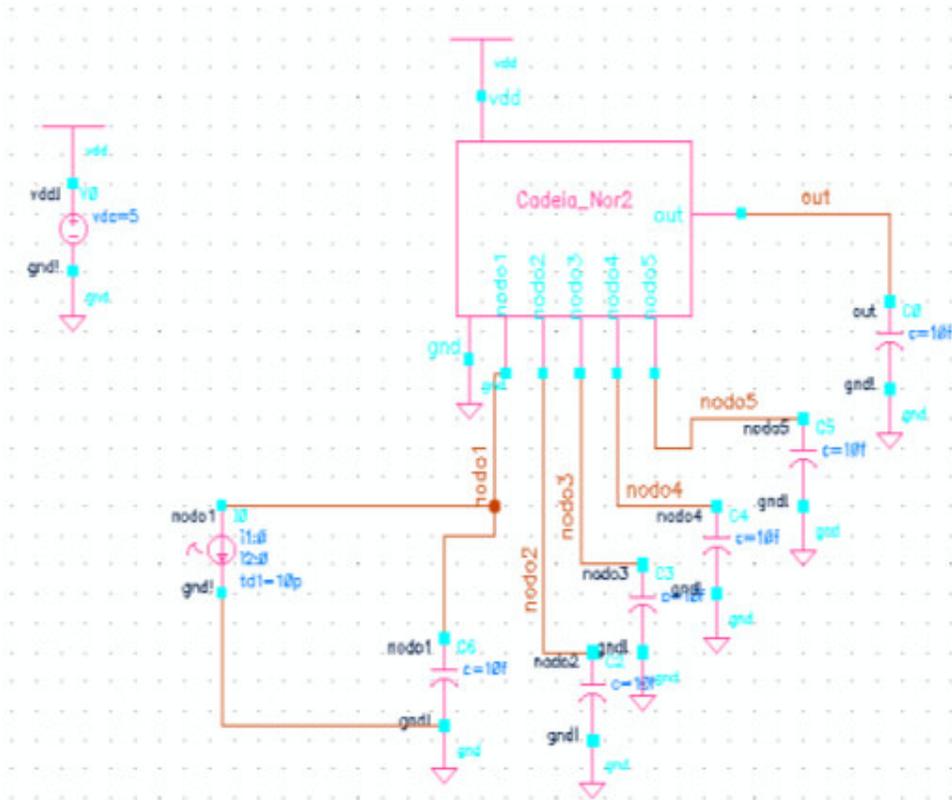


Figura 5.33: *Testbench* da cadeia de portas NOR2 com um pulso de corrente aplicado no nodo1.

Para verificar o tamanho da largura do SET no nodo do circuito, conforme figura 5.11, a figura 5.34 representa o *testbench* utilizado para fazer a medição do pulso transiente referente a SETs injetados no nodo1 da cadeia de portas NOR2.

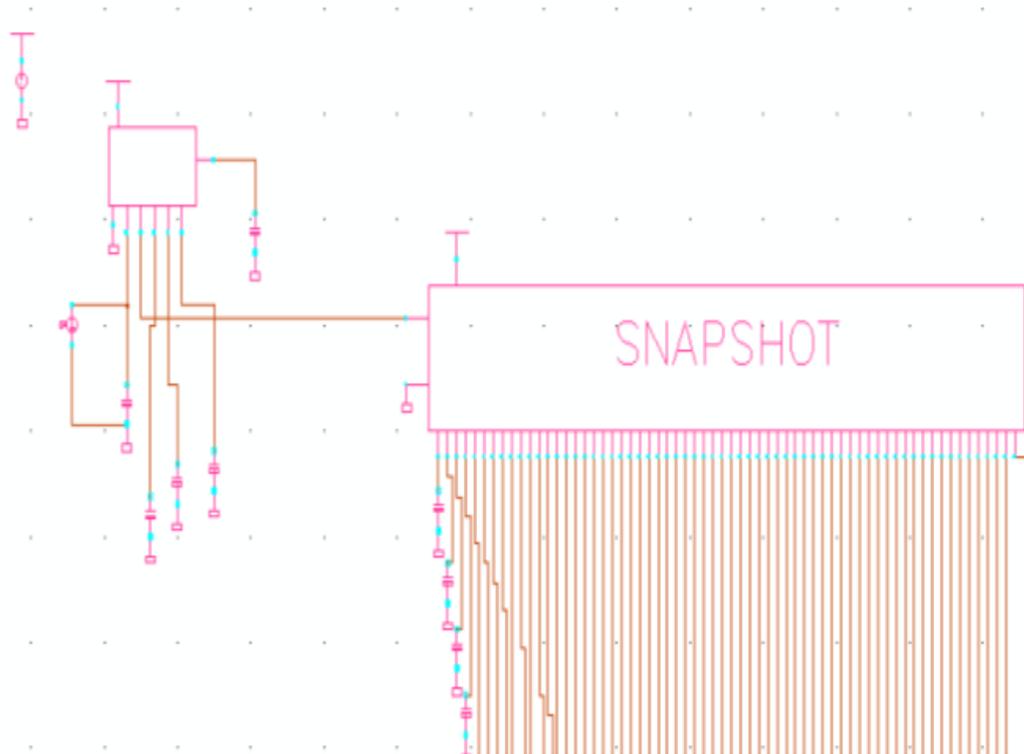


Figura 5.34: *Testbench* utilizado para a medição da largura do pulso transiente no nodo2.

É importante salientar que todas as saídas (de Q1 até Q60) no circuito *Snapshot* foram fixadas inicialmente em nível lógico zero, para que não tenhamos valores errados na saída do circuito.

Para melhor compreensão os resultados das simulações estão divididos de acordo com o circuito *Snapshot* utilizados para a medição da largura do pulso transiente.

5.3.4.1 Circuito *Snapshot1*

Esta seção o circuito *Snapshot1* é referente ao primeiro circuito *Snapshot* criado de acordo com a figura 5.27 e figura 5.28. Onde não foi inserido um *buffer* na saída do nodo X (ao qual neste trabalho foi denominado como CLK).

Na tabela 5.8 abaixo, os valores são referentes à simulação elétrica realizada no *testbench* da figura 5.34 de acordo com os componentes parasitas do leiaute que foram extraídos.

Tabela 5.8: Valores referentes às variáveis da equação (5.1) para a medição da largura do pulso transiente obtidos pelo circuito *Snapshot1*

Variáveis	Tempo em ps
T_b	301,40
ΔT	300,27

A primeira simulação realizada foi com os seguintes parâmetros referentes ao pulso de corrente injetado no nodo1, os valores de I_0 , τ_β e τ_α igual a $90\mu\text{A}$, 5ps e 100ps respectivamente. Com base neste pulso de corrente o valor do pulso transiente acima de $V_{dd}/2$ no nodo2 medido é de $4,299\text{ns}$, enquanto que no circuito *Snapshot1* que tem por finalidade medir o pulso transiente, os valores que foram do nível lógico zero para o valor de nível lógico um, foram as saídas de número Q50 até a saída de número Q55 do circuito *Snapshot1* totalizando seis FF-D que armazenaram na saída o valor lógico '1' conforme figura 5.35 abaixo.

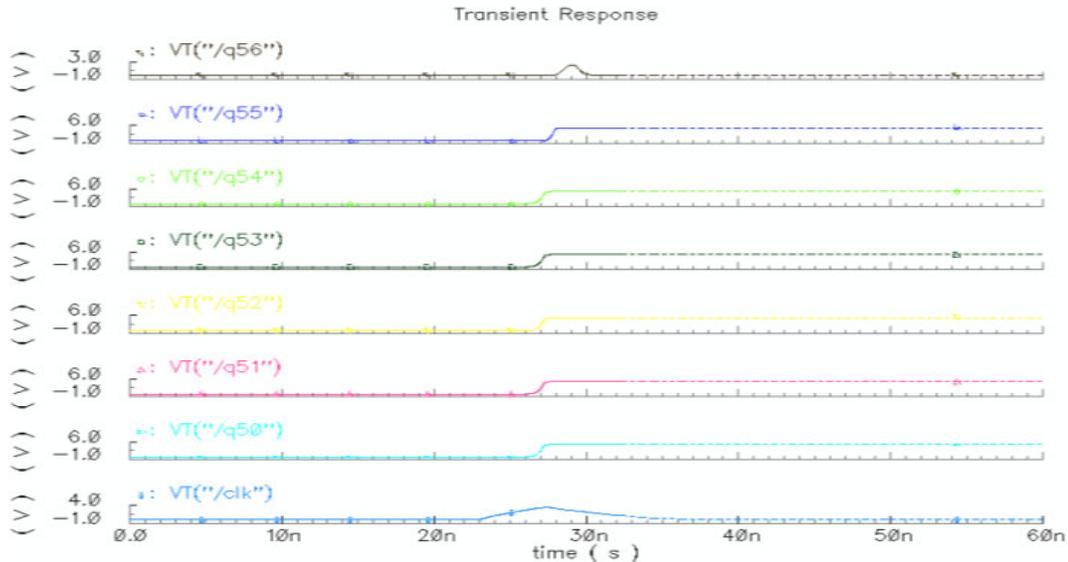


Figura 5.35: Forma de onda referente à medição da largura do pulso transiente no nodo2 referente ao circuito *Snapshot1*.

Conforme a equação (5.1) e os dados da tabela 5.8, o resultado obtido do tamanho da largura do pulso no nodo2 ocasionado pelo SET no nodo1 na cadeia de NOR2 será:

$$T_w = \Delta T \times N_{FF} - T_b = 300,27 \times 6 - 301,40 \quad (5.6)$$

Então

$$T_w = 1,500\text{ns} \quad (5.7)$$

Podemos verificar que houve uma grande diferença entre o valor do tamanho da largura do pulso obtido pela simulação e o valor obtido através do cálculo com o resultado do circuito *Snapshot1*.

Abaixo a tabela 5.9 representa os dados obtidos pelo circuito Snapshot1 e comparados com os dados medidos através da simulação elétrica.

Tabela 5.9: Valores referentes ao circuito Snapshot1.

I_0	τ_β	τ_α	Saídas em nível lógico '1'	N_{FF}	Nodo2	T_w
250 μ A	10ps	500ps	Q45 até Q56	12	5,497ns	3,301ns
190 μ A	5ps	300ps	Q47 até Q56	10	5,085ns	2,701ns
40 μ A	3ps	70ps	Q51 até Q54	4	4,075ns	0,899ns

Com base na tabela 5.9, podemos perceber que houve uma grande diferença entre a largura do pulso transiente no valor medido no nodo2 com o valor calculado através do circuito *Snapshot1*.

5.3.4.2 Circuito Snapshot2

Nesta seção o circuito *Snapshot2* é referente ao segundo circuito *Snapshot* criado de acordo com a figura 5.29 e figura 5.30. Onde foi inserido um buffer na saída do nodo X (na saída no 110° inversor).

Na tabela 5.10 abaixo, os valores são referentes à simulação elétrica realizada no *testbench* da figura 5.34 de acordo com os componentes parasitas do leiaute que foram extraídos.

Tabela 5.10: Valores referentes às variáveis da equação (5.1) para a medição da largura do pulso transiente obtidos pelo circuito Snapshot2

Variáveis	Tempo em ps
T_b	264,46
ΔT	287,26

Para verificar se houve uma melhora nos resultados utilizando o circuito *Snapshot2* em vez do circuito *Snapshot1*, foi injetado um pulso de corrente no nodo1 com os valores de I_0 , τ_β e τ_α igual a 250 μ A, 10ps e 500ps respectivamente. Com base neste pulso de corrente o valor do pulso transiente acima de $V_{dd}/2$ no nodo2 medido no nodo é de 5,497ns conforme a tabela 5.10, enquanto que no circuito *Snapshot2* que tem por finalidade medir o pulso transiente, os valores que foram no nível lógico zero para o valor de nível lógico um, foram as saídas de número Q46 até a saída de número Q60 do circuito *Snapshot2* totalizando 15 FF-D que armazenaram na saída o valor lógico 1.

Conforme a equação 1 e os dados da tabela 10, o resultado obtido do tamanho da largura do pulso no nodo2 ocasionado pelo SET no nodo1 da cadeia de NOR2 vai ser igual a:

$$T_w = \Delta T \times N_{FF} - T_b = 287,26 \times 15 - 264,46 \quad (5.8)$$

Então

$$T_w = 4,044\text{ns} \quad (5.9)$$

Podemos perceber que houve uma melhora no resultado em relação à utilização do circuito *Snapshot1*, isto se deve pela funcionalidade do buffer na saída no nodo X em regenerar o pulso que será utilizado como pulso de acionamento dos FF-D. Mas o resultado ainda não está de acordo com o que foi informado no artigo (Y. Yanagawa, 2006), em que a diferença entre a simulação elétrica e o valor obtido através dos dados no circuito *Snapshot* é de \pm um FF-D.

Portanto, foram realizadas simulações com outros três tipos de circuito Snapshot, onde a diferença foi no local da definição do nodo X. O Circuito *Snapshot3* na próxima subseção é referente aos melhores resultados obtido.

5.3.4.3 Circuito Snapshot3

O circuito *Snapshot3* que foi utilizado nas simulações tem como diferença a inserção do buffer na saída do nodo X, na saída no 100° inversor.

Na tabela 5.11 abaixo, os valores são referentes à simulação elétrica realizada no testbench da figura 5.34, mas estas simulações foram feitas do esquemático, pois não foi feito o leiaute do circuito *Snapshot3*, portanto, os resultados obtidos não serão realísticos, pois sem a extração do leiaute, os efeitos parasitas como capacitâncias e resistências de nodos e conexões, não estão sendo levados em conta.

Tabela 5.11: Valores referente às variáveis da equação 1 para a medição da largura do pulso transiente obtidos pelo circuito Snapshot3

Variáveis	Tempo em ps
T_b	263,85
ΔT	286,54

A primeira simulação realizada foi com os seguintes parâmetros referentes ao pulso de corrente injetado no nodo1, os valores de I_0 , τ_β e τ_α igual a $250\mu\text{A}$, 10ps e 500ps respectivamente. Com base neste pulso de corrente o valor do pulso transiente acima de $V_{dd}/2$ no nodo2 medido é de 5,497ns, enquanto que no circuito *Snapshot3*, os valores que foram no nível lógico zero para o valor de nível lógico '1', foram as saídas de número Q41 até a saída de número Q60 do circuito *Snapshot3* totalizando 20 FF-D que armazenaram na saída o valor lógico '1' conforme figura 4.24 a seguir.

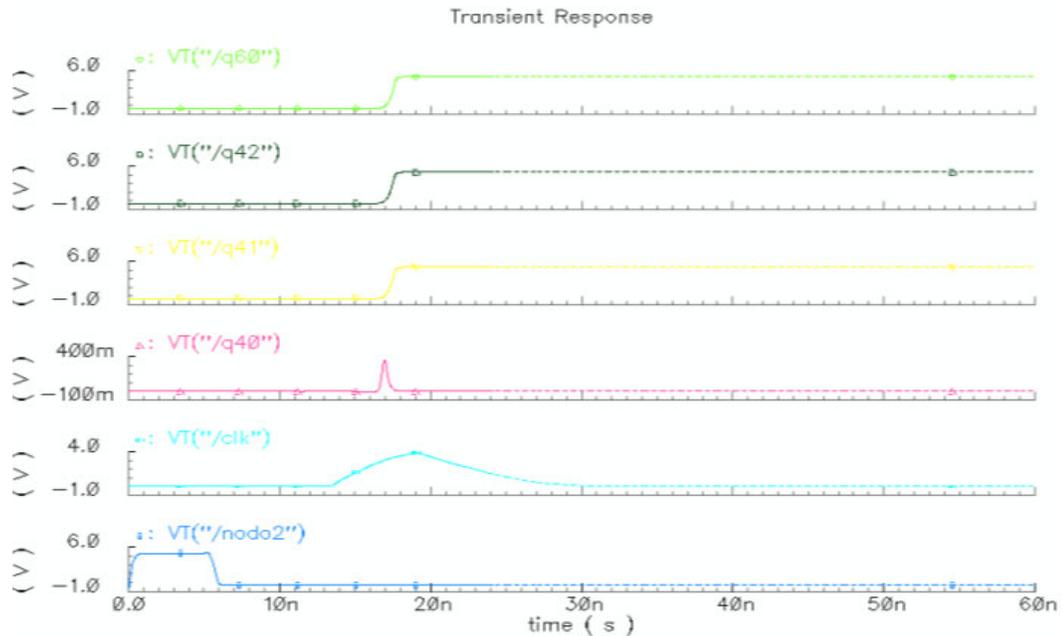


Figura 5.36: Forma de onda referente à medição da largura do pulso transiente no nodo2 referente ao circuito Snapshot3.

Conforme a equação (5.1) e os dados da tabela 5.11 o resultado obtido do tamanho da largura do pulso no nodo2 ocasionado pelo SET no nodo1 da cadeia de NOR2 vai ser igual a:

$$T_w = \Delta T \times N_{FF} - T_b = 286,54 \times 20 - 263,85 \quad (5.10)$$

Então

$$T_w = 5,467\text{ns} \quad (5.11)$$

Com base nestes valores podemos perceber que houve uma ótima relação entre o dado medido na simulação elétrica no nodo2 e o cálculo feito através dos dados do circuito *Snapshot3*.

Abaixo a tabela 5.12 representa os dados obtidos pelo circuito *Snapshot3* e a comparação com os dados medidos através da simulação elétrica.

Tabela 5.12: Valores referentes ao circuito Snapshot3

I_0	τ_β	τ_α	Saídas em nível lógico '1'	N_{FF}	Nodo2	T_w
190 μ A	5ps	300ps	Q43 até Q60	18	5,085ns	4,906ns
90 μ A	5ps	100ps	Q46 até Q60	15	4,299ns	4,044ns
40 μ A	3ps	70ps	Q47 até Q60	14	4,075ns	3,757ns
20 μ A	1ps	40ps	Q48 até Q60	13	3,736ns	3,469ns
8 μ A	1ps	30ps	Q49 até Q60	12	3,550ns	3,182ns

Com base na tabela 5.12, podemos perceber que houve uma pequena diferença entre a largura do pulso transiente no valor medido no nodo2 com o valor calculado através do circuito Snapshot3.

Portanto, podemos concluir que para a tecnologia utilizada o melhor nodo para colocar como sinal de controle dos Flip-Flop tipo D é o *buffer* na saída do inversor de número 100. Foi observado que se as larguras dos pulsos transientes nos nodos forem menores que 3.5ns, o circuito *Snapshot* não consegue acionar os Flip-Flop tipo D.

Outro ponto que é necessário ressaltar refere-se ao número de circuitos *Snapshot* necessários para medir todos os nodos do circuito combinacional; para cada nodo é necessário um circuito *snapshot* para medir a largura do pulso transiente no nodo, ocasionando um consumo de grande área do *chip*.

6 CONCLUSÕES E TRABALHOS FUTUROS

É mostrado que, dependendo da partícula incidente e tecnologia de processo, aumentando a capacitância do nó (carga capacitiva) pode levar à ampliação na largura do pulso transiente. É necessário a compensação nos valores dos parâmetros de comprimento e largura do canal dos transistores para diminuir a ampliação do SET, para que ocorra apenas a degradação dos pulsos transientes ao percorrem os circuitos combinacionais.

Um modelo simples de propagação de *Single Event Transient* é proposto. É mostrado que a propagação transitória pode ser devidamente modelada, considerando os atrasos de propagação da porta e uma constante k , que depende da tecnologia de interesse. O modelo é adequado para avaliação automática da sensibilidade dos circuitos digitais a falhas transitórias e *radiation hardening*.

Observamos através da comparação dos resultados das simulações elétricas com o modelo analítico proposto (seção 3), que um pulso transiente em um nó se comporta da seguinte maneira:

- Se o atraso de propagação da primeira transição for menor do que o atraso de propagação da segunda transição, o SET é ampliado.
- Se o atraso de propagação da segunda transição é menor do que o atraso de propagação a primeira transição, a SET é atenuada.

Foi encontrado um ótimo comportamento do modelo quando o pulso transiente sofre um aumento em sua largura, obtivemos diferenças menores que 1% entre os valores do modelo proposto e a simulação elétrica. Quando o pulso transiente sofre a degradação, o modelo se comportou bem, mas tivemos diferenças na comparação entre a simulação elétrica e o modelo proposto de até 24%.

Além da importância da ampliação nos pulsos transientes para circuitos integrados, funcionando em aplicações específicas, as conclusões deste trabalho são igualmente relevantes para as estruturas de circuitos de testes utilizando bombardeamento com íons. Nas estruturas de teste, tais cadeias longas são frequentemente usadas para analisar e medir a largura dos pulsos transientes, e poderá ser observadas larguras de pulsos transientes grandes na saída do circuito de teste, devido ao efeito de ampliação da largura dos SET's descritos aqui.

Na segunda parte do trabalho, foram mostradas algumas arquiteturas utilizadas para medir a largura dos pulsos transientes *on-chip*. Com base nos dados apresentados verificamos que o circuito *Snapshot* que tem por função capturar o pulso transiente ocasionado pela injeção de um SET em um nodo no circuito combinacional tem uma boa relação entre os dados calculados e os dados obtidos pela simulação elétrica. Esta boa relação está diretamente ligada ao nodo que será utilizado como nodo de saída que

servirá como sinal de acionamento da cadeia de FF-D, tornando-o dependente do processo de tecnologia utilizado no teste de radiação.

A partir das quatro metodologias apresentadas neste trabalho, todas as metodologias têm algumas limitações que vão desde a frequência de operação até o consumo de área. Um fato importante que deve ser levado em consideração é que todas as metodologias não fornecem um valor exato da largura do pulso transiente e sim um valor estimado.

Entretanto, os autores demonstraram quatro técnicas distintas capazes de fornecerem o valor da largura do pulso que é de fundamental importância para a investigação de SET em circuitos combinacionais.

Foi implementado na subseção 5.3, o circuito VLSI proposto por (Y. Yanagawa, 2006), desde o esquemático até seu leiaute e simulação. De acordo com as simulações elétricas realizadas, vimos que para o circuito *Snapshot* funcionar corretamente, devemos utilizar como nodo X (nodo utilizado como mecanismo de ativação automática dos *Flip-Flops* responsáveis pela captura do pulso transiente, sem a necessidade de utilizar um *clock* externo ao circuito), a saída do inversor correta, pois esta saída está diretamente relacionada com bom funcionamento do circuito de medida, mas é dependente a tecnologia utilizada.

Como trabalhos futuros, devo comentar que devemos implementar os circuitos utilizados na seção 3 (cadeia de inversores Load3, somador de 1 bit e somador de 3 bit) em leiaute para as duas metodologias de medição de pulso com *clock* interno.

Analisar o comportamento elétrico de cada topologia para os circuitos construídos e depois mandarmos fabricá-los, com o objetivo de realizar testes a *laser* nestes circuitos com o intuito de visualizar os comportamentos dos pulsos transientes mencionados nesta dissertação.

REFERÊNCIAS

- T CALVIN, et al. A Low-Cost, Highly Reliable SEU-Tolerant SRAM: Prototype and Test Results, In: IEEE TRANS. NUCL. SCI. 1995. **Proceedings...** [S.l.]: IEEE, 1995. Vol. 42, pp. 1592-1598.
- J PALAU, et al. Contribution of Device Simulation to SER Understanding, In: 41st IEEE INT. RELIABILITY PHYSICS SYMP. 2003, **Proceedings...** Dallas, Texas, p. 71-75, 2003
- SHIVAKUMAR, P. et al. Modeling the Effect of Technology Trends on the Soft Error Rate of Combinational Logic. In: INTERNATIONAL CONFERENCE ON DEPENDABLE SYSTEMS AND NETWORKS 2002. **Proceedings...** Piscataway: IEEE Computer Society, 2002.
- V FERLET-CAVROIS et al. New Insights Into Single Event Transient Propagation in Chains of Inverters - Evidence for Propagation-Induced Pulse Broadening. In: IEEE TRANS. ON NUCLEAR SCIENCE. 2007, **Proceedings...** [S.l.]: IEEE, 2007. Vol. 54, Issue 6, pp. 2338-2346.
- D MCMORROW. et al. Single-Event Transient Propagation in Inverter Chains. DECIDE 2007 - First International Workshop on Dependable Circuit Design. **Proceedings...** Argentina, December 6-7, 2007.
- ZIEGLER, J F. Terrestrial Cosmic Rays. **IBM Journal of Research and Development**, Vol. 40, No. 1, 1996, pp. 19-40.
- WIRTH, G.I.; et al. Modeling the sensitivity of CMOS circuits to radiation induced single event transients. In: MICROEL. RELIAB. 2008, **Proceedings...** [S.l.]: IEEE, 2008. vol. 48, pp. 29-36.
- HENES NETO, Egas ; RIBEIRO, Ivandro da Silva ; WIRTH, Gilson I . Single Event Transient in Combinatorial Circuits. In: 20TH SOUTH SYMPOSIUM ON MICROELECTRONICS, 2005, Santa Cruz do Sul. **Proceedings...** Santa Cruz do Sul: 2005. p. 49-52.
- WIRTH, Gilson I; RIBEIRO, Ivandro da Silva; et al . Single Event Transients in Dynamic Logic . In: 19TH INTERNATIONAL SYMPOSIUM ON INTEGRATED Circuits and Systems Design, 2006, Ouro Preto. **Proceedings...** Ouro Preto: SBCCI, 2006. p. 184-189.
- G. C. MESSENGER, Collection of Charge on Junction Nodes from Ion Tracks, In: IEEE TRANS. NUCL. SCI. 1982, **Proceedings...** [S.l.]: IEEE, 1982. vol. NS-29, pp. 2024-2031.

BELLIDO-DÍAZ, M.J. et al. Logical Modeling of Delay Degradation Effect in Static CMOS Gates. In: IEE PROC-CIRCUITS DEVICES SYST, 2000. **Proceedings...** [S.l.]: IEEE, 2000. Vol. 147, No. 2, p.107-117.

MOSIS. **Integrated Circuit Fabrication Service**. Disponível em: <<http://www.mosis.com/Technical/Testdata/tsmc-025-prm.html>>. Acesso em: 2008.

WIRTH, G., VIEIRA, M. AND KASTENSMIDT, F. L.. Computer Efficient Modeling of SRAM Cell Sensitivity to SEU. In: 6TH IEEE LATIN AMERICA TEST WORKSHOP, 2005. **Proceedings...** [S.l.]: IEEE, 2005. pp. 51-5.

S. BUCHNER AND M. BAZE, Single-event transients in fast electronic circuits, In: IEEE NUCL. AND SPACE RADIAT, 2001. **Proceedings...** [S.l.]: IEEE, 2001. pp. 1–105.

L. W. MASSENGILL, et al, Analysis of single-event effects in combinational logic—Simulation of the AM2901 bitslice processor, In: IEEE TRANS. NUCL. SCI, 2000. **Proceedings...** [S.l.]: IEEE, 2000. vol. 47, no. 6, pp. 2609–2615.

L. W. MASSENGILL, SEU modeling and prediction techniques, In: IEEE NUCL. AND SPACE RADIAT, 1993. **Proceedings...** [S.l.]: IEEE, 1993. pp. 1–93.

P. EATON, et al, SET Pulsewidth Measurements Using a Variable Temporal Latch Technique, In: IEEE TRANS. NUCL. SCI, 2004. **Proceedings...** [S.l.]: IEEE, 2004. vol.51, pp.3365-3368.

H. SCHONE, D. S. WALSH, et al, Time-resolved ion beam induced charge collection (TRIBICC) in micro-electronics, In: IEEE TRANS. NUCL. SCI, 1998. **Proceedings...** [S.l.]: IEEE, 1998. vol. 45, no. 6, pp. 2544–2549.

V. FERLET-CAVROIS, et al, Direct measurement of transient pulses induced by laser and heavy ion irradiation in deca-nanometer SOI devices, In: IEEE TRANS. NUCL. SCI. 2005, **Proceedings...** [S.l.]: IEEE, 2005. vol. 52, no. 6, pp. 2104–2113.

M. NICOLAIDIS, R. PEREZ, Measuring the width of transient pulses induced by ionizing radiation, In: IEEE 41ST INT. REL. PHYS. SYMP, 2003. **Proceedings...** [S.l.]: IEEE, 2003. pp. 56–59.

B. NARASIMHAM, On-chip characterization of single event transient pulse widths, IEEE NSREC, 2005. **Proceedings...** Seattle, WA, Jul. 2005.

Y. YANAGAWA, K. HIROSE. Direct Measurement of SET Pulse Widths in 0.2-um SOI Logic Cells Irradiated by Heavy Ions, In: IEEE TRANS. NUCL, 2006. **Proceedings...** [S.l.]: IEEE, 2006. vol. 53, pp. 3575-3578.

K CASTELLANI-COULIÉ, et al. Various SEU Conditions in SRAM Studied by 3-D Device Simulation, In: IEEE TRANS. NUCL. SCI, 2001. **Proceedings...** [S.l.]: IEEE, 2001. vol. 48, pp. 1931-1936.

DEVICE GROUP AT UC BERKELEY, **Berkeley Predictive Technology Model**. Disponível em: <<http://www.eas.asu.edu/~ptm/>>. Acesso em: 2006

G. R. SRINIVASAN, Modeling the Cosmic-Ray-Induced Soft-Error Rate in Integrated Circuits: An Overview, **IBM Journal of R&D**, Vol. 40, No. 1, pp. 77-90, 1996.

P SHIVAKUMAR, et al, Modeling the Effect of Technology Trends on the Soft Error Rate of Combinational Logic. In: INT. CONF. ON DEPENDABLE SYSTEMS AND NETWORKS, 2002. **Proceedings...** IEEE Comp. Soc., pp. 389 - 398, 2002.

N WESTE, K ESHRAGHIAN. **Principles of cmos vlsi design: a systems perspective.** 2nd Edition [S.l.]: Addison-Wesley, 1993.

ANGHEL, L., eat all. Evaluation of a soft error tolerance technique based on time and/or space redundancy. In: SYMPOSIUM ON INTEGRATED CIRCUITS AND SYSTEMS DESIGN, SBCCI, 13., 2000. **Proceedings...** Los Alamitos : IEEE Computer Society, 2000. p. 237-242.

O. MUSSEAU, V, D. MCMORROW, eat all, Laser probing of bipolar amplification in 0.25 micron MOS/SOI transistors, In: IEEE TRANS. NUCL. SCI. **Proceedings...** [S.l.]: IEEE, 2000. vol. 47, no. 6, pp. 2196–2203.

D. MCMORROW, eat all. Campbell, Elimination of charge-enhancement effects in GaAs FETs with a low-temperature grown GaAs buffer layer, In: IEEE TRANS. NUCL. SCI. **Proceedings...** [S.l.]: IEEE, 1995. vol. 42, no. 6, pp. 1837–1843.

BAUMANN, R. C. Radiation-Induced Soft Errors in Advanced Semiconductor Technologies. In: IEEE TRANSACTIONS ON DEVICES AND MATERIALS RELIABILITY. **Proceedings ...** New York, v.5, n.3, p.305-316, September, 2005.

PUBLICAÇÕES

RIBEIRO, Ivandro ; WIRTH, Gilson I ; KASTENSIMIDT, Fernanda G L . Modeling the Effects of Broadening and Degradation of Single Event Transient Pulses in Integrated Circuits. In: 8TH EUROPEAN WORKSHOP ON RADIATION AND ITS EFFECTS ON COMPONENTS AND SYSTEMS RADECS 2008, 2008, Jyvaskyla, Finland. **Proceedings...** Piscataway, USA : IEEE, 2008.

WIRTH, Gilson I; KASTENSIMIDT, Fernanda G L; RIBEIRO, Ivandro . Single Event Transients in Logic Circuits - Load and Propagation Induced Pulse Broadening. IEEE TRANSACTIONS ON NUCLEAR SCIENCE. **Proceedings...** IEEE, 2008. v. 55, p. 2928-2935.

WIRTH, Gilson I; RIBEIRO, Ivandro; KASTENSIMIDT, Fernanda G L . Single Event Transients in Logic Circuits - Evidence for Load Induced Pulse Broadening. In: IEEE NUCLEAR AND SPACE RADIATION EFFECTS CONFERENCE (NSREC), 2008, Tucson, AZ, USA. Piscataway, USA : IEEE, 2008.

APÊNDICE CIRCUITOS HSPICE

Com as descrições dos circuitos Hspice abaixo, podem ser repetidos todos os resultados simulados no decorrer desta dissertação.

Somador de 3 BITS:

```

*****
.include tsmc_025_t65v_lo_epi.sp
*****SUB-BLOCOS*****

.SUBCKT INV vcc A out
.param WN = 0
.param WP = 0
.param L = 250N
Mp1 vcc a out vcc CMOSF W=WP L=L AD='WP*3*L' AS='WP*3*L' PD='2*WP+2*3*L'
PS='2*WP+2*3*L'
Mn1 out a 0 0 CMOSN W=WN L=L AD='WN*3*L' AS='WN*3*L' PD='2*WN+2*3*L'
PS='2*WN+2*3*L'
.ends INV

.SUBCKT NAND vcc A B out
.param WN = 0
.param WP = 0
.param L = 250N
Mn2 out A int 0 CMOSN W=WN L=L AD='WN*3*L' AS='WN*3*L' PD='2*WN+2*3*L' PS='2*WN+2*3*L'
Mn3 int B 0 0 CMOSN W=WN L=L AD='WN*3*L' AS='WN*3*L' PD='2*WN+2*3*L' PS='2*WN+2*3*L'
Mp2 vcc A out vcc CMOSF W=WP L=L AD='WP*3*L' AS='WP*3*L' PD='2*WP+2*3*L' PS='2*WP+2*3*L'
Mp3 vcc B out vcc CMOSF W=WP L=L AD='WP*3*L' AS='WP*3*L' PD='2*WP+2*3*L' PS='2*WP+2*3*L'
.ends NAND

.SUBCKT NOR vcc A B out
.param WN = 0
.param WP = 0
.param L = 250N
Mp4 s A out vcc CMOSF W=WP L=L AD='WP*3*L' AS='WP*3*L' PD='2*WP+2*3*L'
PS='2*WP+2*3*L'
Mp5 vcc B s vcc CMOSF W=WP L=L AD='WP*3*L' AS='WP*3*L' PD='2*WP+2*3*L'
PS='2*WP+2*3*L'
Mn4 out A 0 0 CMOSN W=WN L=L AD='WN*3*L' AS='WN*3*L' PD='2*WN+2*3*L'
PS='2*WN+2*3*L'
Mn5 out B 0 0 CMOSN W=WN L=L AD='WN*3*L' AS='WN*3*L' PD='2*WN+2*3*L'
PS='2*WN+2*3*L'

```

```

.ends NOR
.SUBCKT XNOR vcc A B out
.param WN = 0
.param WP = 0
.param L = 250N
Mp6 vcc nA 1 vcc CMOSP W='4*WP' L=L AD='WP*3*L' AS='WP*3*L' PD='2*WP+2*3*L'
PS='2*WP+2*3*L'
Mp7 vcc A 2 vcc CMOSP W='4*WP' L=L AD='WP*3*L' AS='WP*3*L' PD='2*WP+2*3*L'
PS='2*WP+2*3*L'
Mp8 1 B out vcc CMOSP W='4*WP' L=L AD='WP*3*L' AS='WP*3*L' PD='2*WP+2*3*L'
PS='2*WP+2*3*L'
Mp9 2 nB out vcc CMOSP W='4*WP' L=L AD='WP*3*L' AS='WP*3*L' PD='2*WP+2*3*L'
PS='2*WP+2*3*L'
Mn6 out A 3 0 CMOSN W='2*WN' L=L AD='WN*3*L' AS='WN*3*L' PD='2*WN+2*3*L'
PS='2*WN+2*3*L'
Mn7 out nA 4 0 CMOSN W='2*WN' L=L AD='WN*3*L' AS='WN*3*L' PD='2*WN+2*3*L'
PS='2*WN+2*3*L'
Mn8 3 B 0 0 CMOSN W='2*WN' L=L AD='WN*3*L' AS='WN*3*L' PD='2*WN+2*3*L'
PS='2*WN+2*3*L'
Mn9 4 nB 0 0 CMOSN W='2*WN' L=L AD='WN*3*L' AS='WN*3*L' PD='2*WN+2*3*L'
PS='2*WN+2*3*L'
Mp10 vcc A nA vcc CMOSP W=WP L=L AD='WP*3*L' AS='WP*3*L' PD='2*WP+2*3*L'
PS='2*WP+2*3*L'
Mn10 nA A 0 0 CMOSN W=WN L=L AD='WN*3*L' AS='WN*3*L' PD='2*WN+2*3*L'
PS='2*WN+2*3*L'
Mp11 vcc B nB vcc CMOSP W=WP L=L AD='WP*3*L' AS='WP*3*L' PD='2*WP+2*3*L'
PS='2*WP+2*3*L'
Mn11 nB B 0 0 CMOSN W=WN L=L AD='WN*3*L' AS='WN*3*L' PD='2*WN+2*3*L'
PS='2*WN+2*3*L'
.ends XNOR

```

```

*****CIRCUITO SOMADOR DE 3 BIT *****

```

```

Xb1 vcc b_0 nodb_0 INV
Xb2 vcc nodb_0 b0 INV
X1 vcc a0 i0 INV
X2 vcc b0 i1 INV
X3 vcc b1 i2 INV
X4 vcc i10 i3 INV
X5 vcc i11 i4 INV
X6 vcc i17 i5 INV
X7 vcc i18 i6 INV
X8 vcc i12 i7 INV
X9 vcc i20 i8 INV
X10 vcc i14 i9 INV
X12 vcc i1 i0 2nor1 NOR
X13 vcc i2 2nor1 i10 NOR
X14 vcc i1 i0 i11 NOR
X15 vcc i5 i6 i12 NOR
X16 vcc i8 i10 i13 NOR
X17 vcc i19 i24 i14 NOR

```

X18 vcc i4 i2 i15 NAND
X19 vcc i3 i15 i16 NAND
X20 vcc i0 b0 i17 NAND
X21 vcc i1 a0 i18 NAND
X22 vcc i7 cin i19 NAND
X23 vcc i15 a1 i20 NAND
X24 vcc i9 i13 i21 NAND
X27 vcc a2 b2 i23 XNOR
X29 vcc i24 i19 s1 XNOR
X30 vcc cin i7 s0 XNOR
X31 vcc i16 a1 i24 XNOR
X32 vcc nA_2 i23 nand1_2 NAND
X33 vcc i21 nB_2 nand2_2 NAND
X34 vcc nand1_2 nand2_2 s2 NAND
X35 vcc i21 nA_2 INV
X36 vcc i23 nB_2 INV

****CAPACITANCIAS*****

*Xfi1 vcc i0 f1 INV
*Xfi2 vcc i1 f2 INV
*Xfi3 vcc i2 f3 INV
*Xfi4 vcc i3 f4 INV
*Xfi5 vcc i4 f5 INV
*Xfi6 vcc i5 f6 INV
*Xfi7 vcc i6 f7 INV
*Xfi8 vcc i7 f8 INV
*Xfi9 vcc i8 f9 INV
*Xfi10 vcc i9 f10 INV
*Xfi11 vcc i10 f11 INV
*Xf12 vcc 2nor1 f12 INV
*Xf13 vcc 2nand8 f13 INV
*Xf14 vcc i11 f14 INV
*Xf15 vcc i12 f15 INV
*Xf16 vcc i13 f16 INV
*Xf17 vcc i14 f17 INV
*Xf18 vcc i15 f18 INV
*Xf19 vcc i16 f19 INV
*Xf20 vcc i17 f20 INV
*Xf22 vcc i18 f22 INV
*Xf23 vcc i19 f23 INV
*Xf24 vcc i20 f24 INV
*Xf25 vcc i21 f25 INV
*Xf26 vcc i22 f26 INV
*Xf27 vcc i23 f27 INV
*Xf28 vcc i24 f28 INV
Xf29 vcc s2 f29 INV

```

Xf30 vcc s1 f30 INV
Xf31 vcc s0 f31 INV
*****PARAMETOS PARASIMULACAO*****
.param
+faultcur1 = 0
+tau_beta = 0
+tau_alfa = 0
Vcc vcc 0 dc 1.8
Va0 a0 0 dc 0
Va1 a1 0 dc 1.8
Va2 a2 0 dc 0
Vb0 b_0 0 dc 1.8
Vb1 b1 0 dc 0
Vb2 b2 0 dc 0
Vc cin 0 dc 1.8
*****
* falhas em um determinado nó (i2)
*****
*Va a 0 pulse(0 1.8 0.5ns 0ns 0ns 0.5ns 1ns)
*Vb1 b1 0 pulse(0 1.8 0.5ns 0ns 0ns 0.5ns 1ns)
*Vi2 b0 0 pulse(0 1.8 0.5ns 0ns 0ns 0.5ns 3ns)
Ifalha1 b0 0 EXP(0 'faultcur1' 2.1n 'tau_beta' 2.100001n 'tau_alfa')
*****
.option
+ post
.tran 0.001n 20n
+sweep data=faulttest
.data faulttest
+ WN  WP      faultcur1  tau_beta  tau_alfa
0.3u  0.6u    170u              10p          290p
.enddata
.end
*****

SOMADOR 1 BIT
.include tsmc_025_t65v_lo_epi.sp
***** SUB-BLOCO *****
.subckt nand2 a b out vcc
.param WN = 0
.param WP = 0
.param L = 250N
Mn9 int  b out  0      CMOSN W=WN L=L AD='WN*3*L' AS='WN*3*L' PD='2*WN+2*3*L' PS='2*WN+2*3*L'
Mn10 int a 0      0      CMOSN W=WN L=L AD='WN*3*L' AS='WN*3*L' PD='2*WN+2*3*L' PS='2*WN+2*3*L'
Mp9 out  b vcc  vcc    CMOSP W=WP L=L AD='WP*3*L' AS='WP*3*L' PD='2*WP+2*3*L' PS='2*WP+2*3*L'
Mp10 out a vcc  vcc    CMOSP W=WP L=L AD='WP*3*L' AS='WP*3*L' PD='2*WP+2*3*L' PS='2*WP+2*3*L'
.ends nand2

```

```

.subckt inv a !a vcc
.param WN = 0
.param WP = 0
.param L = 250N
MP0 !a a vcc vcc CMOSP W=WP L=L AD='WP*3*L' AS='WP*3*L' PD='2*WP+2*3*L'
PS='2*WP+2*3*L'
MNO !a a 0 0 CMOSN W=WN L=L AD='WN*3*L' AS='WN*3*L' PD='2*WN+2*3*L'
PS='2*WN+2*3*L'
.ends inv

***** PARAMETROS PARA SIMULACAO *****

.param
+faultcur1 = 0
+tau_beta = 0
+tau_alfa = 0
vcc vcc 0 dc 1.8
vin_a a 0 dc 0
vin_b b 0 dc 1.8
vin_c cin 0 dc 0

***** FALHA TRANSIENTE *****
Ifalha1 inv1 0 EXP(0 'faultcur1' 2.1n 'tau_beta' 2.100001n 'tau_alfa')

***** CIRCUITO SOMADOR 1 BIT *****

x1 a_2 b_2 nand1 vcc nand2
x2 nand8 nand9 nand4 vcc nand2
x3 nand4 cin_2 nand3 vcc nand2
x4 nand7 nand6 s0 vcc nand2
x5 nand3 nand1 cout vcc nand2
x6 cin_2 inv4 nand6 vcc nand2
x7 nand4 inv3 nand7 vcc nand2
x8 cin_2 inv3 vcc inv
x9 nand4 inv4 vcc inv
x10 b_2 inv1 nand9 vcc nand2
x11 inv2 a_2 nand8 vcc nand2
x12 b_2 inv2 vcc inv
x13 a_2 inv1 vcc inv

* ***** inversores extras para simulacao *****

x14 a_a_1 vcc inv
x15 a_1 a_2 vcc inv
x16 b_b_1 vcc inv
x17 b_1 b_2 vcc inv
x18 cin cin_1 vcc inv
x19 cin_1 cin_2 vcc inv
x20 s0 s0_1 vcc inv
x21 s0_1 s0_2 vcc inv
x22 cout cout_1 vcc inv

```

```

x23 cout_1 cout_2 vcc inv
***** PARAMETROS SIMULACO *****

.option
*+ probe
+ post
.tran 0.001n 20n
+sweep data=faultest
*.print tran
*+I(Ifalha1)
*+v(NAND001) v(NAND003) v(NAND249) v(NAND120) v(NAND248) v(NAND249) v(NAND250)

.data faultest
+ WN  WP      faultcur1 tau_beta tau_alfa
0.3u  0.6u    170u          10p          290p

.enddata
.end
*****

LOAD1
*****

.include tsmc_025_t65v_lo_epi.sp
***** SUB-BLOCO *****

.param wn = 0
.subckt invx1 a !a vcc
.param wpinv = 0 lpinv = 250n
.param wninv = 0 llinv = 250n
mp0 !a a vcc vcc cmosp w=wpinv l=lpinv ad='wpinv*3*lpinv' as='wpinv*3*lpinv' pd='2*wpinv+2*3*lpinv'
ps='2*wpinv+2*3*lpinv'
mn0 !a a 0 0 cmosn w=wninv l=llinv ad='wninv*3*llinv' as='wninv*3*llinv' pd='2*wninv+2*3*llinv'
ps='2*wninv+2*3*llinv'
.ends invx1
***** PARAMETROS SIMULACAO *****

.param
+faultcur1 = 0
+tau_beta = 0
+tau_alfa = 0

vcc vcc 0 dc 1.8
vd d 0 dc 0
* vd d 0 pulse(0 1.8 0p 1p 1n 4n)
*Vb1 b1 0 pulse(0 1.5 0.5ns 0ns 0ns 0.5ns 1ns)
***** FALHA TRANSIENTE *****

ifalha1 0 inv001 exp(0 'faultcur1' 2.1n 'tau_beta' 2.100001n 'tau_alfa')
***** CIRCUITO LOAD1

x000 d inv000 vcc invx1
x001 inv000 inv001 vcc invx1

```

```

x002 inv001 inv002 vcc invx1
x003 inv002 inv003 vcc invx1
x004 inv003 inv004 vcc invx1
x005 inv004 inv005 vcc invx1
x006 inv005 inv006 vcc invx1
x007 inv006 inv007 vcc invx1
x008 inv007 inv008 vcc invx1
x009 inv008 inv009 vcc invx1

```

```
-
```

```
-
```

```
-
```

```

x251 inv250 inv251 vcc invx1
x252 inv251 inv252 vcc invx1

```

```
***** PARAMETROS SIMULACAO *****
```

```

.option
*+ probe
+ post
.tran 0.001n 70n
+sweep data=faultest
*.print tran
*+i(ifalha1)
*+v(inv001) v(inv003) v(inv249) v(inv120) v(inv248) v(inv249) v(inv250)
.data faultest
+ wnv    wpv    faultcurl    tau_beta    tau_alfa

0.6u 1.2u 280u    10p    580p
1.8u 3.6u 890u    10p    2000p

```

```
.end
```

```
*****
```

LOAD3

```
*****
```

```
.include tsmc_025_t65v_lo_epi.sp
```

```
*****SUB-CIRCUITO*****
```

```

.param wn = 0
.subckt invx1 a !a vcc
.param wpinv = 0    lpinv = 250n
.param wnv    = 0    lninv = 250n
mp0 !a a vcc vcc cmosp w=wpinv l=lpinv ad='wpinv*3*lpinv' as='wpinv*3*lpinv' pd='2*wpinv+2*3*lpinv'
ps='2*wpinv+2*3*lpinv'
mn0 !a a 0 0 cmosn w=wnv l=lninv ad='wnv*3*lninv' as='wnv*3*lninv' pd='2*wnv+2*3*lninv'
ps='2*wnv+2*3*lninv'
.ends invx1

```

```
*****
```

```
.param
```

```

+faultcur1 = 0
+tau_beta = 0
+tau_alfa = 0

vcc vcc 0 dc 1.8
vd d 0 dc 0
*vd d 0 pulse(0 1.8 0p 1p 1n 4n)
*Vb1 b1 0 pulse(0 1.5 0.5ns 0ns 0.5ns 1ns)
*****PULSO TRANSIENTE*****
ifalha1 0 inv001 exp(0 'faultcur1' 2.1n 'tau_beta' 2.100001n 'tau_alfa')
***CIRCUITO*****
x000 d inv000 vcc invx1
x001 inv000 inv001 vcc invx1
x002 inv001 inv002 vcc invx1
x003 inv002 inv003 vcc invx1
x004 inv003 inv004 vcc invx1
x005 inv004 inv005 vcc invx1
x006 inv005 inv006 vcc invx1
x007 inv006 inv007 vcc invx1
x008 inv007 inv008 vcc invx1
x009 inv008 inv009 vcc invx1
x010 inv009 inv010 vcc invx1
x011 inv010 inv011 vcc invx1
-
-
-
x249 inv248 inv249 vcc invx1
x250 inv249 inv250 vcc invx1
x251 inv250 inv251 vcc invx1
x252 inv250 inv252 vcc invx1
*****
*****FANOUT3*****
x001f inv001 inv001f vcc invx1
x002f inv001 inv002f vcc invx1
x003f inv003 inv003f vcc invx1
x004f inv003 inv004f vcc invx1
-
-
-
x247f inv247 inv247f vcc invx1
x248f inv247 inv248f vcc invx1
x249f inv249 inv249f vcc invx1
x250f inv249 inv250f vcc invx1
*****
*****PARAMETROS SIMULACAO*****

```

```

.option
*+ probe
+ post
.tran 0.001n 70n
+sweep data=faultest
*.print tran
*+i(ifalha1)
*+v(inv001) v(inv003) v(inv249) v(inv120) v(inv248) v(inv249) v(inv250)
.data faultest
+ wninw wpinv faultcur1 tau_beta tau_alfa
0.3u 0.6u 210u 10p 270p
0.6u 1.2u 280u 10p 580p
1.8u 3.6u 890u 10p 2000p
.enddata
.end
*****
LOAD1 DESBALANCEADO
*****
include tsmc_025_t65v_lo_epi.sp
*****SUB-CIRCUTO*****

.subckt invx1 a !a vcc
.param wn = 0
.param wp = 0
.param l = 250n
mp1 !a a vcc vcc cmosp w=wp l=l ad='wp*3*1' as='wp*3*1' pd='2*wp+2*3*1' ps='2*wp+2*3*1'
mn2 !a a 0 0 cmosn w=wn l=l ad='wn*3*1' as='wn*3*1' pd='2*wn+2*3*1' ps='2*wn+2*3*1'
.ends invx1

*****
*****SUB-CIRCUTO*****

.subckt inv1 a !a vcc
.param wnn='wn*0.8'
.param wpp='wp*0.8'
.param l = 250n
mp0 !a a vcc vcc cmosp w=wpp l=l ad='wpp*3*1' as='wpp*3*1' pd='2*wpp+2*3*1' ps='2*wpp+2*3*1'
mn0 !a a 0 0 cmosn w=wnn l=l ad='wnn*3*1' as='wnn*3*1' pd='2*wnn+2*3*1' ps='2*wnn+2*3*1'
.ends inv1

*****

.param
+faultcur1 = 0
+tau_beta = 0
+tau_alfa = 0

vcc vcc 0 dc 1.8
vd d 0 dc 0
* vd d 0 pulse(0 1.8 0p 1p 1p 1n 4n)
*vb1 b1 0 pulse(0 1.5 0.5ns 0ns 0ns 0.5ns 1ns)

ifalha1 0 inv001 exp(0 'faultcur1' 2.ln 'tau_beta' 2.100001n 'tau_alfa')

x000 d inv000 vcc invx1
x001 inv000 inv001 vcc inv1
x002 inv001 inv002 vcc invx1
x003 inv002 inv003 vcc inv1
x004 inv003 inv004 vcc invx1

```

```

x005 inv004 inv005 vcc inv1
x006 inv005 inv006 vcc invx1
x007 inv006 inv007 vcc inv1
x008 inv007 inv008 vcc invx1
x009 inv008 inv009 vcc inv1
x010 inv009 inv010 vcc invx1
x011 inv010 inv011 vcc inv1
x012 inv011 inv012 vcc invx1
-
-
-
x246 inv245 inv246 vcc invx1
x247 inv246 inv247 vcc inv1
x248 inv247 inv248 vcc invx1
x249 inv248 inv249 vcc inv1
x250 inv249 inv250 vcc invx1

```

```
*****PARAMETROS SIMULACAO*****
```

```

.option
*+ probe
+ post
.tran 0.001n 70n
+sweep data=faultest
*.print tran
*+i(ifalha1)
*+v(inv001) v(inv003) v(inv249) v(inv120) v(inv248) v(inv249) v(inv250)
.data faultest
+ wninw wpinv faultcur1 tau_beta tau_alfa
0.3u 0.6u 210u 10p 270p
0.6u 1.2u 280u 10p 580p
1.8u 3.6u 890u 10p 2000p
.enddata
.end

```

```
*****
```