

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
INSTITUTO DE INFORMÁTICA
CURSO DE ENGENHARIA DE COMPUTAÇÃO

EDUARDO ANTONIO ACHUTTI CANABARRO

**Estudo e avaliação de técnicas de redução de
consumo em circuitos lógicos**

Trabalho de Diplomação

Professor Dr. André Inácio Reis

Porto Alegre, Junho de 2011.

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

Reitor: Prof. Carlos Alexandre Netto

Vice-Reitor: Prof. Rui Vicente Oppermann

Pró-Reitora de Graduação: Profa. Valquiria Link Bassani

Diretor do Instituto de Informática: Prof. Flávio Rech Wagner

Coordenador do ECP: Prof. Gilson Inácio Wirth

Bibliotecária-Chefe do Instituto de Informática: Beatriz Regina Bastos Haro

Agradecimentos

A realização de um trabalho de conclusão de curso é representativa do final de um ciclo e marca uma transição. Os agradecimentos não se restringem àqueles que nos ajudaram durante a realização exclusiva deste projeto. Eles vão adiante e dirigem-se a todos aqueles que, de alguma forma, contribuíram para a chegada até aqui.

Agradeço, inicialmente, ao professor André Reis, orientador deste trabalho, pela ajuda e pelo tempo dedicado a mim e as minhas tarefas, tornando possível a realização deste trabalho. Aos meus colegas do LogiCS Lab, pelos últimos 6 meses de convívio e pela amizade que, em alguns casos, remonta à 2008.

Agradeço aos meus colegas de faculdade Fabrício, Pietro e Tomás, que se tornaram grandes amigos. Sem eles, as agruras da jornada teriam sido muito maiores e eu teria me sentido desamparado em muitos momentos. Sem eles, eu não teria tantas boas lembranças para recordar e sentir falta.

Agradeço ao meu amigo Conrado por ter dividido comigo meu ano de estudo no exterior e ter me ensinado tantas coisas importantes. Por ter me ajudado a realizar um sonho e ter dividido comigo momentos que serão perenes na minha memória.

Agradeço aos meus familiares e amigos, cujas demonstrações de orgulho e satisfação pelo meu sucesso em muito contribuíram para que eu buscasse chegar mais longe.

Agradeço ao meu tio, Eduardo Antonio, por ter me dado tantos ensinamentos valiosos e ter sido presente, apesar da distância, desde tão cedo. Por ter sempre dito que o céu é o limite e ter me feito aspirar a grandes vôos, servindo como inspiração em tantos momentos.

Por último, faço 3 agradecimentos especiais.

Agradeço a Deus, por ter nascido no seio de uma família que me proporcionou a realização integral dos meus sonhos, transformando os meus objetivos nos seus objetivos.

Agradeço ao meu pai, Carlos Eduardo, por ser o meu maior exemplo e servir de balizador para minhas atitudes e julgamentos. Por ter me passado lições cruciais para a formação de um homem, no sentido amplo da palavra. Por ter vibrado tão fortemente com as minhas conquistas, a ponto de me mostrar que valia a pena conseguí-las muito mais por ele do que por mim.

Agradeço à minha mãe, Silvia, pelo amor e dedicação incondicionais e insuperáveis, em todos os instantes da minha vida. Por me fazer enxergar sempre o outro lado das coisas e por me dizer sempre a palavra correta no momento apropriado. Agradeço por zelar pelo meu bem acima do bem dela. Mais do que agradecer, afirmo que, sem ela, eu não teria chegado sequer perto de onde cheguei.

SUMÁRIO

LISTA DE ABREVIATURAS E SIGLAS	6
LISTA DE FIGURAS.....	7
LISTA DE TABELAS.....	9
RESUMO.....	10
ABSTRACT	11
1 INTRODUÇÃO	1
1.1 Contexto.....	1
1.2 Conceitos introdutórios.....	1
1.2.1 Nível de circuito	2
1.2.2 Nível lógico	2
1.2.3 Nível de sistema/software.....	3
1.3 Motivação	3
1.4 Objetivos do Trabalho	3
1.5 Organização do Trabalho	4
2 PARTE COMBINACIONAL.....	5
2.1 Introdução	5
2.2 Descrição do Experimento	5
2.3 Resultados do Experimento	8
3 MARGEM DE RUÍDO EM CIRCUITOS CMOS	12
3.1 Introdução	12
3.2 Conceito	12
3.3 Descrição do Experimento	16
3.4 Resultados do Experimento	16
4 PARTE SEQUENCIAL	20
4.1 Introdução	20
4.2 Conceito	20
4.2.1 Latch tipo D.....	20
4.2.2 Flip-flop D mestre-escravo.....	20
4.3 Descrição do Experimento	22
4.4 Resultados do Experimento	22
4.4.1 Análise da borda de relógio apropriada.....	22
4.4.2 Análise da operação do flip-flop proposto	23
4.4.3 Análise da operação do flip-flop relativo à arte anterior.....	28
5 CONCLUSÃO.....	32
APÊNDICE 1 <DADOS RELATIVOS A CONSUMO E ATRASO>.....	35
APÊNDICE 2 <DADOS RELATIVOS À MARGEM DE RUÍDO>	37
APÊNDICE 3 <DADOS E TABELAS RELATIVOS À ANÁLISE DE CONSUMO DE LEAKAGE DE UM INVERSOR>	39

APÊNDICE 4 <GRÁFICOS COMPARATIVOS RELATIVOS À REDUÇÃO DE CONSUMO>	44
APÊNDICE 5 <DESCRIÇÃO SPICE DO SOMADOR DE 8 BITS>	51
APÊNDICE 6 <DESCRIÇÃO SPICE DO FLIP FLOP PROPOSTO POR FIGUET>	60
APÊNDICE 7 <DESCRIÇÃO SPICE DO FLIP-FLOP RELATIVO À ARTE ANTERIOR>	61

LISTA DE ABREVIATURAS E SIGLAS

CMOS	Complementary Metal-Oxide Semiconductor.
VDD	Tensão de alimentação.
GND	Ground.
NMH	Noise Margin High.
NML	Noise Margin Low.
SPICE	Simulated Program with Integrated Circuits Emphasis
CIN	Carry-in.

LISTA DE FIGURAS

Figura 2.1: Esquema do full-adder utilizado na montagem do somador de 8 bits.	6
Figura 2.2: Esquema representativo do somador de 8 bits, com os full-adders encadeados.	6
Figura 2.3: Gráfico mostrando as curvas logarítmicas de consumo, atraso e produto atraso-consumo para a tecnologia 1.	9
Figura 2.4: Gráfico mostrando as curvas logarítmicas de consumo, atraso e produto atraso-consumo para a tecnologia 2.	10
Figura 2.5: Gráfico mostrando as curvas logarítmicas de consumo, atraso e produto atraso-consumo para a tecnologia 3.	11
Figura 3.1: Figura demonstrativa com as coordenadas a serem utilizadas para cálculo das margens de ruído.	13
Figura 3.2: Figura demonstrativa simplificada com as coordenadas a serem utilizadas para cálculo das margens de ruído.	14
Figura 3.3: Gráfico contendo as marcações utilizadas na coleta das coordenadas para o cálculo das margens de ruído.	15
Figura 3.4: Gráfico mostrando a evolução das margens de ruído conforme diminuição da tensão de alimentação para a tecnologia 1.	17
Figura 3.5: Gráfico mostrando a evolução das margens de ruído conforme diminuição da tensão de alimentação para a tecnologia 2.	18
Figura 3.6: Gráfico mostrando a evolução das margens de ruído conforme diminuição da tensão de alimentação para a tecnologia 3.	19
Figura 4.1: Esquema da estrutura lógica de um latch padrão, do tipo D, com saída Q e saída negada Q', sem set e reset.	20
Figura 4.2: Estrutura original do flip-flop D do tipo mestre-escravo sobre o qual Piguet propôs modificações.	21
Figura 4.3: Estrutura do flip-flop D do tipo mestre-escravo proposta por Piguet.	21
Figura 4.4: Montagem utilizada para descobrimento do tempo de excursão representativo de uma borda de relógio lenta na tecnologia em questão.	23
Figura 4.5: Gráficos representando o conjunto de sinais internos do flip-flop proposto por Piguet operando com tensão de alimentação nominal.	25
Figura 4.6: Gráficos representando o conjunto de sinais internos do flip-flop proposto por Piguet operando com tensão de alimentação equivalente a 66% da tensão de alimentação nominal.	26
Figura 4.7: Gráficos representando o conjunto de sinais internos do flip-flop proposto por Piguet operando com tensão de alimentação equivalente a 33% da tensão de alimentação nominal.	27
Figura 4.8: Gráficos representando os sinais internos do flip-flop mestre-escravo base operando com tensão de alimentação nominal.	29

Figura 4.9: Gráficos representando os sinais internos do flip-flop mestre-escravo base operando com tensão de alimentação equivalente a 66% da tensão de alimentação nominal.	30
Figura 4.10: Gráficos representando os sinais internos do flip-flop mestre-escravo base operando com tensão de alimentação equivalente a 33% da tensão de alimentação nominal.	31
Figura A3.1: Gráfico mostrando o consumo de leakage conforme diminuição da tensão de alimentação para a tecnologia 1.	41
Figura A3.2: Gráfico mostrando o consumo de leakage conforme diminuição da tensão de alimentação para a tecnologia 2.	42
Figura A3.3: Gráfico mostrando o consumo de leakage conforme diminuição da tensão de alimentação para a tecnologia 3.	43
Figura A4.1: Curvas de redução de consumo para o somador de 8 bits na tecnologia 1.	45
Figura A4.2: Curvas de redução de consumo para o somador de 8 bits na tecnologia 2.	46
Figura A4.3: Curvas de redução de consumo para o somador de 8 bits na tecnologia 3.	47
Figura A4.4: Curvas de redução de consumo para um transistor NMOS na tecnologia 1.	48
Figura A4.5: Curvas de redução de consumo para um transistor NMOS na tecnologia 2.	49
Figura A4.6: Curvas de redução de consumo para um transistor NMOS na tecnologia 3.	50

LISTA DE TABELAS

Tabela 2.1: Tabela-verdade do somador de 8 bits.	5
Tabela 2.2: Dados dos processos referentes às tecnologias utilizadas.	7
Tabela 2.3: Valores utilizados nas simulações para cada tecnologia.	7
Tabela 2.4: Dados relativos a consumo para as 3 tecnologias utilizadas.	8
Tabela 4.1: Bordas de relógio consideradas lentas para cada tensão de alimentação pretendida.	23
Tabela 5.1: Tabela sumarizando dados relativos a evolução do consumo na análise combinacional.	33
Tabela 5.2: Tabela sumarizando dados relativos a evolução do atraso na análise combinacional.	33
Tabela 5.3: Tabela sumarizando dados relativos a evolução do produto atraso-consumo na análise combinacional.	33
Tabela A1.1: Dados de consumo e atraso para tecnologia 1.	35
Tabela A1.2: Dados de consumo e atraso para tecnologia 2.	36
Tabela A1.3: Dados de consumo e atraso para tecnologia 3.	36
Tabela A2.1: Dados relativos à margem de ruído para tecnologia 1.	37
Tabela A2.2: Dados relativos à margem de ruído para tecnologia 2.	37
Tabela A2.3: Dados relativos à margem de ruído para tecnologia 3.	38
Tabela A3.1: Dados relativos a consumo de leakage para a tecnologia 1.	39
Tabela A3.2: Dados relativos a consumo de leakage para a tecnologia 2.	40
Tabela A3.3: Dados relativos a consumo de leakage para a tecnologia 3.	40

RESUMO

O presente trabalho busca investigar técnicas de redução de consumo em circuitos lógicos, abordando tanto circuitos combinacionais quanto sequenciais.

No estudo dirigido a circuitos combinacionais, é feito um estudo acerca da efetividade da redução da tensão de alimentação como forma de diminuir o consumo do circuito. Um circuito simples foi simulado em SPICE, utilizando 3 tecnologias distintas. Os dados relativos a consumo e atraso foram analisados, visando chegar a uma conclusão em relação à diminuição do consumo à custa do aumento do atraso. Juntamente com esta análise, foi realizado um estudo sobre margem de ruído em circuitos CMOS. A margem de ruído é o conceito que determina o quanto um circuito suporta de variação em sua entrada sem alterar a saída. Esse conceito é importante quando se trabalha em baixa tensão pois é relevante para o funcionamento correto do circuito e diretamente dependente da tensão de alimentação.

No estudo dirigido a circuitos sequenciais, foi avaliado um *flip-flop* mestre-escravo proposto em uma patente de autoria de Christian Piguet, cientista suíço reputado por estudos na área de baixo consumo e baixa tensão. O objetivo era avaliar o funcionamento e a efetividade da proposição, bem como sua adequação para uso em circuitos de baixo consumo.

Palavras-Chave: baixo consumo, redução de tensão, tensão reduzida.

Presentation and evaluation of techniques targeting low-power CMOS circuits

ABSTRACT

This work aims to investigate and evaluate techniques targeting low-power CMOS circuits, through sequential and combinational approaches.

In the combinational study, we intended to analyze the consumption reduction obtained through the reduction of the supply voltage. A simple CMOS circuit was described and simulated in SPICE language. Data related to power and timing were collected and analyzed, seeking to have a conclusion about the effectiveness of voltage reduction to achieve low-power in contrast with the depreciation of the timing performance. Additionally, the analysis of the noise margins for the 3 technologies previously used was performed. The noise margin is the maximum variation supported by a circuit, in its inputs, without the modification of the output. This concept becomes important when dealing with low voltage because directly affects the correct operation of the circuit and is totally dependent upon the reduction of the supply voltage.

In the sequential study, the evaluation of a patent of a master-slave flip-flop proposed by Christian Piguet was carried out. Piguet is known by his studies and proposals concerning low-power, low voltage circuits. The main goal was to evaluate the operation of the flip-flop, as well as its adaptation to be used in low-power CMOS circuits.

Keywords: low-power, low voltage, voltage reduction, voltage scaling.

1 INTRODUÇÃO

1.1 Contexto

A contínua diminuição de tamanho e preço dos transistores conduziu a um processo de disseminação dos dispositivos de eletrônica digital. Nas últimas décadas, circuitos lógicos digitais (notadamente processadores e controladores) têm sido utilizados de forma cada vez mais abrangente, sobretudo em aplicações de eletrônica embarcada. Dispositivos de auxílio a pessoas com necessidades especiais, dispositivos de computação portátil, veículos, eletrodomésticos, telefones móveis: todos são exemplos de aplicações da eletrônica embarcada.

Mesmo que em muitos casos ainda possamos contar com circuitos trabalhando conectados à rede elétrica, a quantidade de dispositivos que mantêm seu funcionamento através de uma bateria tem crescido substancialmente. Do mesmo modo, os requisitos de autonomia desses dispositivos (ou seja, o tempo de funcionamento sem que seja necessária recarga da bateria) também têm aumentado. Em oposição a isso, a capacidade de processamento requerida tem aumentado, o que contribui diretamente para o aumento do consumo. Circuitos lógicos que há alguns anos ocupavam desktops e computadores de alto desempenho hoje estão embarcados em celulares e *tablets*.

O espalhamento da eletrônica, junto com a necessidade de mobilidade e de maior capacidade de processamento têm tornado crítico um aspecto importante na concepção dos circuitos lógicos: o consumo. É cada vez mais necessário consumir menos energia e cada vez mais esforços tem sido feitos, por engenheiros e cientistas da área de eletrônica, para que esse objetivo seja atingido.

1.2 Conceitos introdutórios

A diminuição do consumo pode ser inicialmente abordada através da equação que descreve a quantidade de potência dissipada em um circuito CMOS (DEVADAS, 1995):

$$P = \frac{1}{2} C V_{DD}^2 f N + Q_{SC} V_{DD} f N + I_{LEAK} V_{DD} \quad (\text{equação 1.1})$$

Na equação acima, P representa a potência total consumida. O primeiro termo se refere à potência dissipada na carga e descarga dos nodos do circuito, onde C representa as capacitâncias das interconexões, V_{DD} representa a tensão de alimentação, f representa a frequência de operação do circuito e N representa a componente de chaveamento (transições que ocorrerão no circuito a cada ciclo de relógio). O segundo termo faz referência à corrente de curto-circuito que flui, a cada chaveamento, de V_{DD} para GND. O fator Q_{SC} representa a quantidade de carga carregada por essa corrente a cada transição. O terceiro e último termo refere-se à potência consumida pela corrente

de fuga ou *leakage*. Em transistores CMOS, essa corrente flui continuamente da fonte para o dreno. Em tecnologias mais antigas, o primeiro termo da equação respondia por cerca de 80% do consumo total (CHANDRAKASAN, 1992). Com o passar do tempo, essa participação diminuiu, mas este termo ainda é o mais relevante entre os 3.

Considerando a equação 1.1, é possível obter diminuição do consumo atuando nas componentes citadas por cada um dos 3 termos presentes, em diferentes níveis de abstração. Os principais níveis de abstração são o nível de circuito, o nível lógico e o nível de sistema/software.

1.2.1 Nível de circuito

No nível de circuito, a substituição de um conjunto de portas lógicas simples por portas lógicas mais complexas e com desempenho otimizado, realizando a mesma função lógica, pode ser uma alternativa para tentativa de redução de consumo. Essas portas complexas podem apresentar desempenho superior devido ao fato de apresentarem menos transistores e conduzirem a uma menor atividade de chaveamento em relação ao conjunto separado de portas mais simples que, agrupadas, realizam a mesma função. Existem técnicas que determinam como um conjunto determinado de transistores deve ser rearranjado para apresentar desempenho melhorado no quesito consumo ou no quesito velocidade (TAN, 1994). Entretanto, portas mais complexas tendem a apresentar maior quantidade de transistores em série, o que representa um impeditivo à redução da tensão de alimentação como forma de diminuir o consumo.

Além disso, é possível alterar também o tamanho dos transistores que compõem determinadas células lógicas. O tamanho pode afetar diretamente consumo e velocidade. Transistores maiores são mais rápidos, mas consomem mais. A substituição de transistores maiores por transistores menores, que consomem menos, pode ser realizada em caminhos não-críticos de um circuito, sem alterar sua velocidade global e conduzindo à diminuição do consumo.

1.2.2 Nível lógico

Otimizações em nível lógico podem ser realizadas baseadas em técnicas que reduzam, principalmente, a componente de chaveamento de um circuito. Dessa forma, estamos alterando o fator preponderante na equação 1.1. Com esse objetivo, existem métodos que buscam alterar esse componente baseado na otimização dos *don't-cares* presentes no mapa de Karnaugh de um circuito (SHEN, 1992). *Don't cares* são saídas da tabela verdade de uma porta ou bloco lógico que podem ser ignoradas. Para determinadas combinações, é indiferente a saída que será gerada. Logo, cabe a quem projeta definir se o *don't care* será 0 ou 1 no momento de obter a função lógica. Através dos *don't-cares* é possível alterar a probabilidade de uma porta chavear em determinados casos e, também, realizar otimizações de *delay* e área.

Igualmente, no nível lógico, outras otimizações podem ser feitas. Através de faturação é possível obter a minimização do número de transistores de um circuito (ROY, 1992), conduzindo a menos chaveamento, menos corrente de curto-circuito e menos corrente de *leakage*. A utilização de técnicas de *power-down* (CHANDRAKASAN, 1992), que é o desligamento temporário de partes de um circuito que encontram-se fora de operação por um determinado tempo, através de *clock-gating*. A utilização de técnicas de *retiming* (LEISERSON, 1983), que é o reposicionamento de *flip-flops* para obter alteração na frequência mínima de operação.

1.2.3 Nível de sistema/software

Em um nível superior, também é possível tentar alterar fatores que afetam o consumo. A escolha de algoritmos apropriados é crítica, uma vez que afeta o tempo de execução de uma determinada tarefa (ONG, 1994). Além disso, é possível inclusive questionar o uso de certas instruções de máquina quando se procura reduzir o consumo. Caso consigamos estabelecer o consumo médio por instrução para um determinado processador (TIWARI, 1994), pode-se analisar o consumo através de um ponto de vista arquitetural. Além disso, a ordem de execução de determinados blocos de instruções pode ser averiguada, considerando que ela afeta o chaveamento interno e, em consequência, o termo mais relevante da equação 1.1 (SU, 1994).

1.3 Motivação

Todos os métodos supracitados atuam sobre componentes presentes em, no máximo, dois termos da equação 1.1. Para uma redução considerável do consumo, seria interessante a alteração simultânea de todos os termos. Esse fim pode ser atingido com a aplicação conjunta de métodos supracitados ou com a redução da tensão de alimentação (VDD). A tensão de alimentação afeta todos os termos da equação 1.1. A sua diminuição ocasionará redução linear nos dois últimos termos e redução quadrática no primeiro e mais relevante, responsável pela maior parte do consumo dos circuitos lógicos. Dessa forma, no pior caso teríamos uma redução linear do consumo e, no melhor caso, uma redução quadrática. O pior caso é caracterizado pelo cenário em que os dois termos lineares são mais relevantes e determinam a redução. O melhor caso é representado pelo cenário em que o primeiro termo é dominante. Acreditamos que esse cenário seja o que ocorre usualmente.

Além disso, a redução da tensão não é um problema de abordagem complexa do ponto de vista computacional. Entretanto, é sabido que a redução da tensão de alimentação acarreta um aumento no atraso do circuito. Com uma tensão reduzida, o carregamento das capacitâncias associadas ao transistor torna-se mais vagaroso, fazendo com que o nível lógico 1 seja atingido mais lentamente. É possível abordar a redução do consumo através de formas que comprometam menos o quesito performance. Porém, é inegável que a redução da tensão é uma forma efetiva e relativamente simples de se obter circuitos de baixo consumo. Outro ponto de questionamento se refere ao terceiro termo da equação, referente à corrente de *leakage*. Ainda que ela deva, a partir de uma análise puramente matemática, diminuir, é possível que a aproximação da tensão de alimentação da tensão de *threshold* contribua para um aumento da corrente de fuga, o que faria com que o este termo pudesse aumentar ao invés de diminuir.

1.4 Objetivos do Trabalho

O objetivo deste trabalho é realizar uma investigação sobre técnicas para a redução do consumo em circuitos lógicos. Um circuito lógico contém componentes combinacionais e seqüenciais. Buscando contemplar os dois aspectos na análise, realizamos estudos em ambos componentes, combinacional e sequencial, mas com uma abordagem diferente.

Na parte combinacional, decidimos realizar um estudo sobre a influência da diminuição da tensão de alimentação no consumo e no desempenho do circuito. Escolhemos como representante da lógica combinacional um somador de 8 bits.

Somadores são elementos bastante utilizados em processadores de todos os tipos. Além disso, são circuitos lógicos de complexidade média. O experimento consistiu na realização de diversas simulações SPICE, com progressiva redução da tensão de alimentação. De forma a obter resultados mais consistentes, escolhemos 3 tecnologias diferentes, com o objetivo de verificar o comportamento do circuito com tecnologias distintas e obter argumentos mais sólidos para as nossas conclusões.

No que se refere à parte seqüencial, realizamos a investigação de um elemento bastante específico. Decidimos investigar o funcionamento e a utilidade de um *flip-flop* mestre-escravo descrito por Christian Piguet (PIGUET, 2001), que supostamente apresentaria *glitches* bastante reduzidos na sua saída quando submetido a bordas de relógio bastante lentas, condição esta apresentada por circuitos com tensão de alimentação reduzida. A operação sem *glitches* torna-se importante quando reduzimos consideravelmente a tensão, pois pequenas oscilações de sinal podem comprometer um determinado sinal interno. Além disso, o enquadramento do trabalho de Piguet nesta área (baixa tensão e baixo consumo, inclusive com patentes utilizadas pela indústria relojoeira suíça) faz com que acreditemos que esse *flip-flop* seja bastante apropriado para o campo de investigação no qual esse trabalho se situa.

Como complementação, tivemos que considerar o conceito de margem de ruído em circuitos CMOS, que se torna bastante relevante quando pensamos em trabalhar com tensões de alimentação extremamente baixas. Um estudo acerca da margem de ruído também foi feito, para cada uma das tecnologias utilizadas nas simulações da parte combinacional, de forma a complementar a análise de componentes combinacionais.

Por último, realizamos uma análise da corrente de fuga dos transistores, como forma de verificar a questão levantada na subseção anterior, referente a um possível aumento do consumo relativo a *leakage* com a diminuição da tensão de alimentação.

1.5 Organização do Trabalho

No capítulo 2, trataremos da análise de redução de consumo em circuitos combinacionais, através da redução da tensão de alimentação. Na seção 2.1, será descrito o experimento que realizamos. Na seção 2.2, serão apresentados os resultados. O capítulo 3 traz análises de margem de ruído em circuitos CMOS, como complemento da análise no domínio combinacional. A seção 3.1 traz conceitos relacionados à margem de ruído. Nas seções 3.2 e 3.3 temos a descrição do experimento e os resultados do experimento, respectivamente. O capítulo 4 apresenta a análise seqüencial, relativa à investigação acerca do *flip-flop* proposto por Piguet. A seção inicial apresenta os conceitos e, posteriormente, descrições e resultados são apresentados. O capítulo 5 apresenta a conclusão geral sobre os resultados que obtivemos neste trabalho. Nos apêndices, encontram-se dados adicionais relativos aos experimentos descritos em cada capítulo. Além disso, também se encontram dados e gráficos relativos à análise da corrente de fuga que foi realizada para as 3 tecnologias utilizadas neste trabalho. Finalmente, ressaltamos que, para melhor legibilidade e interpretação, todos os gráficos apresentados neste trabalho serão colocados em *layout* horizontal.

2 PARTE COMBINACIONAL

2.1 Introdução

Neste capítulo, abordaremos o efeito da redução da tensão de alimentação como forma de diminuir o consumo em circuitos combinacionais. Descreveremos os experimentos realizados para analisar a redução do consumo e o aumento do atraso como conseqüências diretas da redução da tensão de alimentação. Os resultados serão apresentados e analisados. A seção 2.2 descreve o experimento e apresenta as tecnologias utilizadas. A seção 2.3 apresenta e comenta os resultados dos experimentos realizados.

2.2 Descrição do Experimento

O experimento envolvendo a parte combinacional do circuito baseia-se no conceito simples da redução da tensão e acompanhamento das características de atraso e consumo do circuito escolhido, utilizando 3 tecnologias diferentes. O objetivo é verificar o impacto da redução sobre o consumo, sem negligenciar as conseqüências em termos de performance através da avaliação do atraso e do produto atraso-consumo.

O circuito escolhido é um somador de 8 bits do tipo *ripple-carry*, constituído por *full-adders* encadeados. Esse circuito foi escolhido por ser um elemento lógico muito presente em processadores e controladores. O somador é do estilo *ripple-carry* por ser a forma mais simples de construção e que apresenta a pior performance. Nesse circuito, temos 17 entradas (A[0..7], B[0..7] e CIN) e 9 saídas (Σ [0..7] e COUT). Para efeitos de atraso, foram consideradas somente as saídas principais dos *full-adders*, ou seja, Σ [0..7].

O *full-adder* utilizado na construção do somador de 8 bits é um circuito composto por 2 portas XOR e 3 portas NAND, conforme mostrado na figura 2.1. A tabela verdade correspondente ao *full-adder* é mostrada na tabela 2.1. Nos apêndices, consta a descrição em linguagem SPICE do somador de 8 bits.

Tabela 2.1: Tabela-verdade do somador de 8 bits.

A	B	Cin	Sum	Cout
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1

1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

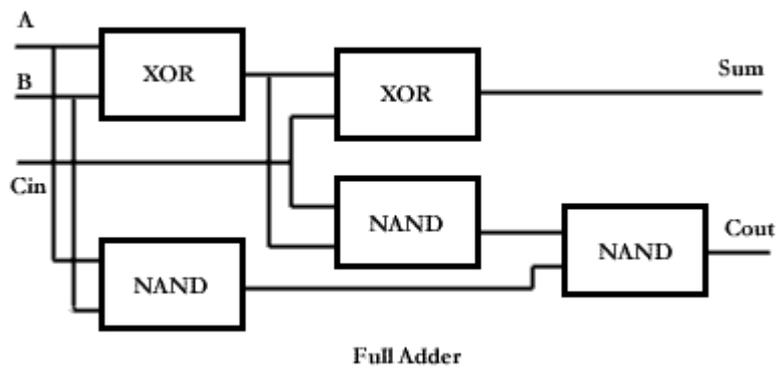


Figura 2.1: Esquema do *full-adder* utilizado na montagem do somador de 8 bits.

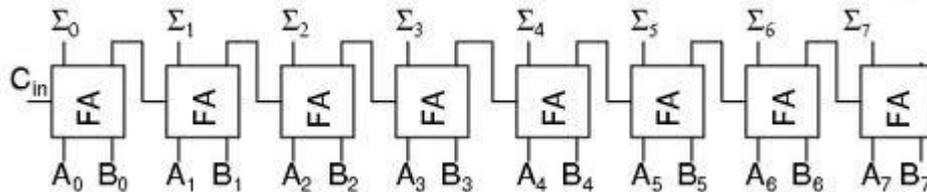


Figura 2.2: Esquema representativo do somador de 8 bits, com os *full-adders* encadeados.

Foram escolhidas 3 tecnologias para simulação SPICE do somador no nível de transistor. As tecnologias terão seus nomes omitidos e serão referenciadas por um número de identificação. Os principais dados relativos a elas estão presentes na tabela 2.2. Os principais dados relativos às suas utilizações nas simulações estão na tabela 2.3. A partir da tabela 2.2, nota-se que as tecnologias utilizadas são bastante distintas entre si. Elas apresentam valores bem distintos de tensão nominal, comprimento mínimo de canal, largura mínima de canal e tensão de *threshold*. Do mesmo modo, elas são representativas da evolução temporal das tecnologias de fabricação de circuitos integrados. A tecnologia 1 é a mais antiga e a tecnologia 3 a mais recente. O intuito principal de usar 3 tecnologias consideravelmente distintas entre si é conferir um caráter mais genérico aos resultados obtidos.

Tabela 2.2: Dados dos processos referentes às tecnologias utilizadas.

ID	VDD NOM	VTH0 PMOS	VTH0 NMOS	L MIN	W MIN	T OX ~
# 1	3.3 V	-0.861V	0.797V	350nm	400nm	1.6E-8
# 2	1.8 V	-0.389V	0.380V	180nm	270nm	4.0E-9
# 3	1.2 V	-0.682V	0.670V	45nm	90nm	2.5E-9

Tabela 2.3: Valores utilizados nas simulações para cada tecnologia.

ID	VDD INICIAL	VDD FINAL	L USADO	WP USADO	WN USADO	TEMP
# 1	3.3 V	0.5V	500n	3000n	2000n	TYPICAL
# 2	1.8 V	0.2V	180n	1000n	500n	TYPICAL
# 3	1.2 V	0.2V	50n	180n	90n	TYPICAL

Como forma de investigar a influência da diminuição da tensão, sucessivas simulações foram feitas. Na primeira simulação, era utilizado o valor nominal da tensão de alimentação para a tecnologia em questão. A cada simulação subsequente, esse valor era subtraído em 0.1V. As simulações foram feitas até a menor tensão que proporcionava o funcionamento correto do circuito (ou seja, todas as saídas eram calculadas antes da próxima borda, que ocasionaria novo cálculo). O período utilizado foi 100 μ s (o que representaria um circuito com frequência de relógio igual a 10 KHz). Este período foi escolhido como forma de não tornar a frequência um fator limitante na análise da tensão (nosso objetivo era simular aplicações que não fossem limitadas por frequências muito altas, como um relógio de pulso, por exemplo).

O atraso foi medido através de uma configuração específica do somador. As entradas A[0..7] foram ligadas em VDD. As entradas B[0..7] foram ligadas em GND. Dessa forma, uma transição de 0 para 1 em CIN ocasionaria um efeito cascata, com as saídas Σ [0..7] indo de 0 para 1. O atraso corresponde, então, à diferença de tempo entre o momento que a borda de subida em CIN atinge o valor VDD/2 e a borda de subida em Σ [7] atinge esse mesmo valor. O indicador de consumo utilizado foi a potência média dissipada no período equivalente a um ciclo de relógio (neste caso, 100us). Para simular uma situação real, em que o somador estaria integrado a um circuito, o experimento considerou uma capacitância de saída equivalente a 4 vezes a capacitância de entrada de cada porta (*fanout* 4). Este valor representa uma média aceitável para representar a situação real encontrada em microprocessadores e microcontroladores. Essa condição foi atingida conectando-se cada saída do somador principal a 4 entradas de somadores idênticos.

2.3 Resultados do Experimento

As figuras 3.3, 3.4 e 3.5 mostram os gráficos contendo os resultados obtidos para cada uma das tecnologias. No eixo X, estão os valores de tensão de alimentação simulados. No eixo Y principal, estão as representações logarítmicas de atraso e consumo (curvas “log power” e “log delay”). No eixo Y secundário, a representação logarítmica do produto atraso-consumo (curva “log dxp”). Nos apêndices, constam os dados que serviram de base para a construção dos gráficos.

A análise dos resultados nos leva a concluir, conforme esperado, que a diminuição da tensão de alimentação afeta diretamente o consumo global do circuito. Nas 3 tecnologias analisadas, o menor consumo se deu para a menor tensão analisada. Do mesmo modo, a performance do circuito foi significativamente afetada com a redução da tensão de alimentação. O atraso aumentou consideravelmente, também como era esperado. A conclusão mais importante é obtida pela análise do produto atraso-consumo. Em todos os casos, o produto atraso-consumo mais satisfatório não é obtido com a tensão nominal estabelecida para as tecnologias (para tecnologia 1, o melhor resultado é obtido em 1,2V. Para a tecnologia 2, em 1,3V. Para a tecnologia 3, em 1,1V). Quanto maior a tensão nominal, mais distante dela se situa o ponto ótimo do produto atraso-consumo.

Logo, é possível afirmar que a redução da tensão de alimentação é uma forma efetiva de obter redução de consumo, em troca de uma depreciação em termos de atraso. Nesse processo de diminuição, há um ponto ótimo em que o melhor produto atraso-consumo é obtido. Esse ponto ótimo pode ser explorado como forma de obter um circuito mais balanceado na relação atraso-consumo. No caso de trabalharmos com aplicações cuja frequência de operação não é fator limitante, devemos buscar a menor tensão de alimentação possível, pois é ela que possibilitará o menor consumo. Para as tecnologias 1, 2 e 3 obtivemos reduções de consumo por fatores de 227, 129 e 138, respectivamente. Os dados numéricos podem ser visualizados através da tabela 2.4.

Tabela 2.4: Dados relativos a consumo para as 3 tecnologias utilizadas.

ID	VDD Inicial	VDD Final	Consumo Inicial	Consumo Final
#1	3.3V	0.5V	-1.12E-05	-4.92E-08
#2	1.8V	0.2V	-9.26E-08	-7.15E-10
#3	1.2V	0.2V	-6.95E-08	-5.02E-10

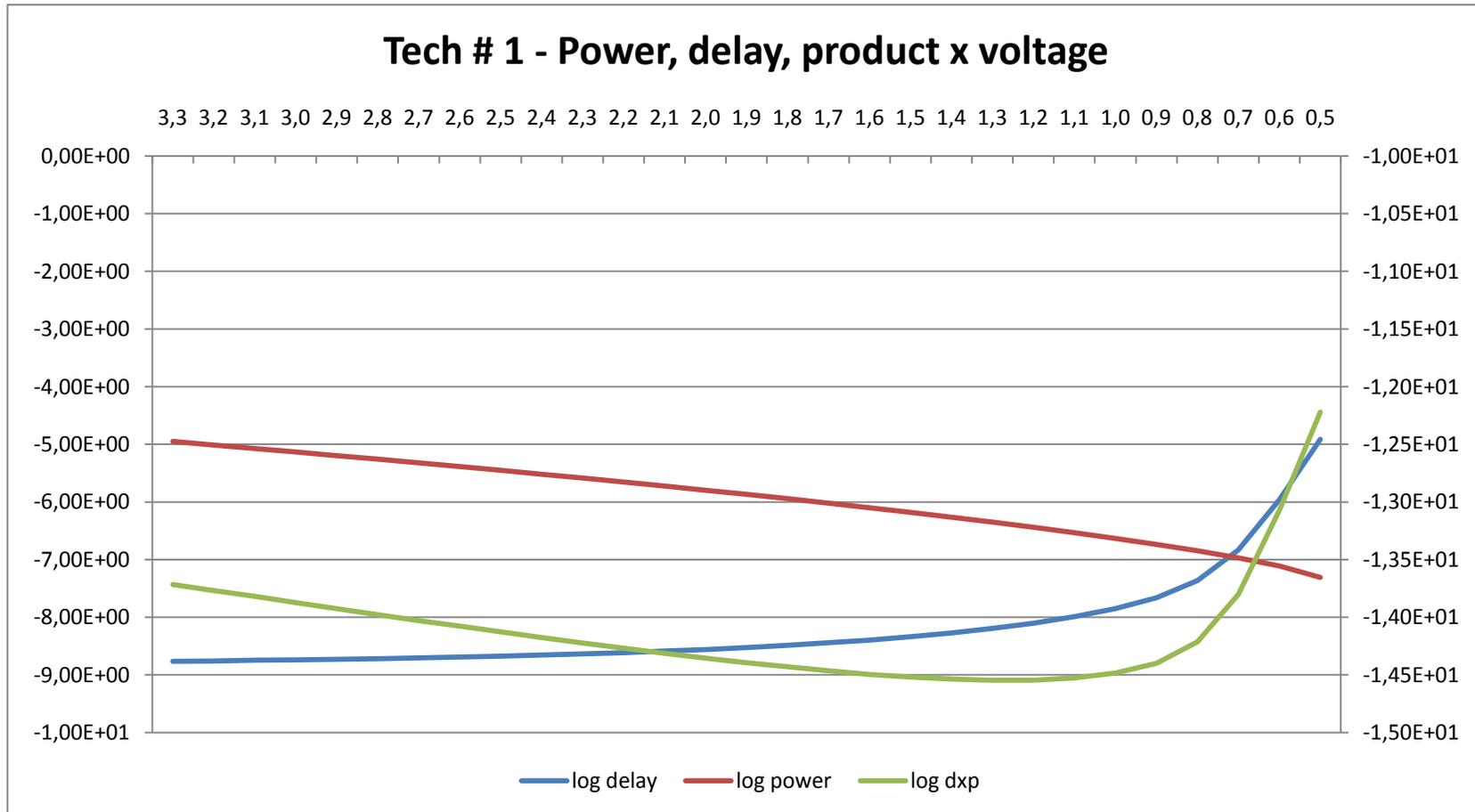


Figura 2.3: Gráfico mostrando as curvas logarítmicas de consumo, atraso e produto atraso-consumo para a tecnologia 1.

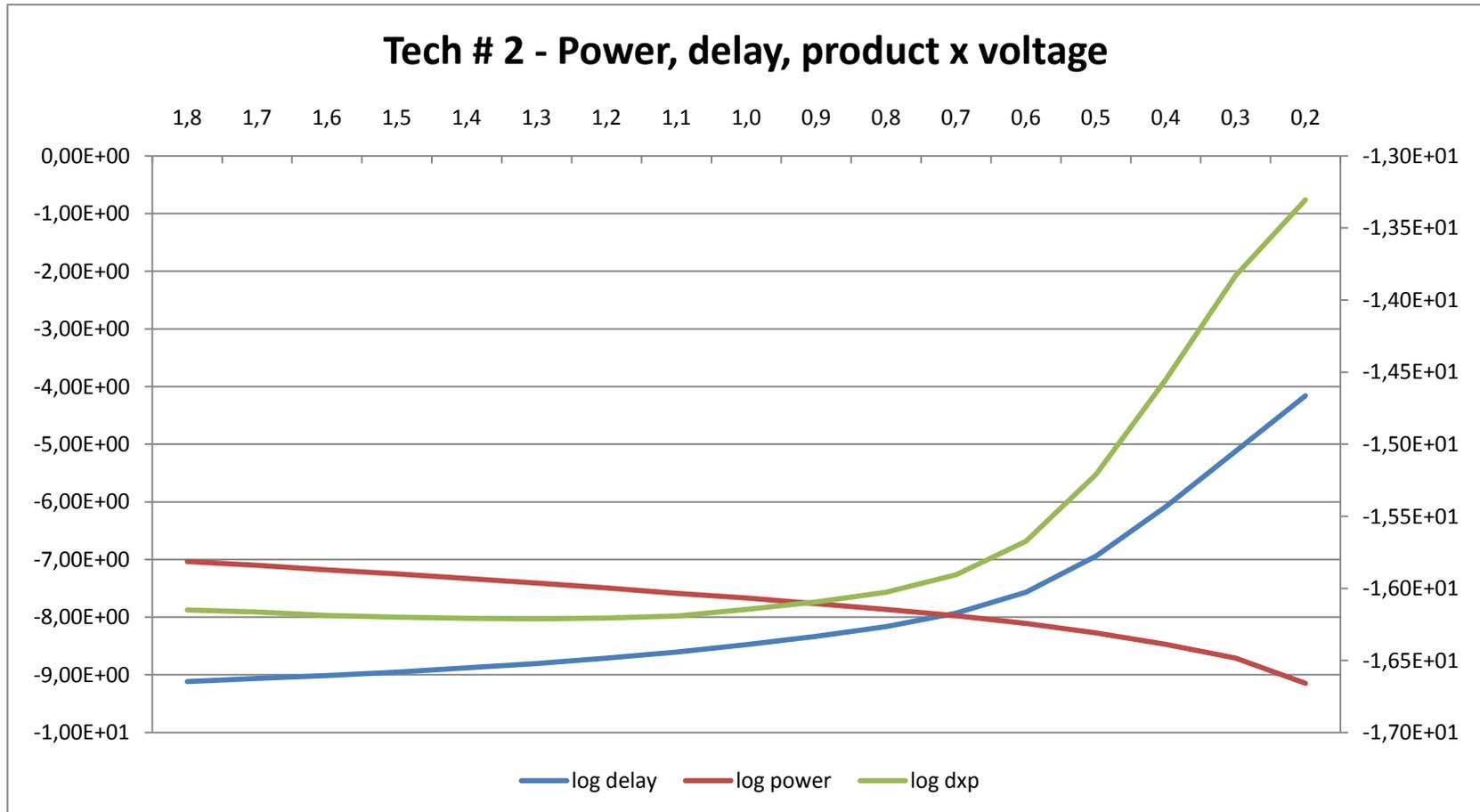


Figura 2.4: Gráfico mostrando as curvas logarítmicas de consumo, atraso e produto atraso-consumo para a tecnologia 2.

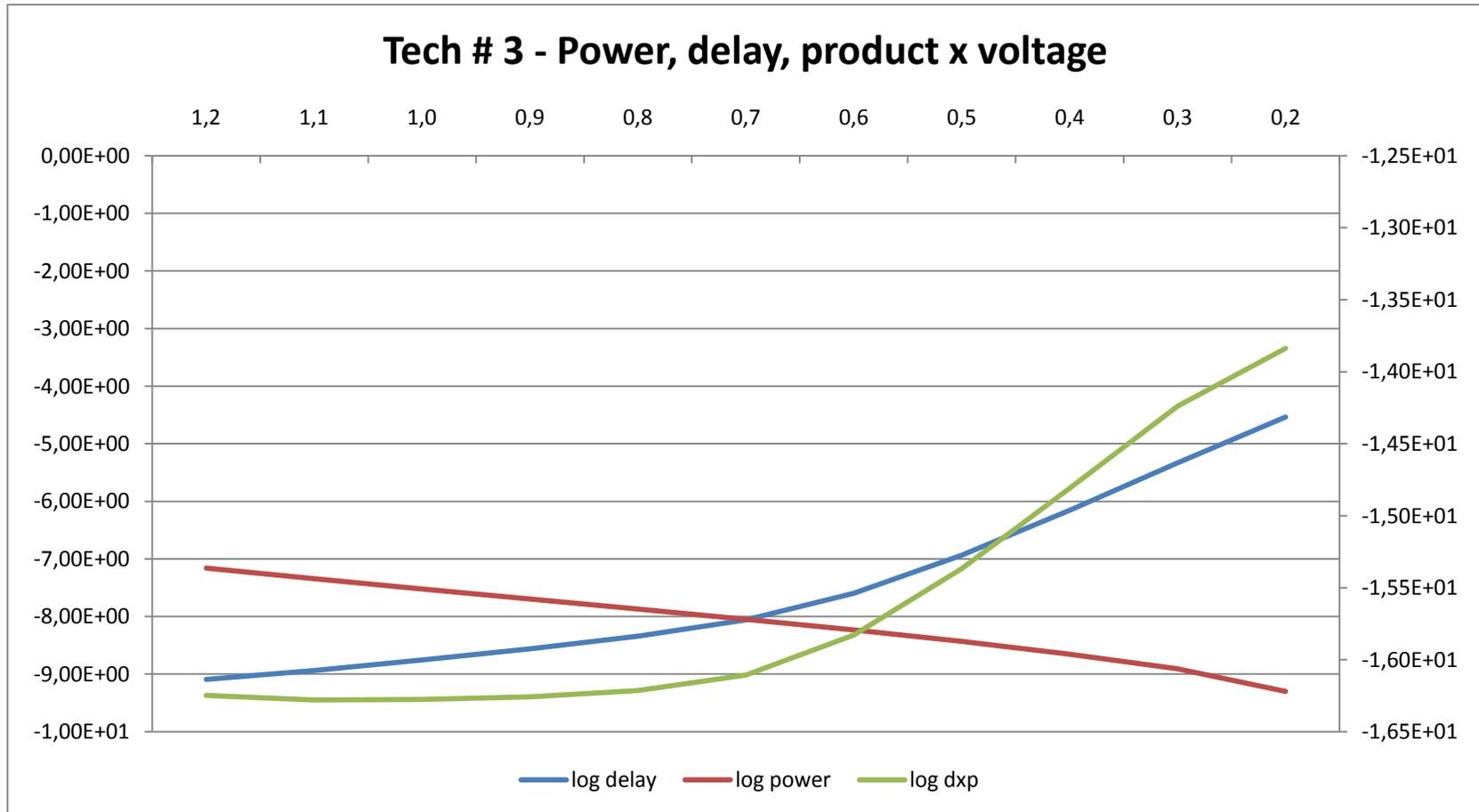


Figura 2.5: Gráfico mostrando as curvas logarítmicas de consumo, atraso e produto atraso-consumo para a tecnologia 3.

3 MARGEM DE RUÍDO EM CIRCUITOS CMOS

3.1 Introdução

Neste capítulo, analisaremos o efeito da redução da tensão de alimentação na margem de ruído, como forma de complementar a análise da redução da tensão de alimentação em circuitos combinacionais apresentada no capítulo anterior. A seção 3.2 explica o conceito de margem de ruído. A seção 3.3 descreve os experimentos que realizamos com o intuito de mensurar as margens. Os resultados obtidos através das simulações são apresentados na seção 3.4.

3.2 Conceito

Noise margin, ou margem de ruído, é o conceito que determina o quanto uma determinada porta lógica pode suportar na variação da tensão de entrada sem alterar sua saída. Ela é dividida em *noise margin high* (NMH) e *noise margin low* (NML). A NMH se refere ao quanto é possível baixar a tensão que representa o 1 lógico na entrada sem causar transição na saída. A NML se refere ao quanto é possível aumentar a tensão que representa o 0 lógico na entrada sem causar transição na saída. A NMH e a NML situam-se entre GND e VDD. Idealmente, ambas seriam iguais a $VDD/2$, o que representaria um circuito com as maiores margens possíveis e igualmente balanceadas. Esse conceito nos permite constatar que, conforme diminuimos a tensão de alimentação de certa porta lógica, estamos atuando diretamente na redução da sua margem de ruído, tanto NMH quanto NML. Deduz-se então que a redução da tensão de alimentação provoca uma maior sensibilidade do circuito a ruído, que pode tornar-se ainda maior caso NMH e NML não sejam bem balanceadas e haja uma grande disparidade entre elas.

Cabe ressaltar que, apesar de ser algo dependente do projeto da porta, a margem de ruído tem relação direta com a tecnologia em questão, uma vez que as margens dependem de características do processo de fabricação.

As margens de ruído relativas à determinada entrada de uma porta podem ser medidas através da análise da sua curva de transferência (gráfico da tensão de saída em função da tensão de entrada). Uma vez colhidas as coordenadas corretas da curva, conforme mostrado na figura 3.1, aplicamos os valores nas equações 3.1 e 3.2 e obtemos os resultados equivalentes às margens.

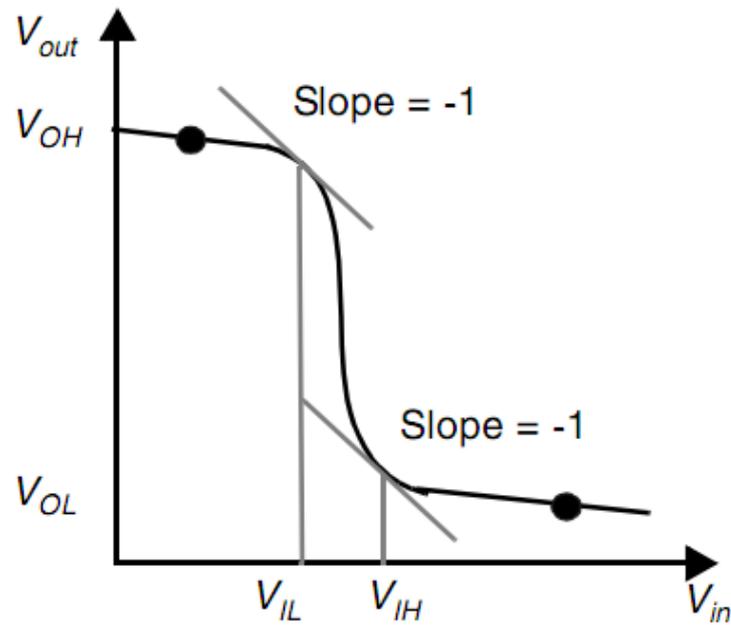


Figura 3.1: Figura demonstrativa com as coordenadas a serem utilizadas para cálculo das margens de ruído.

$$NML = V_{IL} - V_{OL} \text{ (equação 3.1)}$$

$$NMH = V_{OH} - V_{IH} \text{ (equação 3.2)}$$

No nosso caso, em que estamos variando a tensão entre GND (0V) e VDD (1.2V, 1.8V ou 3.3V), o gráfico mais adequado seria o mostrado na figura 3.2, que representa uma simplificação do gráfico mostrado na figura 3.1. Os pontos circulos representam coordenadas com *slope* igual a -1. Neste caso, as equações também se tornam mais simples, conforme mostrado através das equações 3.3 e 3.4.

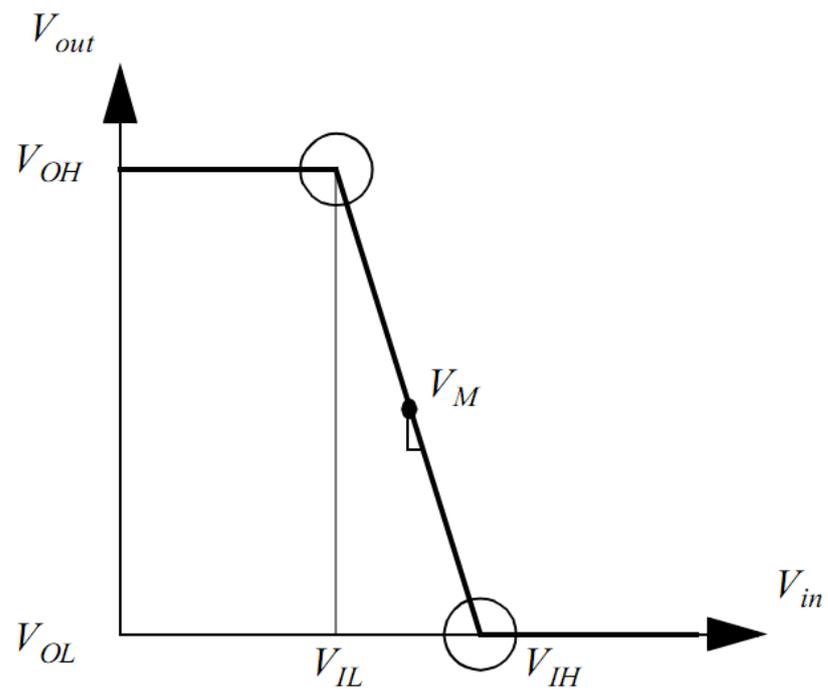


Figura 3.2: Figura demonstrativa simplificada com as coordenadas a serem utilizadas para cálculo das margens de ruído.

$$NML = V_{IL} \text{ (equação 3.3)}$$

$$NMH = V_{DD} - V_{IH} \text{ (equação 3.4)}$$

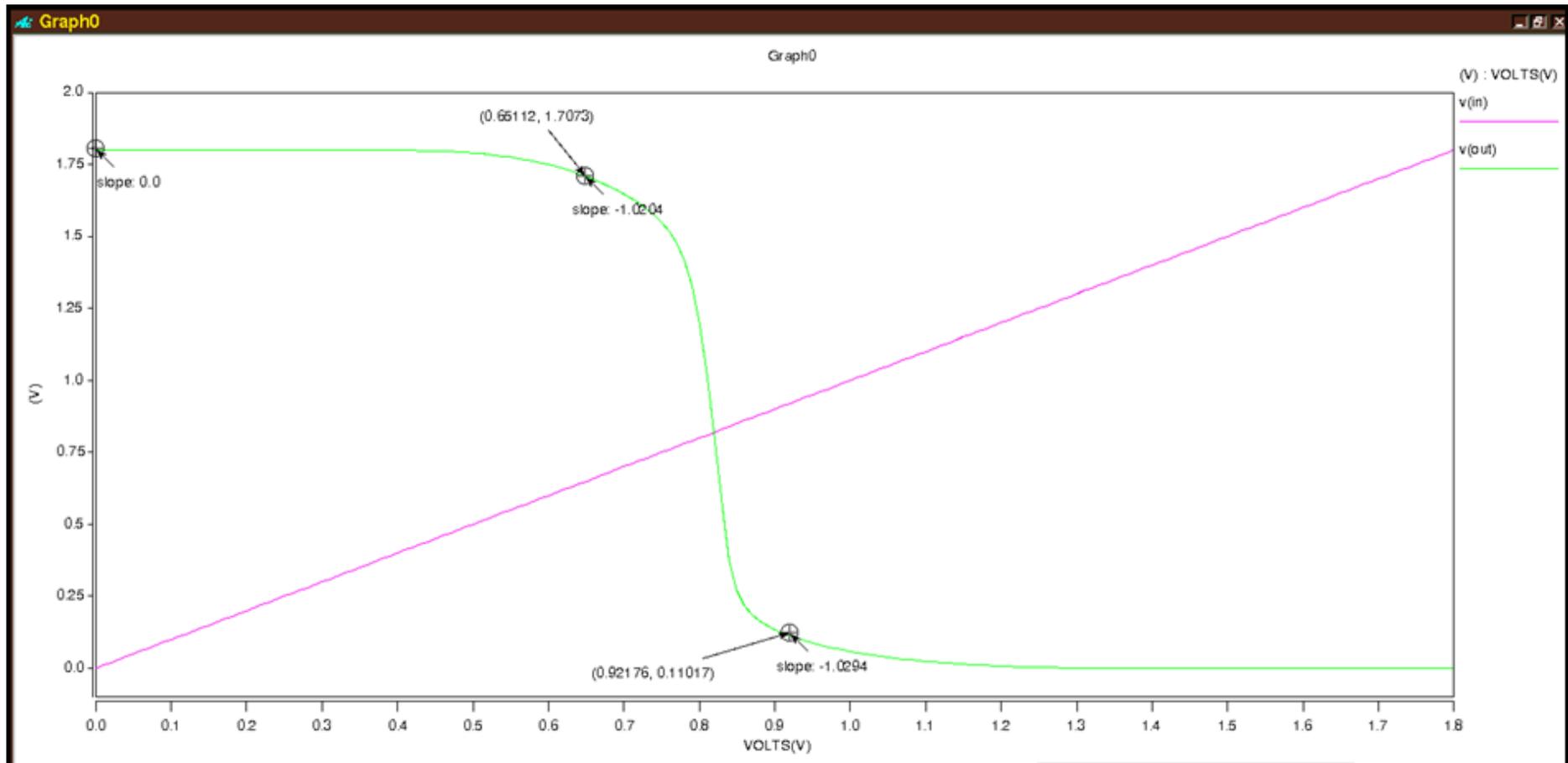


Figura 3.3: Gráfico contendo as marcações utilizadas na coleta das coordenadas para o cálculo das margens de ruído.

3.3 Descrição do Experimento

De forma a ter uma estimativa das margens de ruído para as tecnologias em questão, calculamos as margens de ruído para um inversor simples, descrito com os modelos SPICE das tecnologias 1, 2 e 3. O inversor é a porta lógica mais simples e, dessa forma, a análise das suas margens de ruído é a que fornece o resultado mais próximo possível para as margens intrínsecas da tecnologia, eliminando questões relativas ao design da porta. O inversor foi simulado, para cada tecnologia, usando o mesmo processo de redução de tensão que utilizamos na investigação sobre a influência da tensão de alimentação no somador de 8-bits. O método, descrito no capítulo anterior, consiste em partir da tensão de alimentação equivalente à tensão nominal da tecnologia e ir diminuindo-a progressivamente, até o limite mínimo que proporcione funcionamento correto do circuito. A diferença reside no passo de diminuição. Anteriormente, o passo era -0.1V, pois havia interesse na análise de cada etapa da redução. Nesse caso, o passo foi variável, porque o interesse principal estava na percepção da tendência de redução, mais do que na análise da redução obtida a cada passo. Para cada uma dessas tensões, a análise gráfica descrita na seção acima permite obtermos os valores da NMH e NML.

3.4 Resultados do Experimento

As figuras 4.4, 4.5 e 4.6 mostram os gráficos com os resultados relativos às margens de ruído, obtidos no processo de análise das curvas de transferência do inversor para as 3 tecnologias distintas. No eixo X, estão os valores de tensão de alimentação utilizados, em volts. No eixo Y, os valores das margens de ruído obtidos, também em volts. Os apêndices contém as tabelas com os dados que originaram os gráficos.

O estudo corrobora a idéia de que a margem de ruído se reduz linearmente com a redução da tensão. No ponto em que o circuito para de funcionar, ela encontra-se muito próximo de zero, evidenciando sua diminuição como consequência direta da redução da tensão de alimentação.

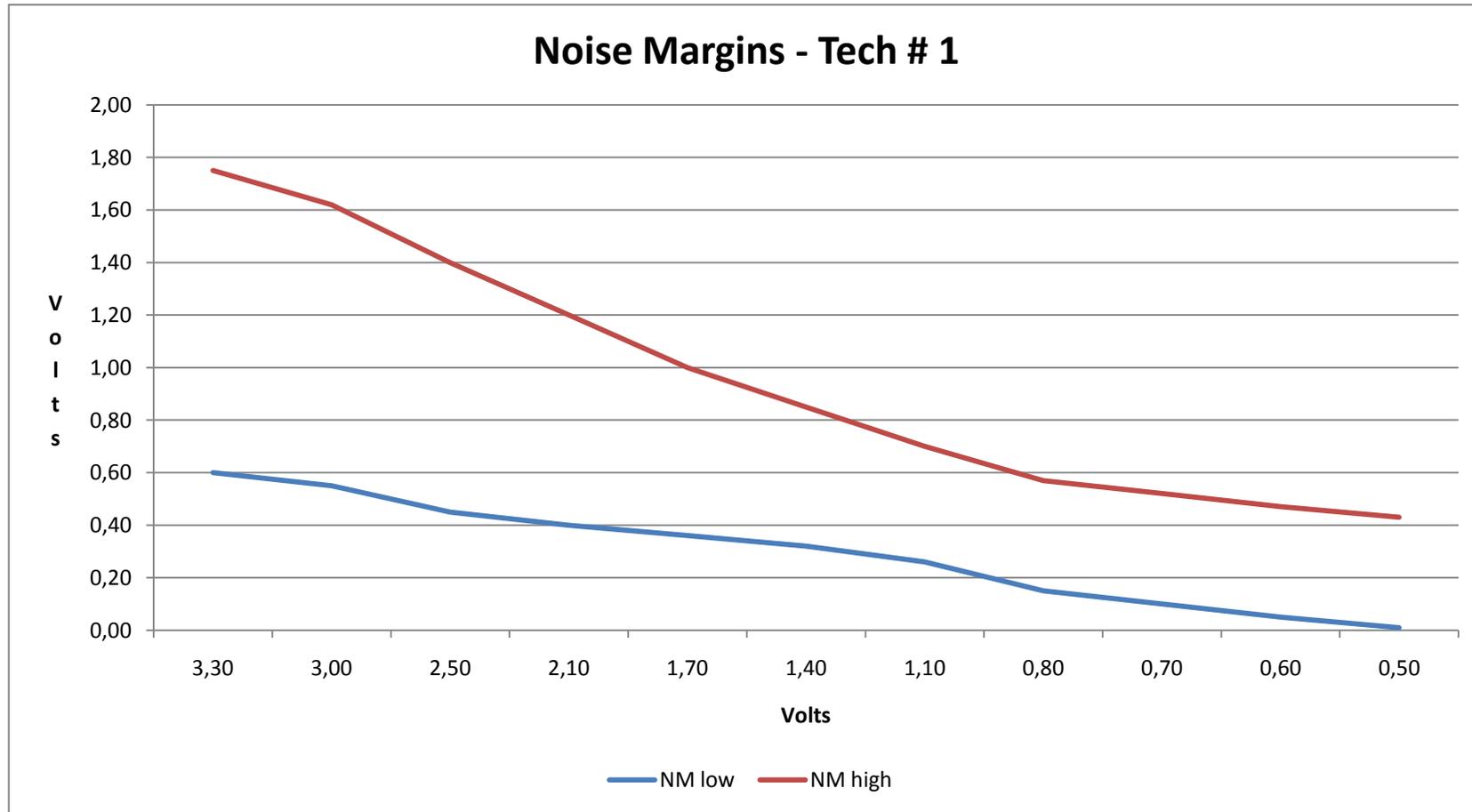


Figura 3.4: Gráfico mostrando a evolução das margens de ruído conforme diminuição da tensão de alimentação para a tecnologia 1.

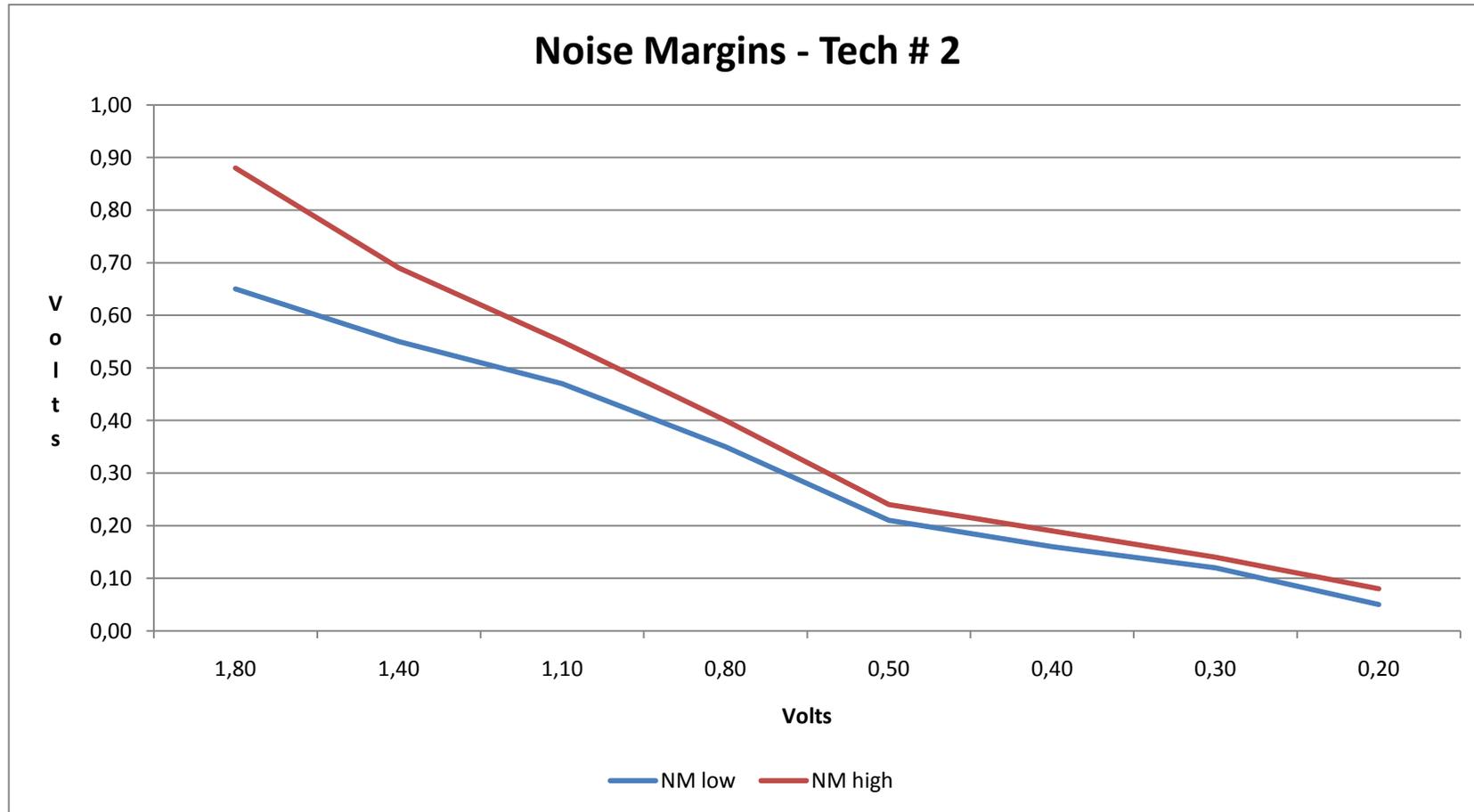


Figura 3.5: Gráfico mostrando a evolução das margens de ruído conforme diminuição da tensão de alimentação para a tecnologia 2.

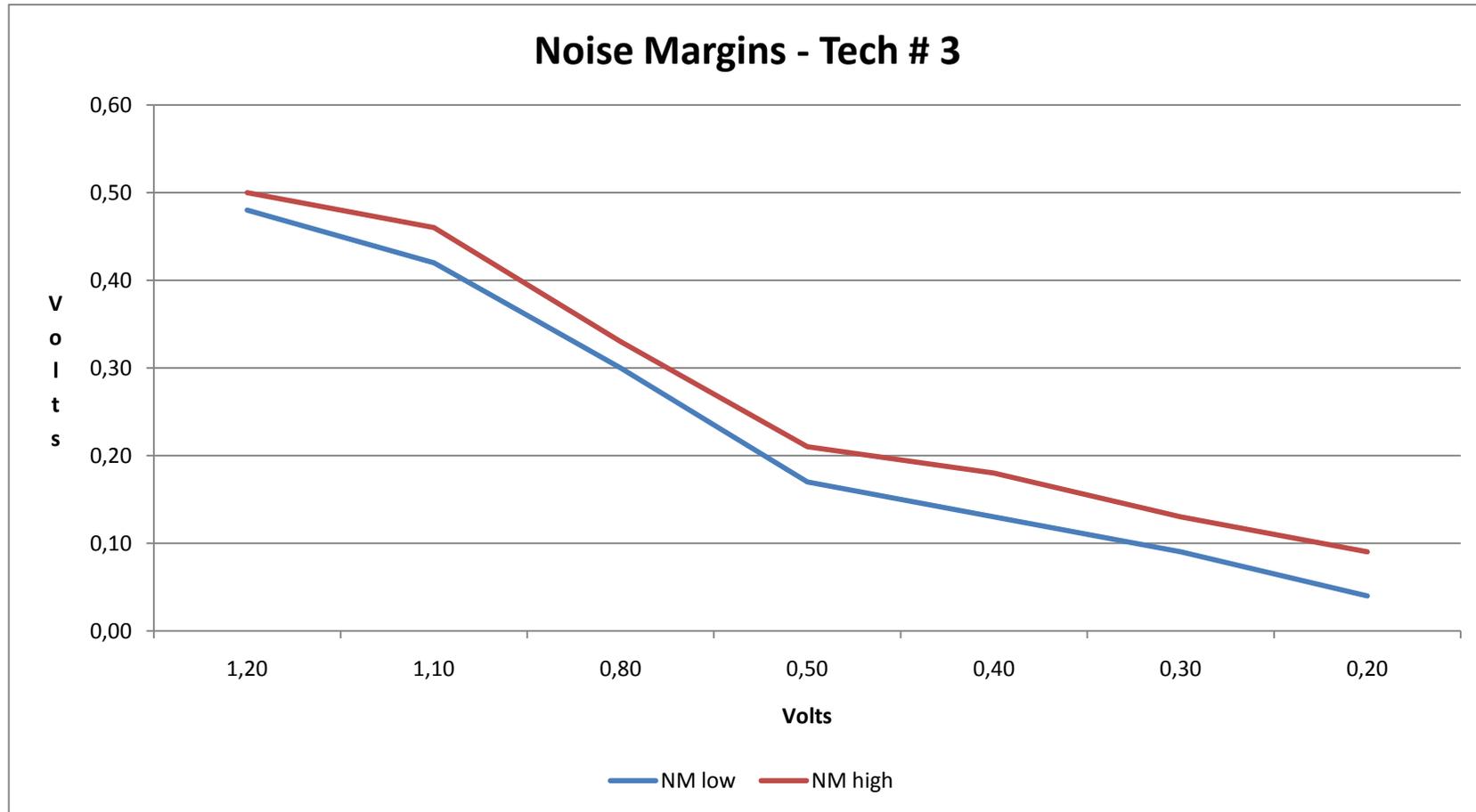


Figura 3.6: Gráfico mostrando a evolução das margens de ruído conforme diminuição da tensão de alimentação para a tecnologia 3.

4 PARTE SEQUENCIAL

4.1 Introdução

Neste capítulo, analisaremos o funcionamento de um *flip-flop* mestre-escravo proposto por Piguet, supostamente apropriado para uso em circuitos com baixa tensão de alimentação. Faremos a comparação deste *flip-flop* com uma solução anterior, usada como base para sua invenção. Os experimentos serão descritos e os resultados apresentados.

4.2 Conceito

4.2.1 Latch tipo D

Um *latch* tipo D é um circuito lógico seqüencial responsável pelo armazenamento de um bit. Ele possui, no mínimo, uma entrada de dados, uma entrada de relógio e uma saída, além de pinos de alimentação. A cada borda de subida ou descida (dependendo da implementação) na entrada de relógio, o valor presente na entrada de dados é passado para a saída, onde ficará armazenado até uma nova borda na entrada de relógio. Durante o período em que a borda de relógio estiver alta (ou baixa, dependendo da implementação), uma alteração na entrada se reflete instantaneamente na saída. Alternativamente, esse *latch* pode conter pinos de entrada de *set* e *reset*, além de uma saída adicional, representando a negação da saída original.

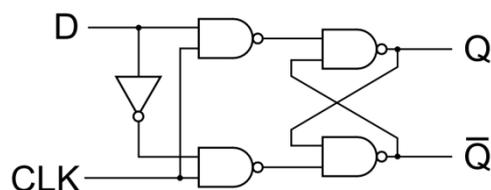


Figura 4.1: Esquema da estrutura lógica de um *latch* padrão, do tipo D, com saída Q e saída negada Q' , sem set e reset.

4.2.2 Flip-flop D mestre-escravo

Um *flip-flop* D do tipo mestre-escravo é um *flip-flop* implementado com dois *latches* do tipo D, mostrado na figura 4.1, em seqüencia. Ele recebe essa denominação pois um dos *latches* atua como mestre, controlando a geração da saída, e outro como escravo, simplesmente transmitindo à saída no momento apropriado.

O *flip-flop* D do tipo mestre-escravo que utilizaremos é uma proposição de Christian Piguet ET AL (PIGUET, 2001), estabelecendo uma remodelação na arquitetura original de um *flip-flop* D do tipo mestre-escravo, com o objetivo de aperfeiçoamento. Esse *flip-*

flop é composto de 3 unidades centrais: a unidade mestre (MA), a unidade transferência (T) e a unidade escravo (E). A figura 4.3 mostra o aperfeiçoamento proposto por Piguet e a figura 4.2 mostra a proposição anterior, sobre a qual ele desenvolveu o melhoramento. Nas duas imagens, é possível perceber que o funcionamento seqüencial síncrono se dá, sobretudo, na unidade de transferência (T). É ela que, a cada borda de relógio, fará com que os valores intermediários calculados pela unidade mestre (MA) sejam enviados até a unidade escravo (E), que gerará, a partir deles, as saídas Q e NQ.

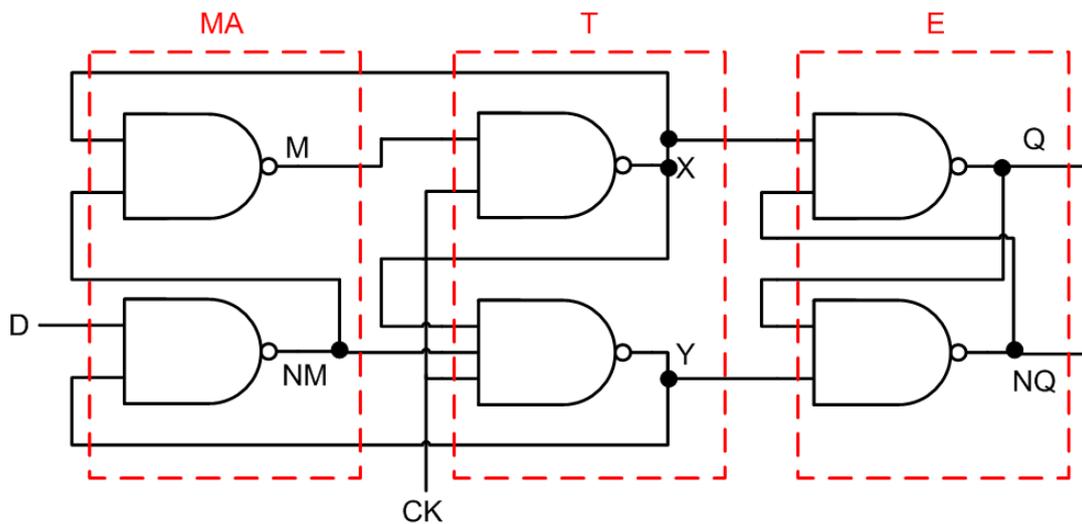


Figura 4.2: Estrutura original do *flip-flop* D do tipo mestre-escravo sobre o qual Piguet propôs modificações.

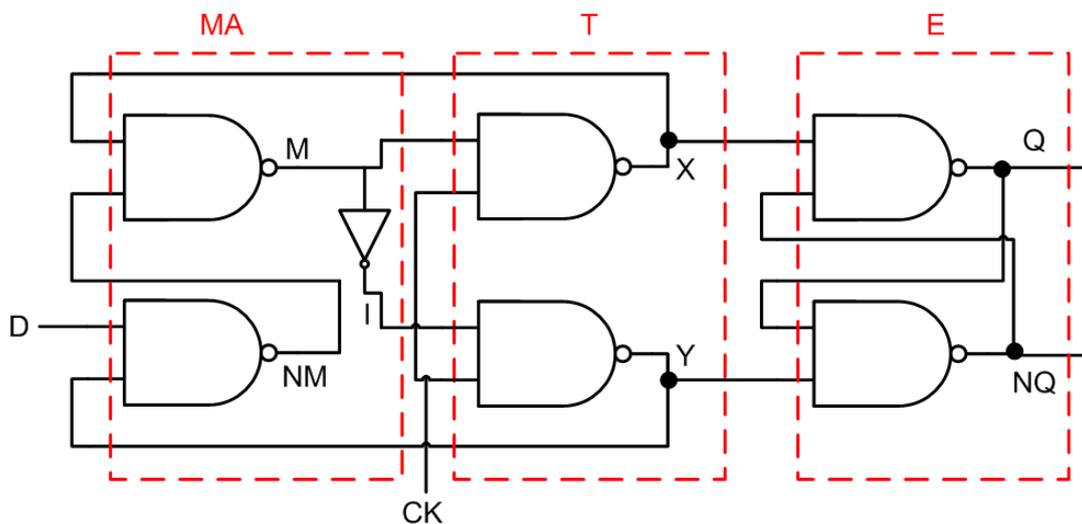


Figura 4.3: Estrutura do *flip-flop* D do tipo mestre-escravo proposta por Piguet.

O problema principal relacionado à solução anterior, que motivou a busca de uma melhora por parte de Piguet, era a sua sensibilidade à inclinação das bordas de subida e descida dos pulsos de relógio. De acordo com a explicação de Piguet na descrição da patente (PIGUET, 2001), o *flip-flop* mestre-escravo regular apresentaria *glitches* na saída quando submetido a bordas de relógio muito lentas. A borda de relógio representa o tempo de excursão do sinal entre o nível 0 lógico e o nível 1 lógico e vice-versa (comumente denominados de tempo de subida e tempo de descida). A alteração

proposta por Piguet resolveria essa questão, diminuindo os *glitches* decorrentes da borda de relógio lenta. A descrição do *flip-flop* não deixa explícito que ele seria apropriado para uso em baixas tensões. Entretanto, dois fatos nos levam a crer que isso ocorra: a redução do *glitch* é algo propício para funcionamento em baixa tensão, uma vez que *glitches* podem comprometer estados internos e saídas do circuito lógico quando temos tensão baixa e, em conseqüência, baixa margem de ruído; a borda de relógio lenta é característica de circuitos que possuem baixa tensão de alimentação. Além disso, a reputação de Piguet e sua produção científica na área de circuitos de baixa tensão, principalmente voltados à indústria relojoeira suíça, nos fazem crer que esse *flip-flop* tenha sido projetado com esse propósito. Além disso, esta patente foi licenciada para uma companhia francesa que projeta bibliotecas voltadas a baixo consumo, o que corrobora este argumento.

4.3 Descrição do Experimento

O experimento da parte sequencial consistiu em descrever, em linguagem SPICE, e testar a operação do *flip-flop* melhorado proposto por Piguet, para validar seu funcionamento. Na descrição da patente, Piguet apresenta uma seqüência de sinais internos do *flip-flop*, que representariam o seu funcionamento correto. Do mesmo modo, descrevemos o *flip-flop* relativo à solução anterior, como forma de compararmos ambos e realmente constatarmos diferença significativa nas suas operações. Em ambos os casos, o circuito de teste utilizado foi composto pelo *flip-flop* e por um inversor conectando a saída do *flip-flop* na entrada do mesmo.

Inicialmente, escolhemos uma das tecnologias usadas na seção de análise de consumo em circuitos combinacionais para descrever os *flip-flops*. Foi necessário descobrir o que representaria uma borda de relógio lenta nessa tecnologia. Isso foi feito através de uma montagem. De posse desse dado, realizamos a simulação dos dois *flip-flops*, utilizando uma fonte de relógio com borda lenta, e analisamos seus sinais internos, primeiramente com o objetivo de validar o funcionamento do *flip-flop* elaborado por Piguet e, após, com o objetivo de comparar o funcionamento dele em relação à solução anterior.

4.4 Resultados do Experimento

4.4.1 Análise da borda de relógio apropriada

Para obtenção dessa informação, descrevemos um inversor simples e conectamos sua saída à entrada de outros 8 inversores. Cada inversor foi então conectado a outra cadeia de 8 inversores. Na entrada do primeiro inversor, foi colocado um sinal de relógio com borda extremamente rápida. Analisamos, então, a excursão de subida do sinal intermediário, entre a saída de um inversor do segundo conjunto e a entrada dos outros 8. Calculamos o tempo de excursão entre 10% de VDD e 90% de VDD. Esse foi o tempo que usamos para simular uma borda lenta. Isso porque uma porta que tenha que carregar uma capacitância equivalente a 8 vezes a sua capacitância de entrada fará isso de forma lenta. Encadeando novamente com outra cadeia de 8 vezes a sua capacitância, obtemos uma borda extremamente lenta. Como a borda de relógio lenta está associada à tensão de alimentação com a qual trabalhamos, esse experimento foi realizado para as 3 tensões com as quais pretendíamos simular os *flip-flops*. Os resultados obtidos estão na tabela 4.1.

Tabela 4.1: Bordas de relógio consideradas lentas para cada tensão de alimentação pretendida.

Tensão de alimentação	Borda de relógio lenta
1.8V	0.96ns
1.2V	1.96ns
0.6V	19.5ns

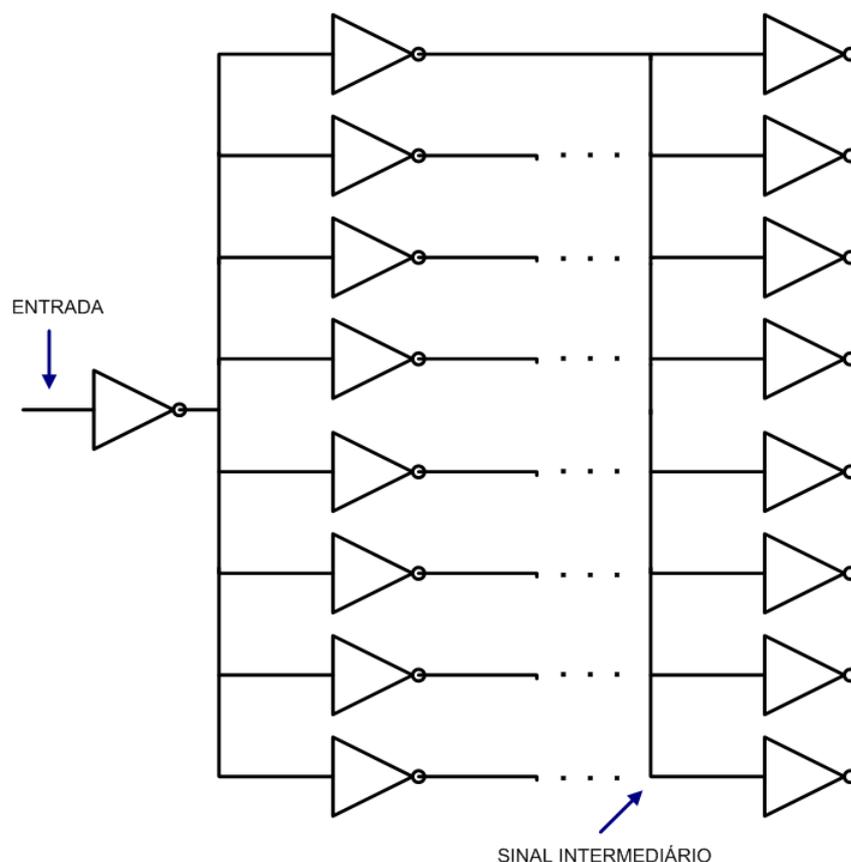


Figura 4.4: Montagem utilizada para descobrimento do tempo de excursão representativo de uma borda de relógio lenta na tecnologia em questão.

4.4.2 Análise da operação do flip-flop proposto

Essa análise foi realizada através da comparação simples entre o diagrama de transições colocado por Piguet na patente (PIGUET, 2001) que descreve o *flip-flop* e os mesmos sinais internos que obtivemos na simulação do circuito descrito em linguagem SPICE. Como forma de investigar de forma completa o funcionamento da invenção, realizamos simulações usando 3 diferentes tensões de alimentação: a tensão nominal da tecnologia, 66% da tensão nominal da tecnologia e 33% da tensão nominal da tecnologia. Isso se enquadra na idéia de que a invenção apresentaria bom desempenho em baixa tensão, campo prioritário nas pesquisas de Piguet. As figuras 4.5, 4.6 e 4.7,

mostram o comportamento dos sinais para cada uma das tensões analisadas e o conjunto de sinais conforme a explicação de Piguet. Os sinais representados nos gráficos são, de cima para baixo nas figuras, CK, X, M, I, Y e NQ.

Os resultados revelam que o *flip-flop* realmente se comporta de acordo com o descrito por Piguet no documento da patente. Entretanto, não há nenhum indicativo concreto que permita classificá-lo como mais apropriado para circuitos de baixo consumo. Os *glitches* apresentados nas saídas e nos sinais internos são pouco pronunciados e pequenos quando comparados aos valores de tensão de alimentação. Do mesmo modo, a diminuição da tensão de alimentação não revela nenhum outro tipo de comportamento diferente que represente vantagem para essa invenção. A análise do *flip-flop* referente à solução anterior, na próxima subseção, nos permitirá emitir uma opinião final acerca da invenção de Piguet.

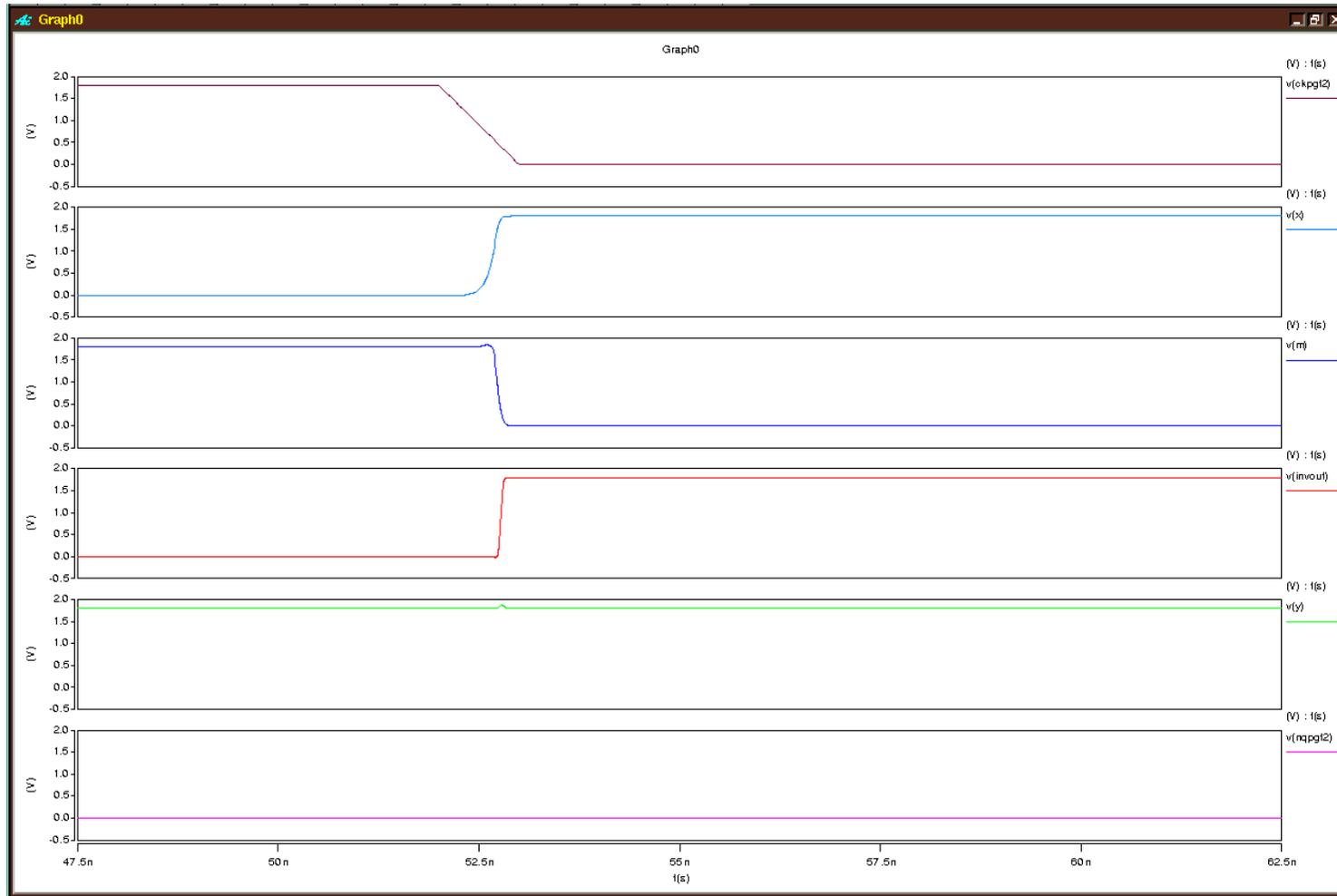


Figura 4.5: Gráficos representando o conjunto de sinais internos do *flip-flop* proposto por Piguet operando com tensão de alimentação nominal.

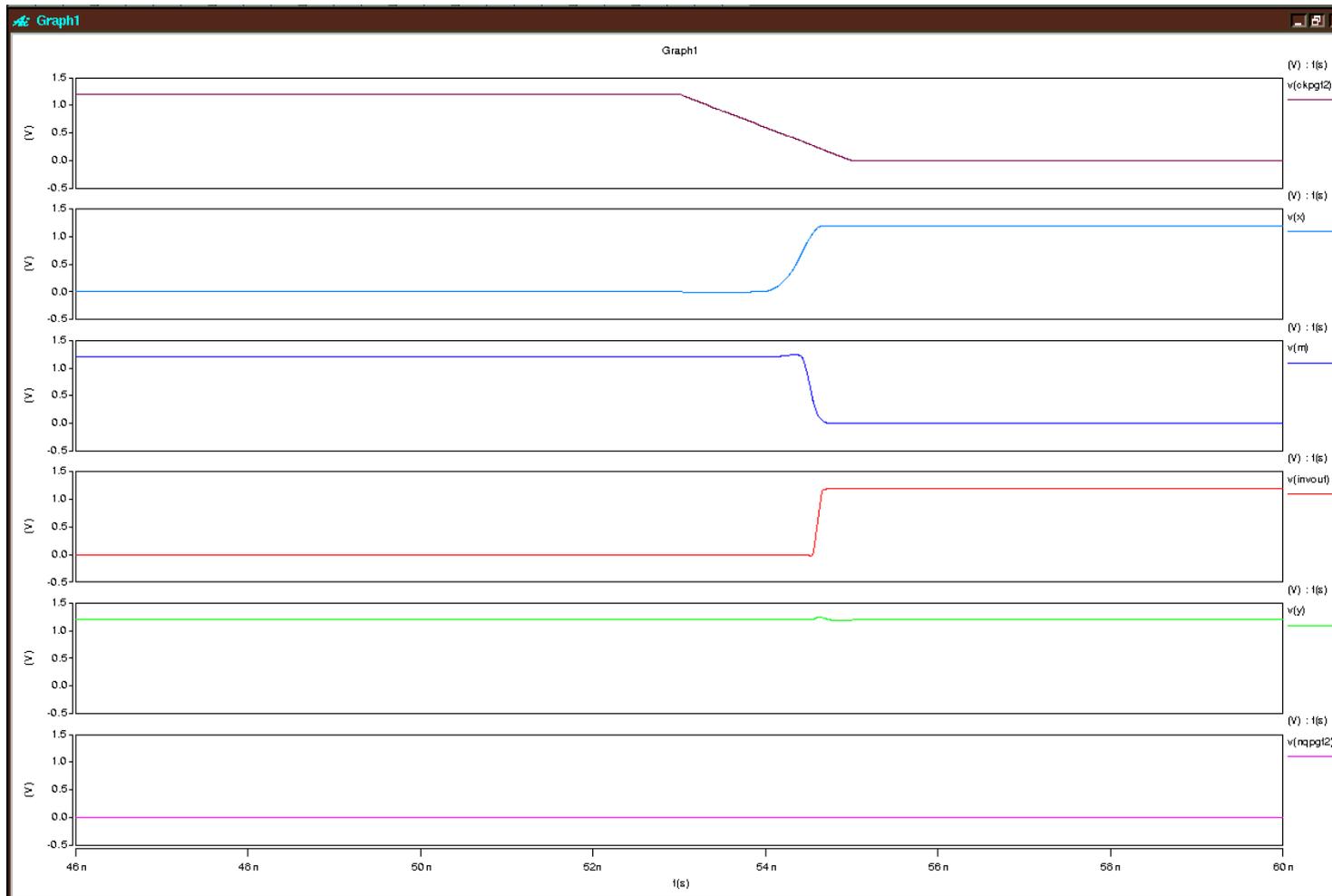


Figura 4.6: Gráficos representando o conjunto de sinais internos do *flip-flop* proposto por Piguet operando com tensão de alimentação equivalente a 66% da tensão de alimentação nominal.

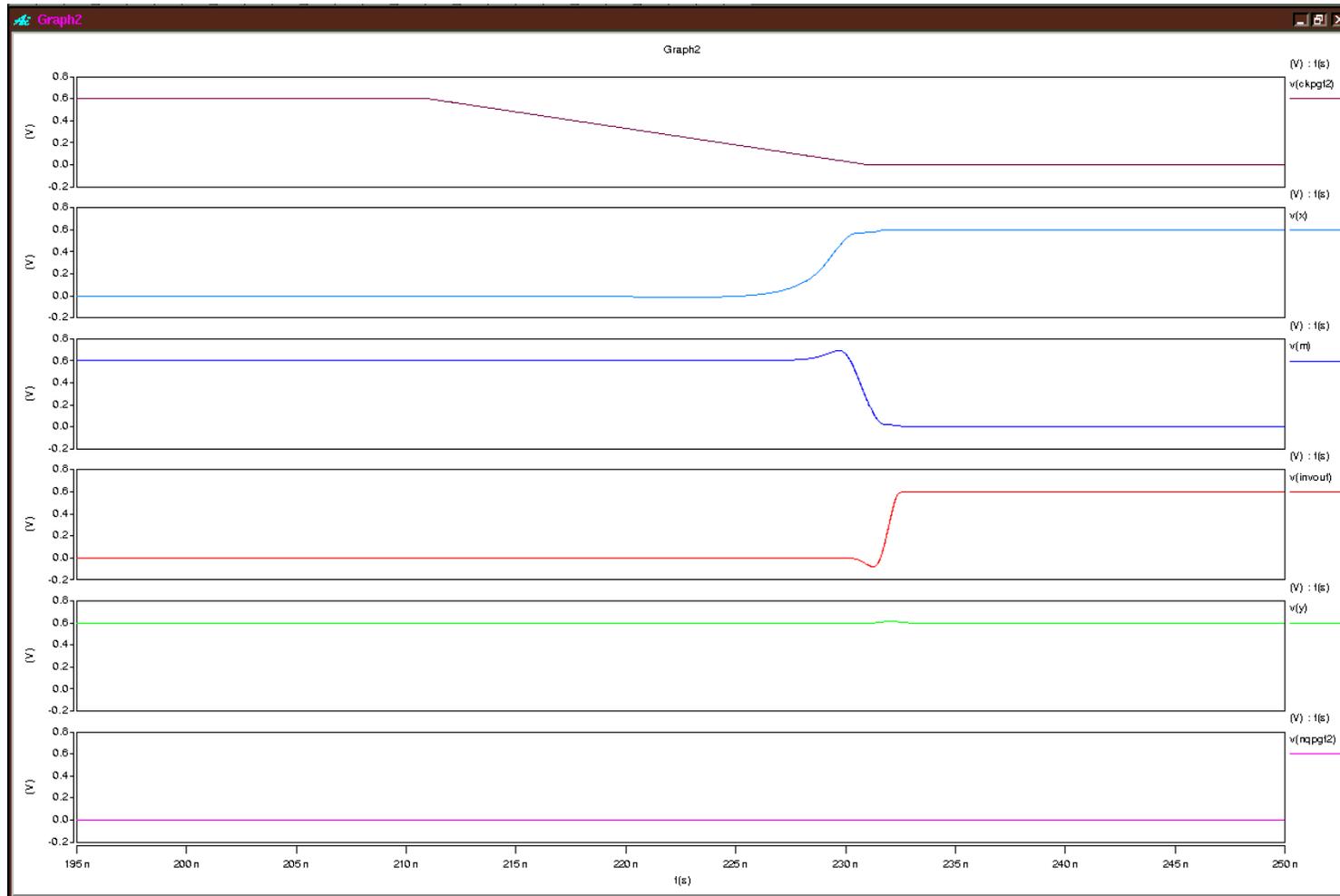


Figura 4.7: Gráficos representando o conjunto de sinais internos do *flip-flop* proposto por Piguet operando com tensão de alimentação equivalente a 33% da tensão de alimentação nominal.

4.4.3 Análise da operação do flip-flop relativo à arte anterior

Essa análise foi realizada através da observação simples dos *glitches* presentes nos sinais internos do *flip-flop* sobre o qual Piguet se baseou. O objetivo era verificar discrepâncias em relação à operação do *flip-flop* melhorado, que justificassem a invenção de Piguet como um melhoramento concreto em relação ao que existia previamente. Como no caso do *flip-flop* melhorado, ele foi simulado com 3 tensões de alimentação diferentes, como forma de verificar se a diminuição da tensão poderia ocasionar algum tipo de alteração considerável no funcionamento, justamente por crermos que a melhoria proposta teria como finalidade a operação em baixa tensão. As figuras a seguir mostram, para cada uma das 3 tensões de alimentação utilizadas, sinais internos que supostamente apresentariam *glitch* quando submetidos a bordas de relógio extremamente lentas (os mesmos analisados na subseção anterior).

Os *glitches* presentes na operação deste *flip-flop* são pequenos e irrelevantes se comparados aos valores das tensões de alimentação. Essa análise nos permite concluir que, em relação à invenção proposta por Piguet, esse *flip-flop* não apresenta nenhuma desvantagem aparente. Os sinais representados nos gráficos são, de cima para baixo nas figuras, CK, Y, NM, M, X e NQ.

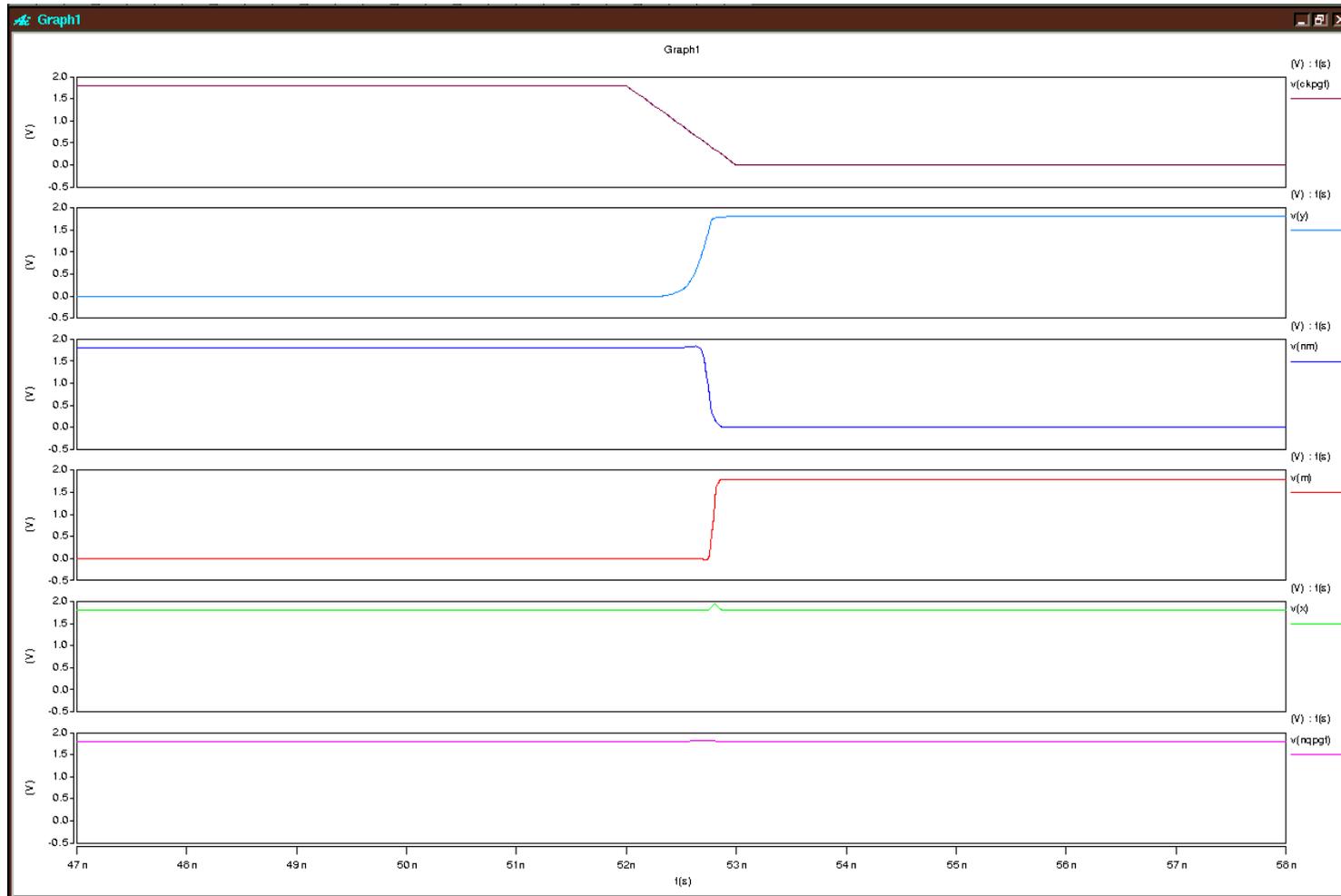


Figura 4.8: Gráficos representando os sinais internos do flip-flop mestre-escravo base operando com tensão de alimentação nominal.

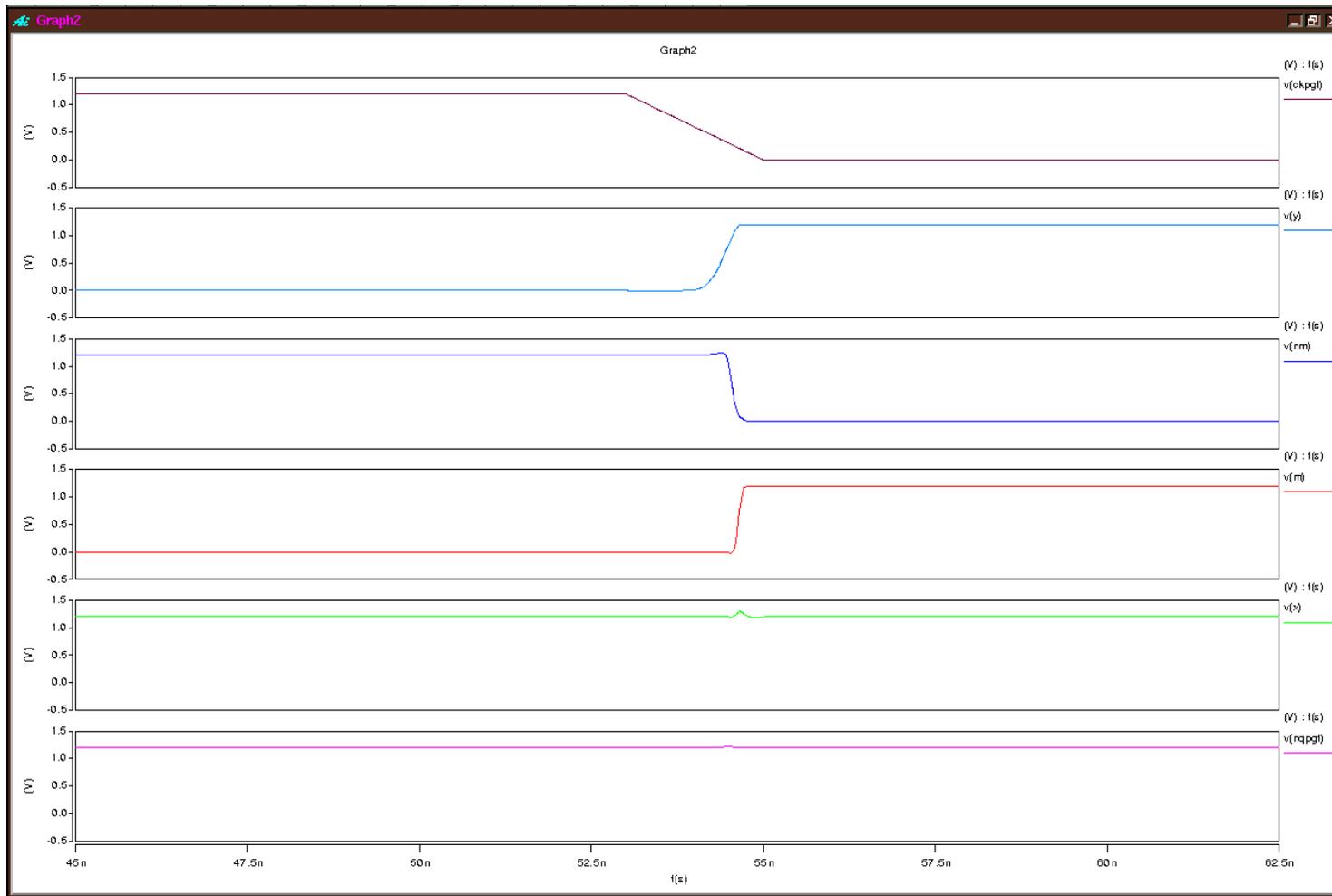


Figura 4.9: Gráficos representando os sinais internos do flip-flop mestre-escravo base operando com tensão de alimentação equivalente a 66% da tensão de alimentação nominal.

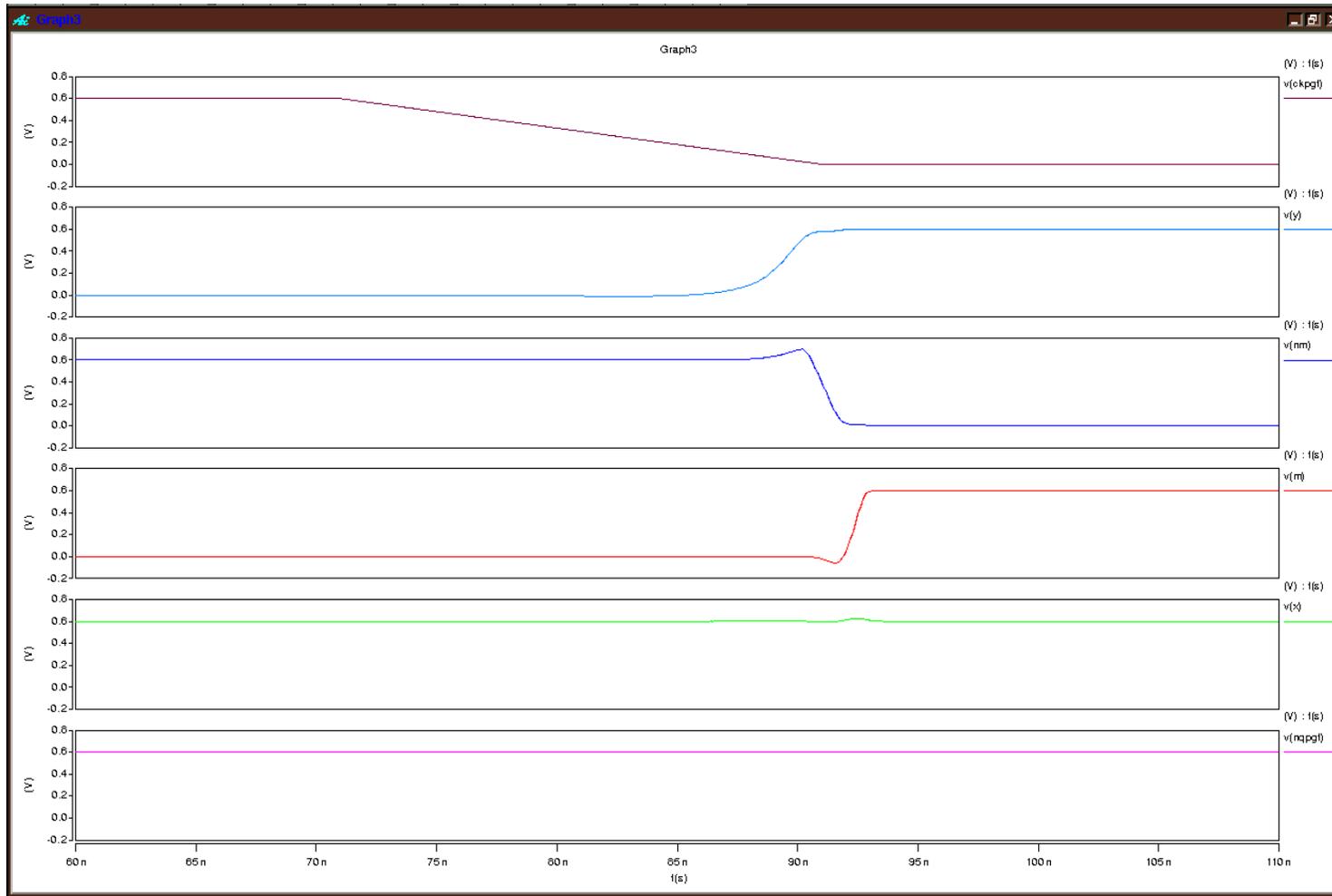


Figura 4.10: Gráficos representando os sinais internos do flip-flop mestre-escravo base operando com tensão de alimentação equivalente a 33% da tensão de alimentação nominal.

5 CONCLUSÃO

Os resultados obtidos nas simulações foram de acordo com o que era esperado, exceto para a utilização do *flip-flop* proposto por Piguet em circuitos de baixa tensão. Apesar de as simulações revelarem que os sinais internos se portam exatamente conforme mostrado por Piguet na patente que apresenta a proposição, nenhuma vantagem considerada foi encontrada quando comparado com o *flip-flop* mestre-escravo base para a invenção.

A conclusão principal da análise combinacional deste trabalho é a eficiência da redução da tensão como forma de reduzir consumo. Além disso, o posicionamento do ponto ótimo do produto atraso-consumo sempre inferior à tensão nominal das tecnologias é um resultado interessante das simulações. As tabelas 5.1, 5.2 e 5.3 resumizam, numericamente, os resultados encontrados.

A tabela 5.1 mostra a evolução do consumo com a diminuição da tensão. Para as 3 tecnologias utilizadas, o fator mínimo de redução foi 129.51, o que evidencia uma redução bastante relevante através desse processo. Torna-se claro que a redução da tensão de alimentação é bastante eficaz quando se almeja baixo consumo. A tabela 5.2 mostra o comportamento do atraso do circuito quando diminuimos a tensão. Em oposição ao que ocorre com o consumo, o atraso aumenta de forma relevante, evidenciando a troca já esperada entre desempenho e potência dissipada. Analisando a última coluna das tabelas 5.1 e 5.2, vemos que os fatores de aumento do atraso são maiores do que os fatores de redução do consumo, o que mostra que o processo de diminuição de tensão como forma de reduzir consumo é delicado em situações nas quais estejamos limitados por um atraso máximo. A depreciação nesse sentido é bastante acentuada. A tabela 5.3 mostra a relação entre o produto atraso-consumo da tensão de alimentação nominal e o melhor produto atraso-consumo obtido. A última coluna desta tabela mostra a redução percentual que obtivemos entre o produto na tensão nominal e o produto no ponto ótimo.

Em relação à comparação da redução prática que obtivemos com a redução teórica apontada pela equação 1.1, ela se aproxima do melhor caso (redução quadrática) e, em alguns momentos, inclusive supera este caso. Esse ponto é intrigante. Fizemos uma segunda checagem nos resultados dos experimentos, para garantir que estamos avaliando o consumo de todas as transições do somador e, até então, não encontramos inconsistência. Estamos realizando uma terceira checagem desses resultados e consultando especialistas da área para obter uma opinião mais concreta sobre essa questão. A potência foi medida com o comando SPICE power e iremos checar se os resultados são condicionados pelo uso deste comando antes da apresentação final do trabalho.

Na investigação complementar, sobre margem de ruído, os resultados corroboraram aquilo que era esperado, confirmando redução linear da margem de ruído com a diminuição da tensão de alimentação. Com relação à investigação sobre corrente de fuga, cujos dados estão presentes nos apêndices, confirmamos a idéia de que a redução da tensão de alimentação reduz o consumo decorrente da corrente de fuga. É possível que a hipótese que levantamos no início deste trabalho, sobre o aumento do consumo de *leakage* com a diminuição da tensão de alimentação, tenha validade, mas para outras tecnologias que não as utilizadas nos nossos experimentos.

Tabela 5.1: Tabela resumando dados relativos a evolução do consumo na análise combinacional.

Tecnologia	VDD nominal	Consumo VDD nominal	VDD mínimo	Consumo VDD mínimo	Fator de diminuição de consumo
#1	3.3	-1.12E-05	0.5	-4.92E-08	227.64
#2	1.8	-9.26E-08	0.2	-7.15E-10	129.51
#3	1.2	-6.95E-08	0.2	-5.02E-10	138.44

Tabela 5.2: Tabela resumando dados relativos a evolução do atraso na análise combinacional.

Tecnologia	VDD nominal	Atraso VDD nominal	VDD mínimo	Atraso VDD mínimo	Fator de aumento do atraso
#1	3.3	1.71E-09	0.5	1.22E-05	7134.50
#2	1.8	7.64E-10	0.2	6.93E-05	90706.80
#3	1.2	8.13E-10	0.2	2.89E-05	35547.35

Tabela 5.3: Tabela resumando dados relativos a evolução do produto atraso-consumo na análise combinacional.

Tecnologia	(Atraso x Consumo) VDD nominal	(Atraso x Consumo) ótimo	Redução Percentual
#1	-1.92E-14	-2.84E-15	85.20%
#2	-7.07E-17	-6.14E-17	13.15%
#3	-5.65E-17	-5.24E-17	7.25%

A análise seqüencial, representada pelo estudo do *flip-flop* proposto por Piguet, nos levou a conclusão de que não existem diferenças substanciais no *flip-flop* que justifiquem advogar seu uso em circuitos com tensão de alimentação reduzida. Em relação ao *flip-flop* representativo da arte-anterior, nossas investigações e simulações mostram que a mudança proposta por Piguet não traz nenhum benefício. Ambas as configurações apresentam pequenos *glitches*, mas nenhum que seja muito relevante ou pronunciado. Além disso, a redução da tensão de alimentação não faz surgir nenhum outro tipo de diferença que pudesse colocá-lo em posição vantajosa em relação à proposição anterior. Após essa análise, caberia, inclusive, questionar a validade das afirmações que constam na patente, colocando o *flip-flop* como uma evolução, com operação melhorada, adaptado a circuitos com borda de relógio extremamente lenta.

REFERÊNCIAS

- DEVADAS, S.; MALIK, S. “A Survey of Optimization Techniques Targeting Low Power VLSI Circuits”. 32nd ACM/IEEE Design Automation Conference, 1995.
- CHANDRAKASAN, A.; SHENG, T.; BRODERSEN, R. W. “Low Power CMOS Digital Design”. Journal of Solid State Circuits, 1992.
- TAN, C. H.; ALLEN, J. “Minimization of Power in VLSI Circuits Using Transistor Sizing, Input Ordering and Statistical Power Estimation”. Proceedings of the International Workshop on Low Power Design, 1994.
- SHEN, A.; DEVADAS, S.; GHOSH, A.; KEUTZER, K. “On Average Power Dissipation and Random Pattern Testability of Combinational Logic Circuits”. Proceedings of the International Conference on Computer-Aided Design, 1992.
- LEISERSON, C. E.; ROSE, F. M.; SAXE, J. B. “Optimizing Synchronous Circuitry by Retiming”. Proceedings of 3rd CalTech Conference on VLSI, 1983.
- PIGUET, C.; MASGONTY, J. M.; ARM, C. “D-Type Master-Slave Flip-Flop”. United States Patent (US 6,323,710 B1), 2001.
- ROY, K.; PRASAD, S. “SYCLOP: Synthesis of CMOS Logic for Low Power Applications”. Proceedings of the Int’l Conference on Computer Design: VLSI in Computers and Processors, p 464–467, 1992.
- SU, C. L.; TSUI, C. Y.; DESPAIN, A. “Saving power in the control path of embedded processors”. IEEE Design & Test of Computers, p 24–30, 1994.
- TIWARI, V.; MALIK, S.; WOLFE, A. “Compilation techniques for low energy: an overview”. Proceedings of 1994 IEEE Symposium on Low Power Electronics, p 38–39, 1994.
- ONG, P. W.; YAN, R. H. “Power-conscious software design – a framework for modeling software on hardware”. Proceedings of 1994 IEEE Symposium on Low Power Electronics, p 36– 37, 1994.

APÊNDICE 1 <DADOS RELATIVOS A CONSUMO E ATRASO>

Tabela A1.1: Dados de consumo e atraso para tecnologia 1

VDD	Delay [s]	log(Delay)	Power [w]	log(-Power)	D x P [J]	log(-D X P)
3.3	1.71E-09	-8.77E+00	-1.12E-05	-4.95E+00	-1.92E-14	-1.37E+01
3.2	1.75E-09	-8.76E+00	-9.74E-06	-5.01E+00	-1.71E-14	-1.38E+01
3.1	1.79E-09	-8.75E+00	-8.47E-06	-5.07E+00	-1.52E-14	-1.38E+01
3.0	1.82E-09	-8.74E+00	-7.35E-06	-5.13E+00	-1.34E-14	-1.39E+01
2.9	1.87E-09	-8.73E+00	-6.37E-06	-5.20E+00	-1.19E-14	-1.39E+01
2.8	1.91E-09	-8.72E+00	-5.51E-06	-5.26E+00	-1.05E-14	-1.40E+01
2.7	1.97E-09	-8.71E+00	-4.76E-06	-5.32E+00	-9.36E-15	-1.40E+01
2.6	2.04E-09	-8.69E+00	-4.10E-06	-5.39E+00	-8.37E-15	-1.41E+01
2.5	2.12E-09	-8.67E+00	-3.53E-06	-5.45E+00	-7.47E-15	-1.41E+01
2.4	2.20E-09	-8.66E+00	-3.02E-06	-5.52E+00	-6.66E-15	-1.42E+01
2.3	2.31E-09	-8.64E+00	-2.59E-06	-5.59E+00	-5.99E-15	-1.42E+01
2.2	2.44E-09	-8.61E+00	-2.21E-06	-5.66E+00	-5.39E-15	-1.43E+01
2.1	2.59E-09	-8.59E+00	-1.88E-06	-5.73E+00	-4.88E-15	-1.43E+01
2.0	2.76E-09	-8.56E+00	-1.60E-06	-5.80E+00	-4.41E-15	-1.44E+01
1.9	2.99E-09	-8.52E+00	-1.35E-06	-5.87E+00	-4.03E-15	-1.44E+01
1.8	3.27E-09	-8.49E+00	-1.14E-06	-5.94E+00	-3.72E-15	-1.44E+01
1.7	3.61E-09	-8.44E+00	-9.53E-07	-6.02E+00	-3.44E-15	-1.45E+01
1.6	4.01E-09	-8.40E+00	-7.95E-07	-6.10E+00	-3.19E-15	-1.45E+01
1.5	4.60E-09	-8.34E+00	-6.60E-07	-6.18E+00	-3.04E-15	-1.45E+01
1.4	5.34E-09	-8.27E+00	-5.44E-07	-6.26E+00	-2.90E-15	-1.45E+01
1.3	6.38E-09	-8.19E+00	-4.46E-07	-6.35E+00	-2.85E-15	-1.45E+01
1.2	7.86E-09	-8.10E+00	-3.62E-07	-6.44E+00	-2.84E-15	-1.45E+01
1.1	1.02E-08	-7.99E+00	-2.92E-07	-6.53E+00	-2.98E-15	-1.45E+01
1.0	1.41E-08	-7.85E+00	-2.33E-07	-6.63E+00	-3.28E-15	-1.45E+01
0.9	2.19E-08	-7.66E+00	-1.83E-07	-6.74E+00	-4.00E-15	-1.44E+01
0.8	4.32E-08	-7.36E+00	-1.42E-07	-6.85E+00	-6.12E-15	-1.42E+01
0.7	1.48E-07	-6.83E+00	-1.07E-07	-6.97E+00	-1.58E-14	-1.38E+01
0.6	1.09E-06	-5.96E+00	-7.77E-08	-7.11E+00	-8.47E-14	-1.31E+01
0.5	1.22E-05	-4.91E+00	-4.92E-08	-7.31E+00	-6.01E-13	-1.22E+01

Tabela A1.2: Dados de consumo e atraso para tecnologia 2.

VDD	Delay [s]	log(Delay)	Power [w]	log(-Power)	D x P [J]	log(-D X P)
1.8	7.64E-10	-9.12E+00	-9.26E-08	-7.03E+00	-7.07E-17	-1.62E+01
1.7	8.65E-10	-9.06E+00	-7.91E-08	-7.10E+00	-6.85E-17	-1.62E+01
1.6	9.76E-10	-9.01E+00	-6.64E-08	-7.18E+00	-6.48E-17	-1.62E+01
1.5	1.12E-09	-8.95E+00	-5.64E-08	-7.25E+00	-6.32E-17	-1.62E+01
1.4	1.32E-09	-8.88E+00	-4.70E-08	-7.33E+00	-6.20E-17	-1.62E+01
1.3	1.57E-09	-8.80E+00	-3.91E-08	-7.41E+00	-6.14E-17	-1.62E+01
1.2	1.94E-09	-8.71E+00	-3.20E-08	-7.49E+00	-6.22E-17	-1.62E+01
1.1	2.48E-09	-8.61E+00	-2.60E-08	-7.59E+00	-6.42E-17	-1.62E+01
1.0	3.33E-09	-8.48E+00	-2.15E-08	-7.67E+00	-7.14E-17	-1.61E+01
0.9	4.67E-09	-8.33E+00	-1.73E-08	-7.76E+00	-8.05E-17	-1.61E+01
0.8	6.91E-09	-8.16E+00	-1.36E-08	-7.87E+00	-9.42E-17	-1.60E+01
0.7	1.17E-08	-7.93E+00	-1.06E-08	-7.98E+00	-1.24E-16	-1.59E+01
0.6	2.72E-08	-7.57E+00	-7.82E-09	-8.11E+00	-2.12E-16	-1.57E+01
0.5	1.15E-07	-6.94E+00	-5.37E-09	-8.27E+00	-6.18E-16	-1.52E+01
0.4	8.32E-07	-6.08E+00	-3.38E-09	-8.47E+00	-2.81E-15	-1.46E+01
0.3	7.50E-06	-5.12E+00	-1.96E-09	-8.71E+00	-1.47E-14	-1.38E+01
0.2	6.93E-05	-4.16E+00	-7.15E-10	-9.15E+00	-4.95E-14	-1.33E+01

Tabela A1.3: Dados de consumo e atraso para tecnologia 3.

VDD	Delay [s]	log(Delay)	Power [w]	log(-Power)	D x P [J]	log(-D X P)
1.2	8.13E-10	-9.09E+00	-6.95E-08	-7.16E+00	-5.65E-17	-1.62E+01
1.1	1.15E-09	-8.94E+00	-4.56E-08	-7.34E+00	-5.24E-17	-1.63E+01
1.0	1.76E-09	-8.75E+00	-3.02E-08	-7.52E+00	-5.31E-17	-1.63E+01
0.9	2.75E-09	-8.56E+00	-2.01E-08	-7.70E+00	-5.52E-17	-1.63E+01
0.8	4.55E-09	-8.34E+00	-1.35E-08	-7.87E+00	-6.12E-17	-1.62E+01
0.7	8.77E-09	-8.06E+00	-8.92E-09	-8.05E+00	-7.82E-17	-1.61E+01
0.6	2.54E-08	-7.59E+00	-5.84E-09	-8.23E+00	-1.49E-16	-1.58E+01
0.5	1.16E-07	-6.93E+00	-3.69E-09	-8.43E+00	-4.29E-16	-1.54E+01
0.4	7.02E-07	-6.15E+00	-2.21E-09	-8.66E+00	-1.55E-15	-1.48E+01
0.3	4.69E-06	-5.33E+00	-1.23E-09	-8.91E+00	-5.76E-15	-1.42E+01
0.2	2.89E-05	-4.54E+00	-5.02E-10	-9.30E+00	-1.45E-14	-1.38E+01

APÊNDICE 2 <DADOS RELATIVOS À MARGEM DE RUÍDO>

Tabela A2.1: Dados relativos à margem de ruído para tecnologia 1.

VDD	Point High	Point Low	NM Low	NM High
3.30V	0.60V	1.55V	0.60V	1.75V
3.00V	0.55V	1.38V	0.55V	1.62V
2.50V	0.45V	1.10V	0.45V	1.40V
2.10V	0.40V	0.90V	0.40V	1.20V
1.70V	0.36V	0.70V	0.36V	1.00V
1.40V	0.32V	0.55V	0.32V	0.85V
1.10V	0.26V	0.40V	0.26V	0.70V
0.80V	0.15V	0.23V	0.15V	0.57V
0.70V	0.10V	0.18V	0.10V	0.52V
0.60V	0.05V	0.13V	0.05V	0.47V
0.50V	0.01V	0.07V	0.01V	0.43V

Tabela A2.2: Dados relativos à margem de ruído para tecnologia 2.

VDD	Point High	Point Low	NM Low	NM High
1.80	0.65	0.92	0.65	0.88
1.40	0.55	0.71	0.55	0.69
1.10	0.47	0.55	0.47	0.55
0.80	0.35	0.40	0.35	0.40
0.50	0.21	0.26	0.21	0.24
0.40	0.16	0.21	0.16	0.19
0.30	0.12	0.16	0.12	0.14
0.20	0.05	0.12	0.05	0.08

Tabela A2.3: Dados relativos à margem de ruído para tecnologia 3.

VDD	Point High	Point Low	NM Low	NM High
1.20	0.48	0.70	0.48	0.50
1.10	0.42	0.64	0.42	0.46
0.80	0.30	0.47	0.30	0.33
0.50	0.17	0.29	0.17	0.21
0.40	0.13	0.22	0.13	0.18
0.30	0.09	0.17	0.09	0.13
0.20	0.04	0.11	0.04	0.09

APÊNDICE 3 <DADOS E TABELAS RELATIVOS À ANÁLISE DE CONSUMO DE *LEAKAGE* DE UM INVERSOR>

Tabela A3.1: Dados relativos a consumo de leakage para a tecnologia 1.

VDD	Power	log(Power)
3.3	-4.79E-08	-7.32E+00
3.2	-4.14E-08	-7.38E+00
3.1	-3.57E-08	-7.45E+00
3.0	-3.07E-08	-7.51E+00
2.9	-2.64E-08	-7.58E+00
2.8	-2.26E-08	-7.65E+00
2.7	-1.93E-08	-7.71E+00
2.6	-1.65E-08	-7.78E+00
2.5	-1.41E-08	-7.85E+00
2.4	-1.19E-08	-7.92E+00
2.3	-1.01E-08	-8.00E+00
2.2	-8.54E-09	-8.07E+00
2.1	-7.19E-09	-8.14E+00
2.0	-6.03E-09	-8.22E+00
1.9	-5.04E-09	-8.30E+00
1.8	-4.19E-09	-8.38E+00
1.7	-3.47E-09	-8.46E+00
1.6	-2.86E-09	-8.54E+00
1.5	-2.34E-09	-8.63E+00
1.4	-1.91E-09	-8.72E+00
1.3	-1.54E-09	-8.81E+00
1.2	-1.24E-09	-8.91E+00
1.1	-9.84E-10	-9.01E+00
1.0	-7.73E-10	-9.11E+00
0.9	-6.00E-10	-9.22E+00
0.8	-4.58E-10	-9.34E+00
0.7	-3.43E-10	-9.46E+00
0.6	-2.50E-10	-9.60E+00
0.5	-1.75E-10	-9.76E+00

Tabela A3.2: Dados relativos a consumo de leakage para a tecnologia 2.

VDD	Power	log(Power)
1.8	-2.35E-11	-1.06E+01
1.7	-2.10E-11	-1.07E+01
1.6	-1.86E-11	-1.07E+01
1.5	-1.65E-11	-1.08E+01
1.4	-1.44E-11	-1.08E+01
1.3	-1.26E-11	-1.09E+01
1.2	-1.08E-11	-1.10E+01
1.1	-9.24E-12	-1.10E+01
1.0	-7.80E-12	-1.11E+01
0.9	-6.48E-12	-1.12E+01
0.8	-5.30E-12	-1.13E+01
0.7	-4.24E-12	-1.14E+01
0.6	-3.30E-12	-1.15E+01
0.5	-2.48E-12	-1.16E+01
0.4	-1.76E-12	-1.18E+01
0.3	-1.16E-12	-1.19E+01
0.2	-6.67E-13	-1.22E+01

Tabela A3.3: Dados relativos a consumo de leakage para a tecnologia 3.

VDD	Power	log(Power)
1.2	-1.83E-10	-9.74E+00
1.1	-1.21E-10	-9.92E+00
1.0	-7.87E-11	-1.01E+01
0.9	-5.10E-11	-1.03E+01
0.8	-3.27E-11	-1.05E+01
0.7	-2.06E-11	-1.07E+01
0.6	-1.27E-11	-1.09E+01
0.5	-7.63E-12	-1.11E+01
0.4	-4.39E-12	-1.14E+01
0.3	-2.35E-12	-1.16E+01
0.2	-1.11E-12	-1.20E+01

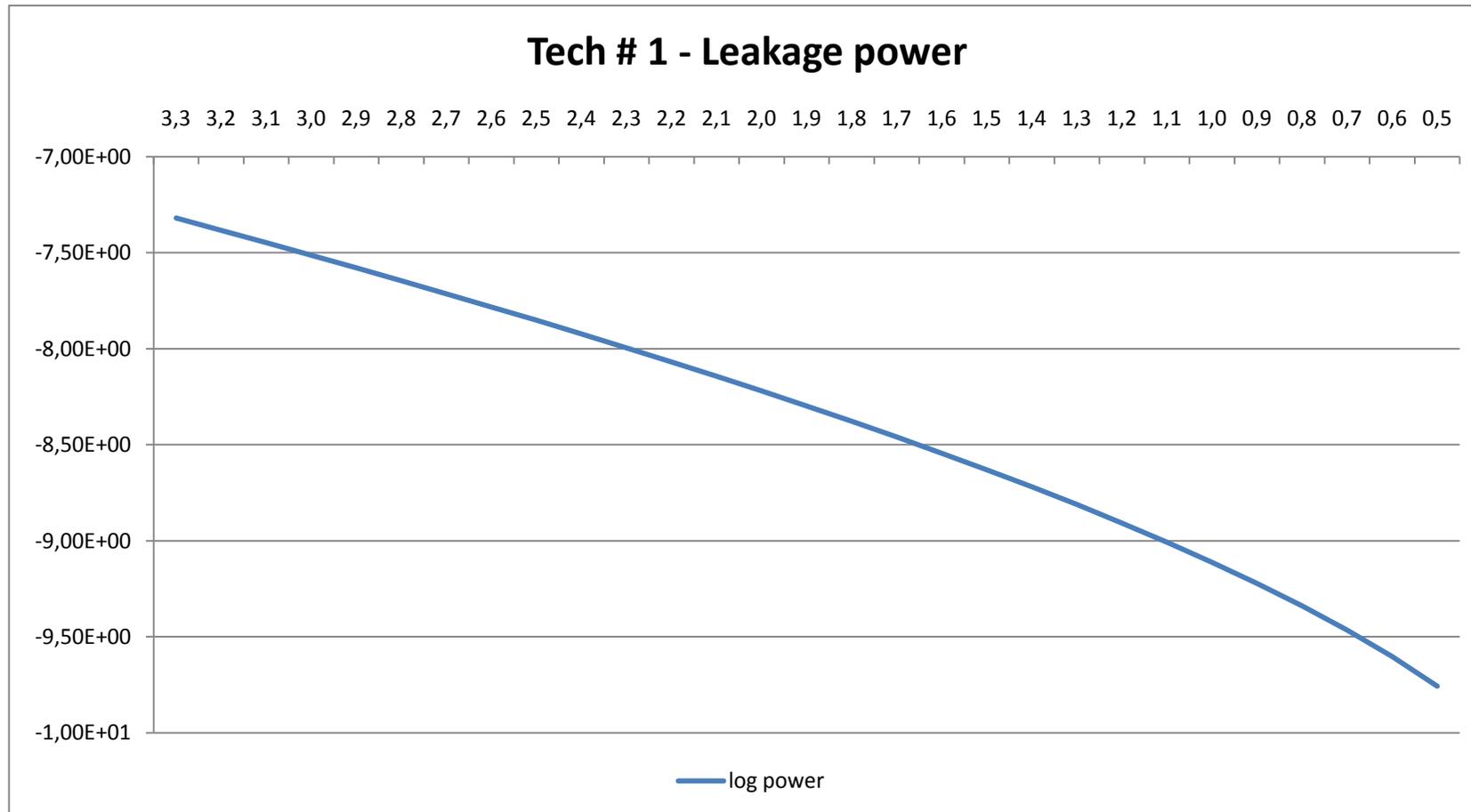


Figura A3.1: Gráfico mostrando o consumo de leakage conforme diminuição da tensão de alimentação para a tecnologia 1.

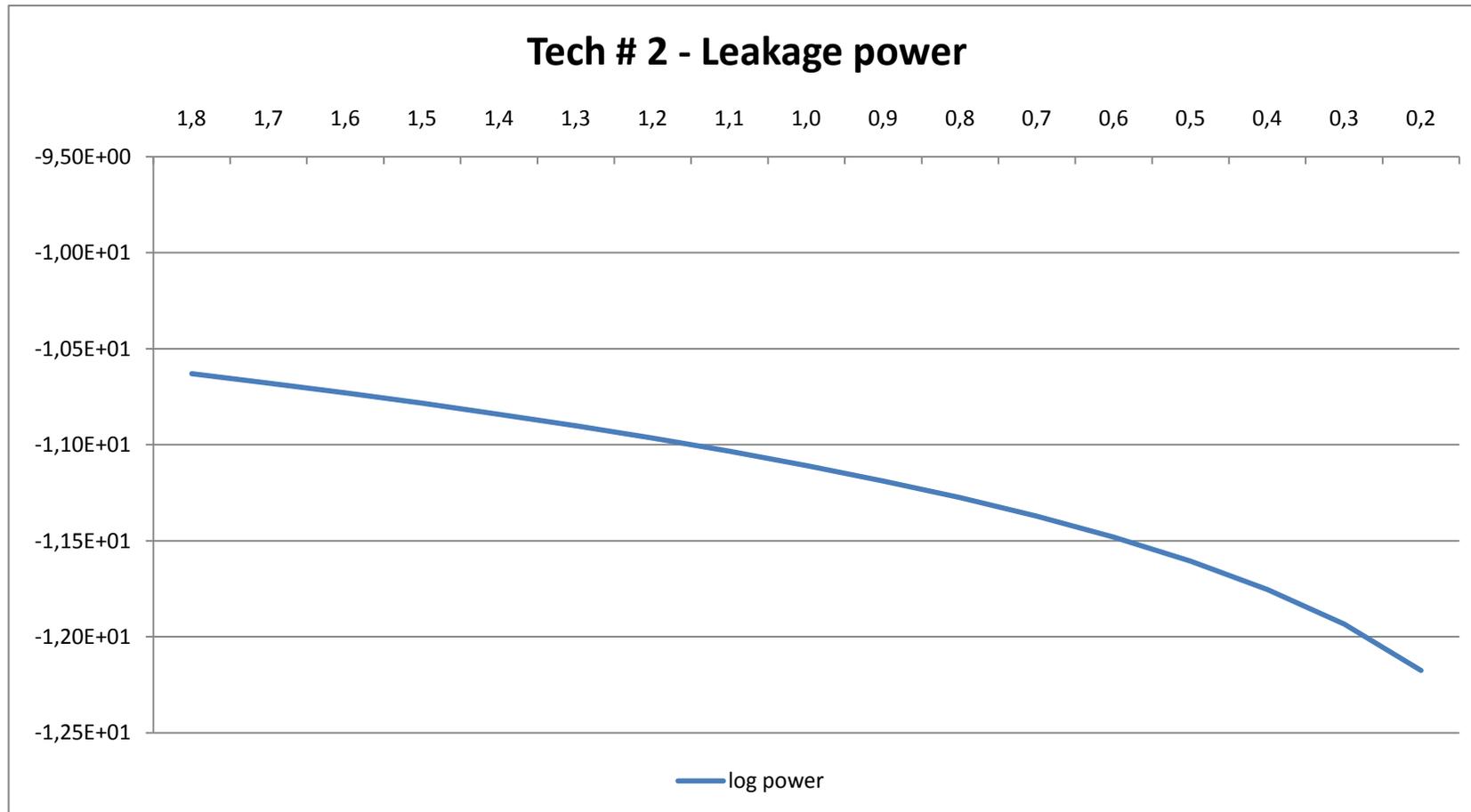


Figura A3.2: Gráfico mostrando o consumo de leakage conforme diminuição da tensão de alimentação para a tecnologia 2.

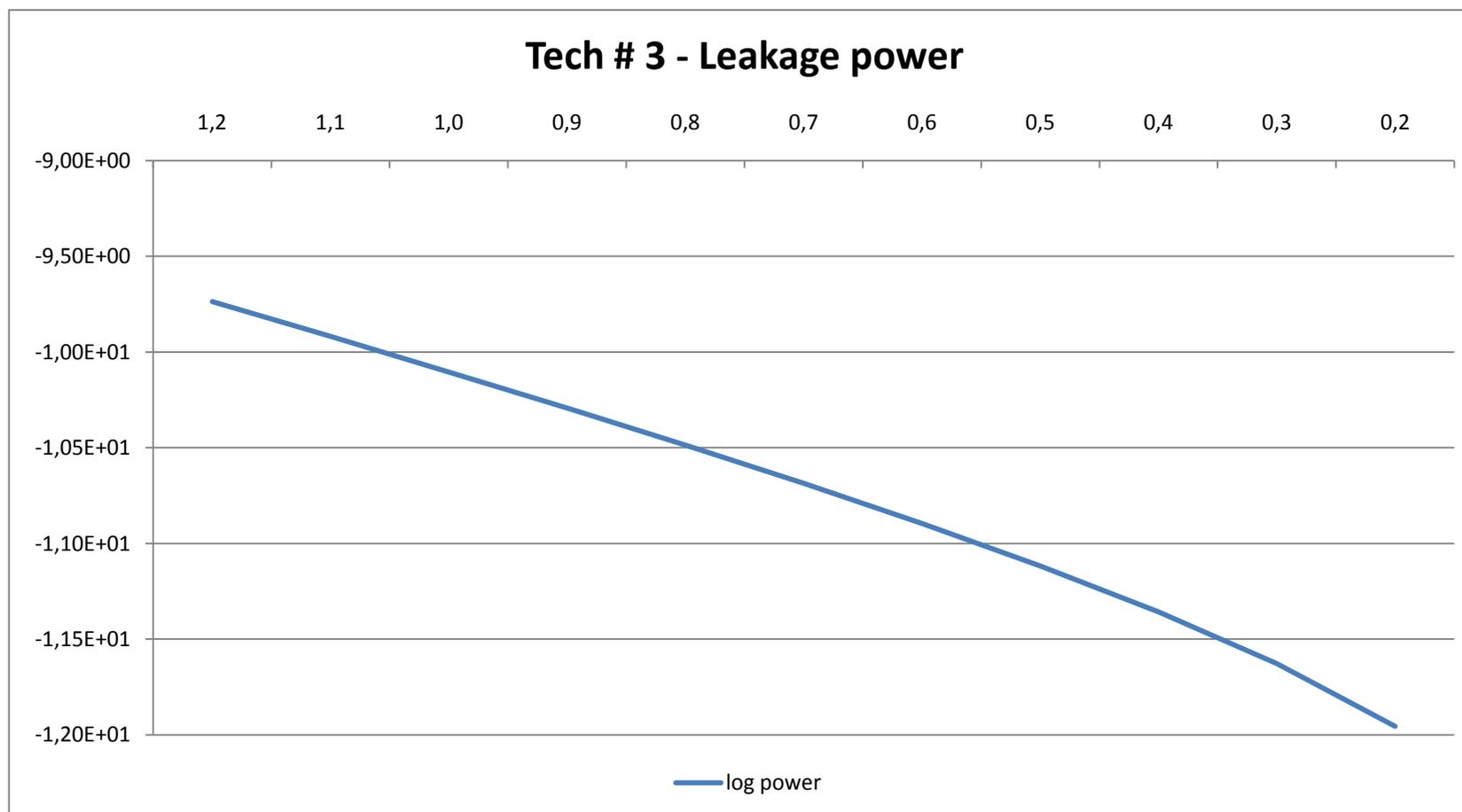


Figura A3.3: Gráfico mostrando o consumo de leakage conforme diminuição da tensão de alimentação para a tecnologia 3.

APÊNDICE 4 <GRÁFICOS COMPARATIVOS RELATIVOS À REDUÇÃO DE CONSUMO>

Os gráficos abaixo A4.1, A4.2 e A4.3 mostram as curvas de redução de consumo obtidas nos experimentos com o somador de 8 bits. Juntamente com a curva obtida nos experimentos, são mostradas as curvas caso a redução fosse linear, quadrática, cúbica e quarta. Essas curvas adicionais foram colocadas para determinarmos a ordem de grandeza da redução prática que obtivemos.

Os gráficos A4.4, A4.5 e A4.6 mostram as curva de redução de consumo obtidas com a redução de tensão aplicada sobre um único transistor NMOS. Elas servem para determinar as relações tensão-consumo intrínsecas das tecnologias utilizadas.

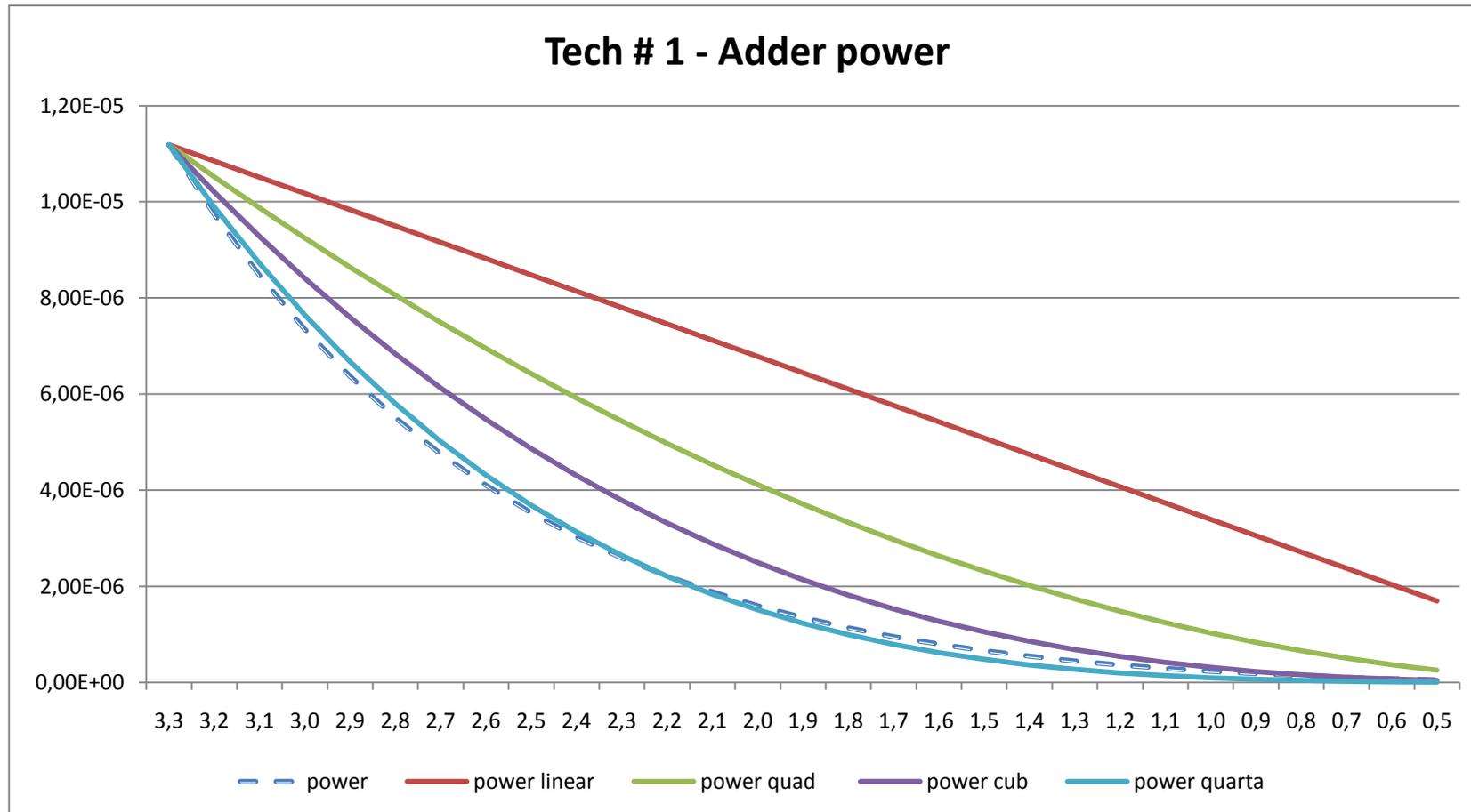


Figura A4.1: Curvas de redução de consumo para o somador de 8 bits na tecnologia 1.

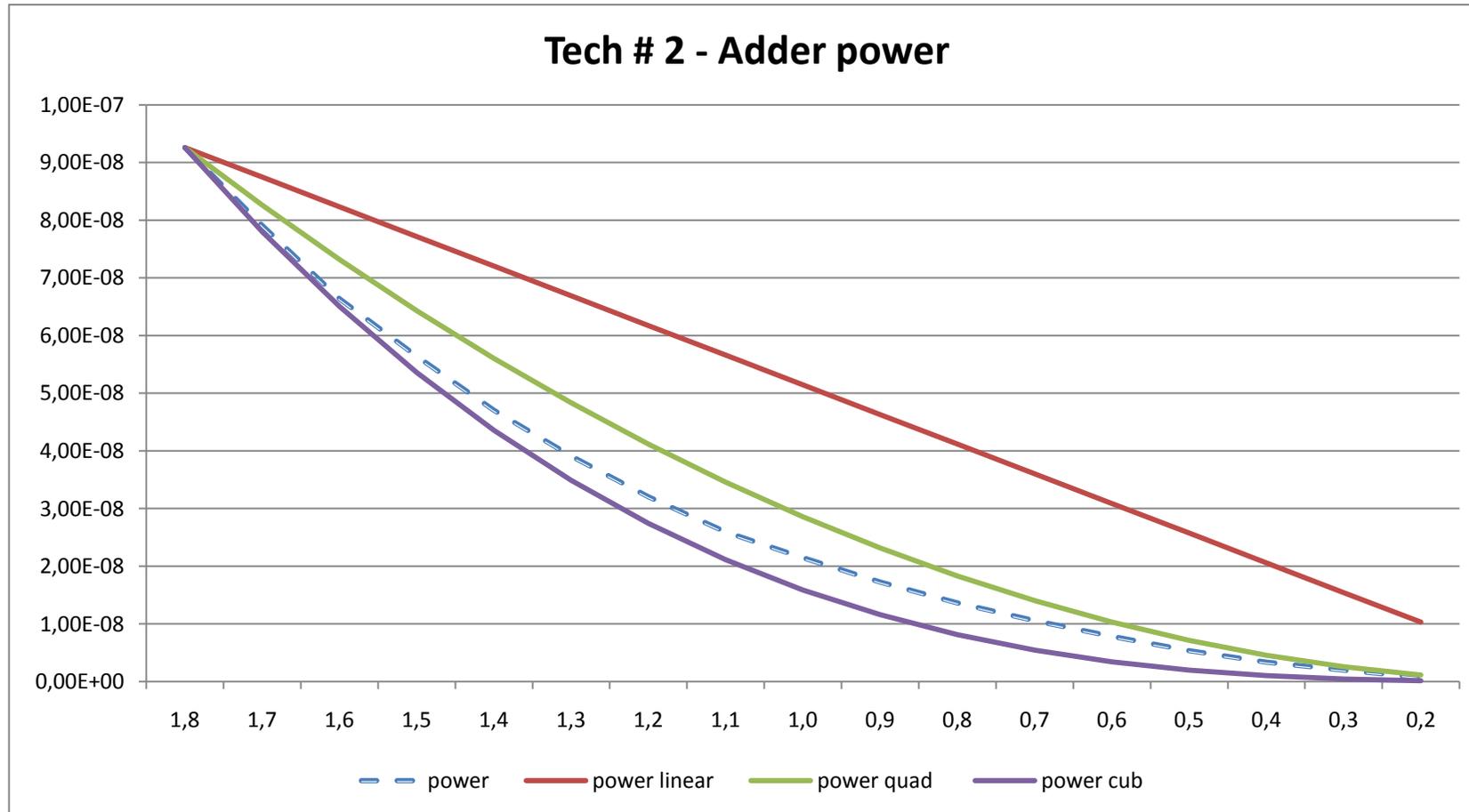


Figura A4.2: Curvas de redução de consumo para o somador de 8 bits na tecnologia 2.

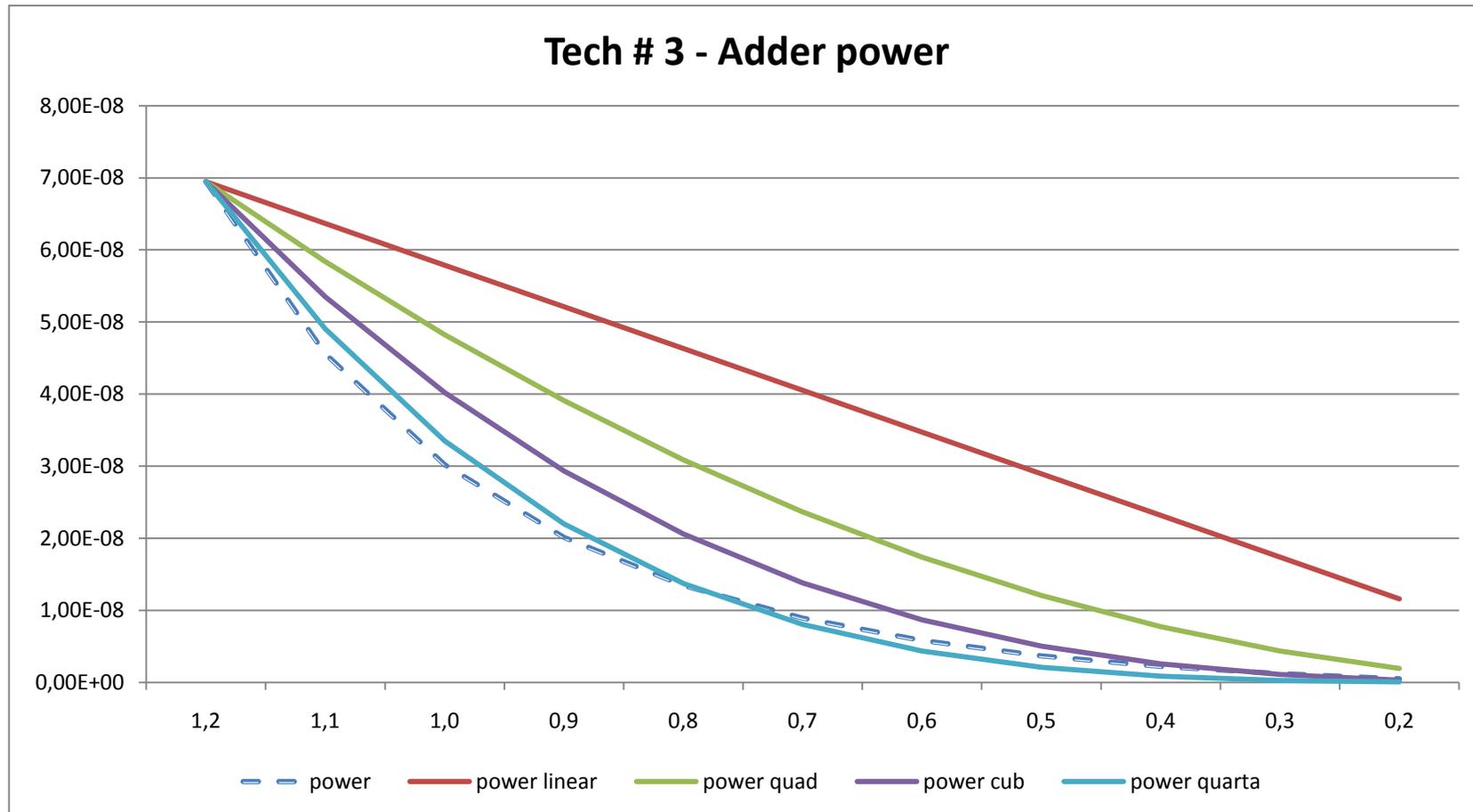


Figura A4.3: Curvas de redução de consumo para o somador de 8 bits na tecnologia 3.

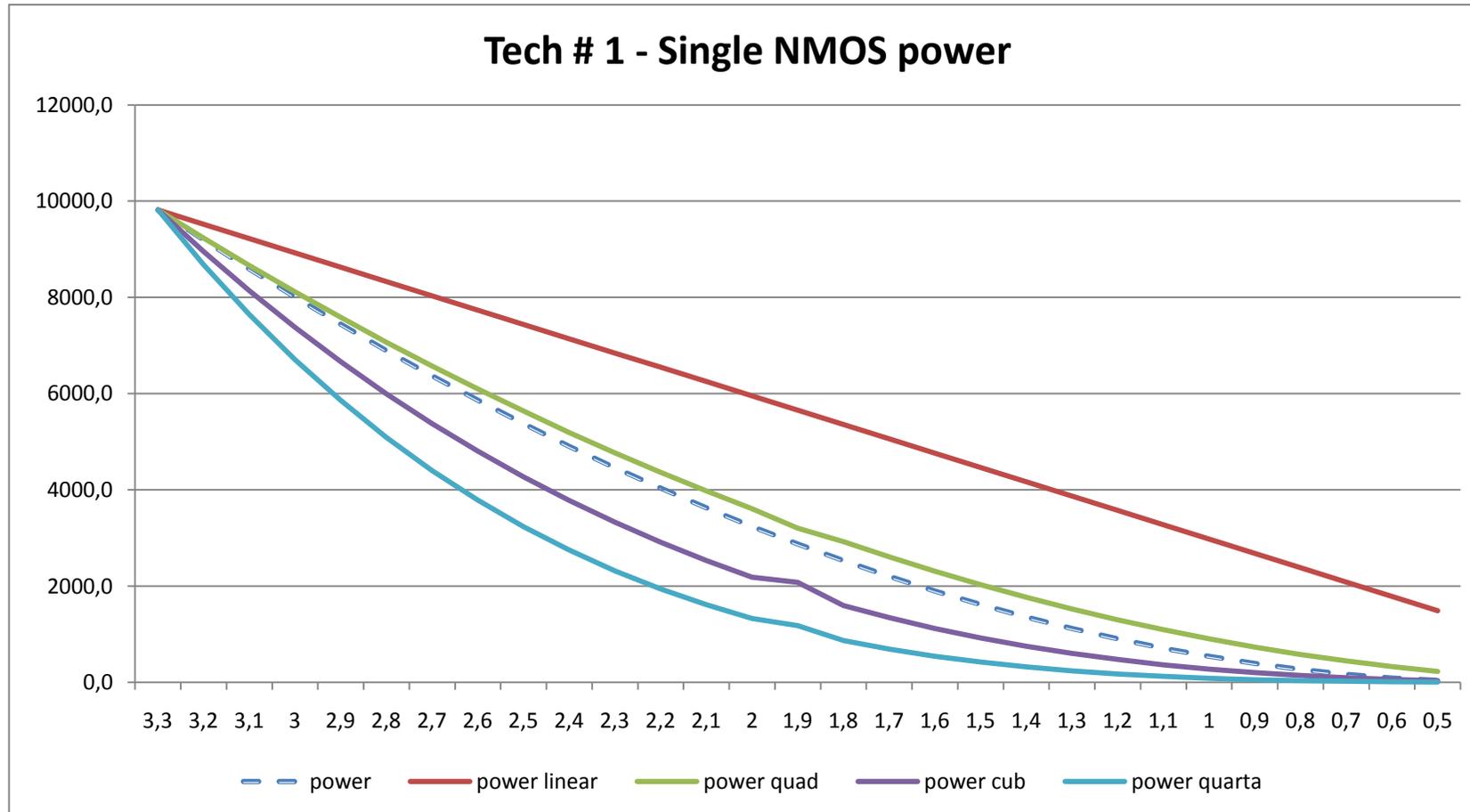


Figura A4.4: Curvas de redução de consumo para um transistor NMOS na tecnologia 1.

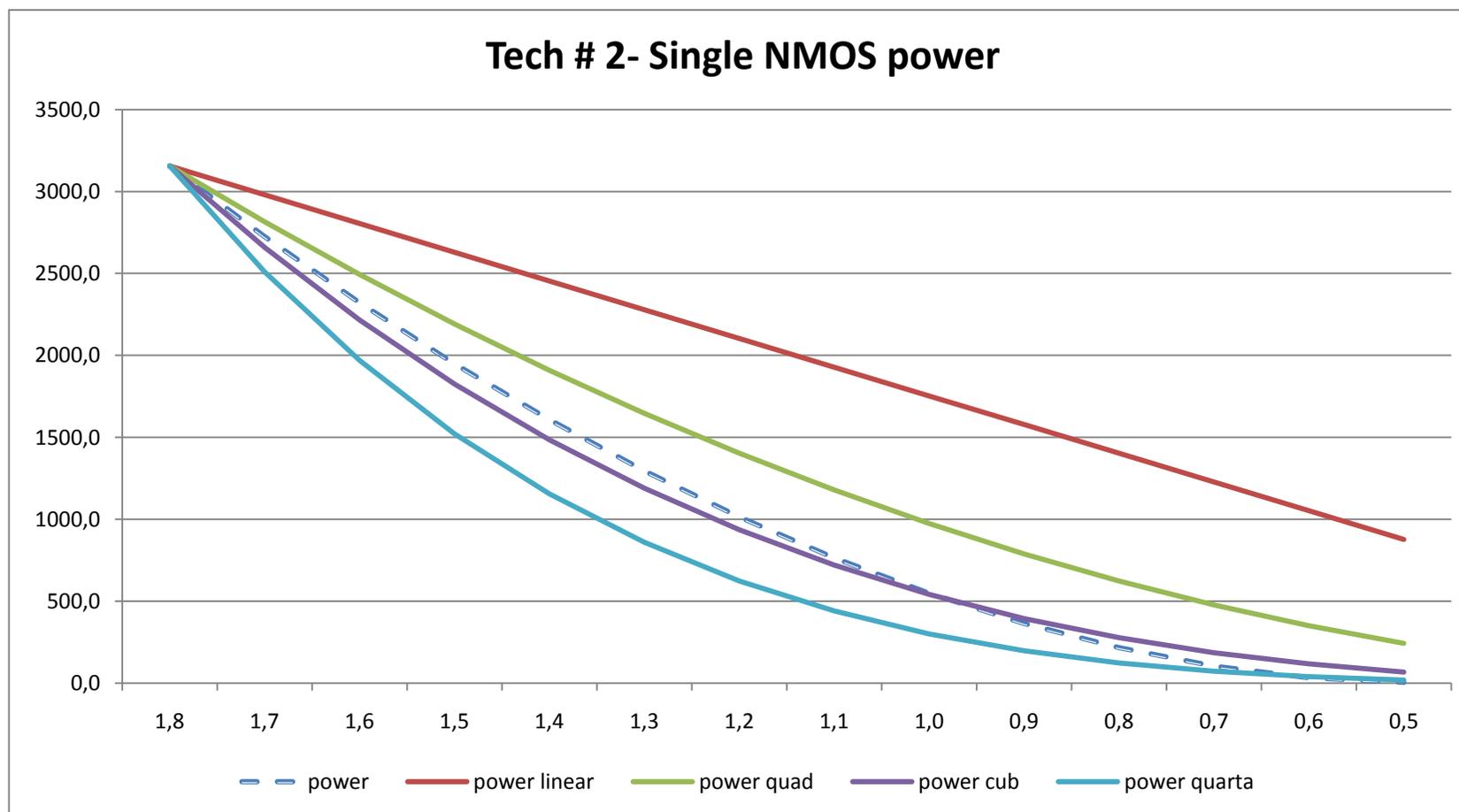


Figura A4.5: Curvas de redução de consumo para um transistor NMOS na tecnologia 2.

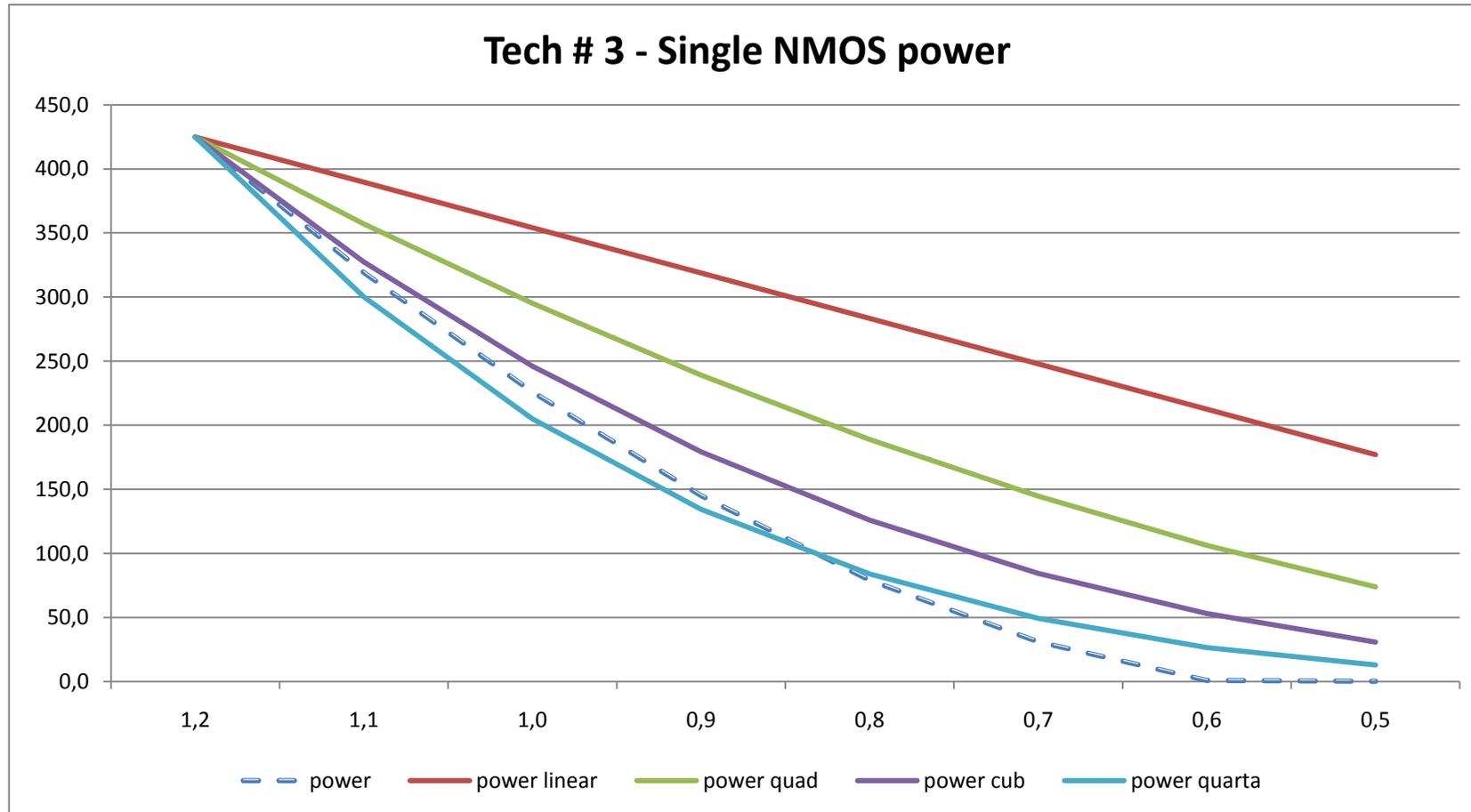


Figura A4.6: Curvas de redução de consumo para um transistor NMOS na tecnologia 3.

APÊNDICE 5 <DESCRIÇÃO SPICE DO SOMADOR DE 8 BITS>

```

m0 18 bin0 VDD VDD modp(l=180n w=1000n)
m1 VDD ain0 20 VDD modp(l=180n w=1000n)
m2 21 bin1 VDD VDD modp(l=180n w=1000n)
m3 VDD ain1 22 VDD modp(l=180n w=1000n)
m4 23 bin2 VDD VDD modp(l=180n w=1000n)
m5 VDD ain2 24 VDD modp(l=180n w=1000n)
m6 25 bin3 VDD VDD modp(l=180n w=1000n)
m7 VDD ain3 26 VDD modp(l=180n w=1000n)
m8 27 bin4 VDD VDD modp(l=180n w=1000n)
m9 VDD ain4 28 VDD modp(l=180n w=1000n)
m10 29 bin5 VDD VDD modp(l=180n w=1000n)
m11 VDD ain5 30 VDD modp(l=180n w=1000n)
m12 31 bin6 VDD VDD modp(l=180n w=1000n)
m13 VDD ain6 32 VDD modp(l=180n w=1000n)
m14 33 bin7 VDD VDD modp(l=180n w=1000n)
m15 VDD ain7 34 VDD modp(l=180n w=1000n)
m16 148 ain0 VDD VDD modp(l=180n w=1000n)
m17 149 20 VDD VDD modp(l=180n w=1000n)
m18 150 ain1 VDD VDD modp(l=180n w=1000n)
m19 151 22 VDD VDD modp(l=180n w=1000n)
m20 152 ain2 VDD VDD modp(l=180n w=1000n)
m21 153 24 VDD VDD modp(l=180n w=1000n)
m22 154 ain3 VDD VDD modp(l=180n w=1000n)
m23 155 26 VDD VDD modp(l=180n w=1000n)
m24 156 ain4 VDD VDD modp(l=180n w=1000n)
m25 157 28 VDD VDD modp(l=180n w=1000n)
m26 158 ain5 VDD VDD modp(l=180n w=1000n)
m27 159 30 VDD VDD modp(l=180n w=1000n)

```

m28 160 ain6 VDD VDD modp(l=180n w=1000n)
m29 161 32 VDD VDD modp(l=180n w=1000n)
m30 162 ain7 VDD VDD modp(l=180n w=1000n)
m31 163 34 VDD VDD modp(l=180n w=1000n)
m32 35 18 148 VDD modp(l=180n w=1000n)
m33 35 bin0 149 VDD modp(l=180n w=1000n)
m34 36 21 150 VDD modp(l=180n w=1000n)
m35 36 bin1 151 VDD modp(l=180n w=1000n)
m36 37 23 152 VDD modp(l=180n w=1000n)
m37 37 bin2 153 VDD modp(l=180n w=1000n)
m38 38 25 154 VDD modp(l=180n w=1000n)
m39 38 bin3 155 VDD modp(l=180n w=1000n)
m40 39 27 156 VDD modp(l=180n w=1000n)
m41 39 bin4 157 VDD modp(l=180n w=1000n)
m42 40 29 158 VDD modp(l=180n w=1000n)
m43 40 bin5 159 VDD modp(l=180n w=1000n)
m44 41 31 160 VDD modp(l=180n w=1000n)
m45 41 bin6 161 VDD modp(l=180n w=1000n)
m46 42 33 162 VDD modp(l=180n w=1000n)
m47 42 bin7 163 VDD modp(l=180n w=1000n)
m48 43 ain0 VDD VDD modp(l=180n w=1000n)
m49 VDD bin0 43 VDD modp(l=180n w=1000n)
m50 44 ain1 VDD VDD modp(l=180n w=1000n)
m51 VDD bin1 44 VDD modp(l=180n w=1000n)
m52 45 ain2 VDD VDD modp(l=180n w=1000n)
m53 VDD bin2 45 VDD modp(l=180n w=1000n)
m54 46 ain3 VDD VDD modp(l=180n w=1000n)
m55 VDD bin3 46 VDD modp(l=180n w=1000n)
m56 47 ain4 VDD VDD modp(l=180n w=1000n)
m57 VDD bin4 47 VDD modp(l=180n w=1000n)
m58 48 ain5 VDD VDD modp(l=180n w=1000n)
m59 VDD bin5 48 VDD modp(l=180n w=1000n)
m60 49 ain6 VDD VDD modp(l=180n w=1000n)
m61 VDD bin6 49 VDD modp(l=180n w=1000n)

m62 50 ain7 VDD VDD modp(l=180n w=1000n)
m63 VDD bin7 50 VDD modp(l=180n w=1000n)
m64 59 cin0 VDD VDD modp(l=180n w=1000n)
m65 VDD 35 60 VDD modp(l=180n w=1000n)
m66 61 cout0 VDD VDD modp(l=180n w=1000n)
m67 VDD 36 62 VDD modp(l=180n w=1000n)
m68 63 cout1 VDD VDD modp(l=180n w=1000n)
m69 VDD 37 64 VDD modp(l=180n w=1000n)
m70 65 cout2 VDD VDD modp(l=180n w=1000n)
m71 VDD 38 66 VDD modp(l=180n w=1000n)
m72 67 cout3 VDD VDD modp(l=180n w=1000n)
m73 VDD 39 68 VDD modp(l=180n w=1000n)
m74 69 cout4 VDD VDD modp(l=180n w=1000n)
m75 VDD 40 70 VDD modp(l=180n w=1000n)
m76 71 cout5 VDD VDD modp(l=180n w=1000n)
m77 VDD 41 72 VDD modp(l=180n w=1000n)
m78 73 cout6 VDD VDD modp(l=180n w=1000n)
m79 VDD 42 74 VDD modp(l=180n w=1000n)
m80 164 35 VDD VDD modp(l=180n w=1000n)
m81 165 60 VDD VDD modp(l=180n w=1000n)
m82 166 36 VDD VDD modp(l=180n w=1000n)
m83 167 62 VDD VDD modp(l=180n w=1000n)
m84 168 37 VDD VDD modp(l=180n w=1000n)
m85 169 64 VDD VDD modp(l=180n w=1000n)
m86 170 38 VDD VDD modp(l=180n w=1000n)
m87 171 66 VDD VDD modp(l=180n w=1000n)
m88 172 39 VDD VDD modp(l=180n w=1000n)
m89 173 68 VDD VDD modp(l=180n w=1000n)
m90 174 40 VDD VDD modp(l=180n w=1000n)
m91 175 70 VDD VDD modp(l=180n w=1000n)
m92 176 41 VDD VDD modp(l=180n w=1000n)
m93 177 72 VDD VDD modp(l=180n w=1000n)
m94 178 42 VDD VDD modp(l=180n w=1000n)
m95 179 74 VDD VDD modp(l=180n w=1000n)

m96 sum0 59 164 VDD modp(l=180n w=1000n)
m97 sum0 cin0 165 VDD modp(l=180n w=1000n)
m98 sum1 61 166 VDD modp(l=180n w=1000n)
m99 sum1 cout0 167 VDD modp(l=180n w=1000n)
m100 sum2 63 168 VDD modp(l=180n w=1000n)
m101 sum2 cout1 169 VDD modp(l=180n w=1000n)
m102 sum3 65 170 VDD modp(l=180n w=1000n)
m103 sum3 cout2 171 VDD modp(l=180n w=1000n)
m104 sum4 67 172 VDD modp(l=180n w=1000n)
m105 sum4 cout3 173 VDD modp(l=180n w=1000n)
m106 sum5 69 174 VDD modp(l=180n w=1000n)
m107 sum5 cout4 175 VDD modp(l=180n w=1000n)
m108 sum6 71 176 VDD modp(l=180n w=1000n)
m109 sum6 cout5 177 VDD modp(l=180n w=1000n)
m110 sum7 73 178 VDD modp(l=180n w=1000n)
m111 sum7 cout6 179 VDD modp(l=180n w=1000n)
m112 83 35 VDD VDD modp(l=180n w=1000n)
m113 VDD cin0 83 VDD modp(l=180n w=1000n)
m114 84 36 VDD VDD modp(l=180n w=1000n)
m115 VDD cout0 84 VDD modp(l=180n w=1000n)
m116 85 37 VDD VDD modp(l=180n w=1000n)
m117 VDD cout1 85 VDD modp(l=180n w=1000n)
m118 86 38 VDD VDD modp(l=180n w=1000n)
m119 VDD cout2 86 VDD modp(l=180n w=1000n)
m120 87 39 VDD VDD modp(l=180n w=1000n)
m121 VDD cout3 87 VDD modp(l=180n w=1000n)
m122 88 40 VDD VDD modp(l=180n w=1000n)
m123 VDD cout4 88 VDD modp(l=180n w=1000n)
m124 89 41 VDD VDD modp(l=180n w=1000n)
m125 VDD cout5 89 VDD modp(l=180n w=1000n)
m126 90 42 VDD VDD modp(l=180n w=1000n)
m127 VDD cout6 90 VDD modp(l=180n w=1000n)
m128 cout0 83 VDD VDD modp(l=180n w=1000n)
m129 VDD 43 cout0 VDD modp(l=180n w=1000n)

m130 cout1 84 VDD VDD modp(l=180n w=1000n)
m131 VDD 44 cout1 VDD modp(l=180n w=1000n)
m132 cout2 85 VDD VDD modp(l=180n w=1000n)
m133 VDD 45 cout2 VDD modp(l=180n w=1000n)
m134 cout3 86 VDD VDD modp(l=180n w=1000n)
m135 VDD 46 cout3 VDD modp(l=180n w=1000n)
m136 cout4 87 VDD VDD modp(l=180n w=1000n)
m137 VDD 47 cout4 VDD modp(l=180n w=1000n)
m138 cout5 88 VDD VDD modp(l=180n w=1000n)
m139 VDD 48 cout5 VDD modp(l=180n w=1000n)
m140 cout6 89 VDD VDD modp(l=180n w=1000n)
m141 VDD 49 cout6 VDD modp(l=180n w=1000n)
m142 cout7 90 VDD VDD modp(l=180n w=1000n)
m143 VDD 50 cout7 VDD modp(l=180n w=1000n)
m144 VSS bin0 18 VSS modn(l=180n w=500n)
m145 20 ain0 VSS VSS modn(l=180n w=500n)
m146 VSS bin1 21 VSS modn(l=180n w=500n)
m147 22 ain1 VSS VSS modn(l=180n w=500n)
m148 VSS bin2 23 VSS modn(l=180n w=500n)
m149 24 ain2 VSS VSS modn(l=180n w=500n)
m150 VSS bin3 25 VSS modn(l=180n w=500n)
m151 26 ain3 VSS VSS modn(l=180n w=500n)
m152 VSS bin4 27 VSS modn(l=180n w=500n)
m153 28 ain4 VSS VSS modn(l=180n w=500n)
m154 VSS bin5 29 VSS modn(l=180n w=500n)
m155 30 ain5 VSS VSS modn(l=180n w=500n)
m156 VSS bin6 31 VSS modn(l=180n w=500n)
m157 32 ain6 VSS VSS modn(l=180n w=500n)
m158 VSS bin7 33 VSS modn(l=180n w=500n)
m159 34 ain7 VSS VSS modn(l=180n w=500n)
m160 92 18 VSS VSS modn(l=180n w=500n)
m161 35 20 92 VSS modn(l=180n w=500n)
m162 93 21 VSS VSS modn(l=180n w=500n)
m163 36 22 93 VSS modn(l=180n w=500n)

m164 94 23 VSS VSS modn(l=180n w=500n)
m165 37 24 94 VSS modn(l=180n w=500n)
m166 95 25 VSS VSS modn(l=180n w=500n)
m167 38 26 95 VSS modn(l=180n w=500n)
m168 96 27 VSS VSS modn(l=180n w=500n)
m169 39 28 96 VSS modn(l=180n w=500n)
m170 97 29 VSS VSS modn(l=180n w=500n)
m171 40 30 97 VSS modn(l=180n w=500n)
m172 98 31 VSS VSS modn(l=180n w=500n)
m173 41 32 98 VSS modn(l=180n w=500n)
m174 99 33 VSS VSS modn(l=180n w=500n)
m175 42 34 99 VSS modn(l=180n w=500n)
m176 100 bin0 VSS VSS modn(l=180n w=500n)
m177 35 ain0 100 VSS modn(l=180n w=500n)
m178 101 bin1 VSS VSS modn(l=180n w=500n)
m179 36 ain1 101 VSS modn(l=180n w=500n)
m180 102 bin2 VSS VSS modn(l=180n w=500n)
m181 37 ain2 102 VSS modn(l=180n w=500n)
m182 103 bin3 VSS VSS modn(l=180n w=500n)
m183 38 ain3 103 VSS modn(l=180n w=500n)
m184 104 bin4 VSS VSS modn(l=180n w=500n)
m185 39 ain4 104 VSS modn(l=180n w=500n)
m186 105 bin5 VSS VSS modn(l=180n w=500n)
m187 40 ain5 105 VSS modn(l=180n w=500n)
m188 106 bin6 VSS VSS modn(l=180n w=500n)
m189 41 ain6 106 VSS modn(l=180n w=500n)
m190 107 bin7 VSS VSS modn(l=180n w=500n)
m191 42 ain7 107 VSS modn(l=180n w=500n)
m192 108 bin0 VSS VSS modn(l=180n w=500n)
m193 43 ain0 108 VSS modn(l=180n w=500n)
m194 109 bin1 VSS VSS modn(l=180n w=500n)
m195 44 ain1 109 VSS modn(l=180n w=500n)
m196 110 bin2 VSS VSS modn(l=180n w=500n)
m197 45 ain2 110 VSS modn(l=180n w=500n)

m198 111 bin3 VSS VSS modn(l=180n w=500n)
m199 46 ain3 111 VSS modn(l=180n w=500n)
m200 112 bin4 VSS VSS modn(l=180n w=500n)
m201 47 ain4 112 VSS modn(l=180n w=500n)
m202 113 bin5 VSS VSS modn(l=180n w=500n)
m203 48 ain5 113 VSS modn(l=180n w=500n)
m204 114 bin6 VSS VSS modn(l=180n w=500n)
m205 49 ain6 114 VSS modn(l=180n w=500n)
m206 115 bin7 VSS VSS modn(l=180n w=500n)
m207 50 ain7 115 VSS modn(l=180n w=500n)
m208 VSS cin0 59 VSS modn(l=180n w=500n)
m209 60 35 VSS VSS modn(l=180n w=500n)
m210 VSS cout0 61 VSS modn(l=180n w=500n)
m211 62 36 VSS VSS modn(l=180n w=500n)
m212 VSS cout1 63 VSS modn(l=180n w=500n)
m213 64 37 VSS VSS modn(l=180n w=500n)
m214 VSS cout2 65 VSS modn(l=180n w=500n)
m215 66 38 VSS VSS modn(l=180n w=500n)
m216 VSS cout3 67 VSS modn(l=180n w=500n)
m217 68 39 VSS VSS modn(l=180n w=500n)
m218 VSS cout4 69 VSS modn(l=180n w=500n)
m219 70 40 VSS VSS modn(l=180n w=500n)
m220 VSS cout5 71 VSS modn(l=180n w=500n)
m221 72 41 VSS VSS modn(l=180n w=500n)
m222 VSS cout6 73 VSS modn(l=180n w=500n)
m223 74 42 VSS VSS modn(l=180n w=500n)
m224 116 59 VSS VSS modn(l=180n w=500n)
m225 sum0 60 116 VSS modn(l=180n w=500n)
m226 117 61 VSS VSS modn(l=180n w=500n)
m227 sum1 62 117 VSS modn(l=180n w=500n)
m228 118 63 VSS VSS modn(l=180n w=500n)
m229 sum2 64 118 VSS modn(l=180n w=500n)
m230 119 65 VSS VSS modn(l=180n w=500n)
m231 sum3 66 119 VSS modn(l=180n w=500n)

m232 120 67 VSS VSS modn(l=180n w=500n)
m233 sum4 68 120 VSS modn(l=180n w=500n)
m234 121 69 VSS VSS modn(l=180n w=500n)
m235 sum5 70 121 VSS modn(l=180n w=500n)
m236 122 71 VSS VSS modn(l=180n w=500n)
m237 sum6 72 122 VSS modn(l=180n w=500n)
m238 123 73 VSS VSS modn(l=180n w=500n)
m239 sum7 74 123 VSS modn(l=180n w=500n)
m240 124 cin0 VSS VSS modn(l=180n w=500n)
m241 sum0 35 124 VSS modn(l=180n w=500n)
m242 125 cout0 VSS VSS modn(l=180n w=500n)
m243 sum1 36 125 VSS modn(l=180n w=500n)
m244 126 cout1 VSS VSS modn(l=180n w=500n)
m245 sum2 37 126 VSS modn(l=180n w=500n)
m246 127 cout2 VSS VSS modn(l=180n w=500n)
m247 sum3 38 127 VSS modn(l=180n w=500n)
m248 128 cout3 VSS VSS modn(l=180n w=500n)
m249 sum4 39 128 VSS modn(l=180n w=500n)
m250 129 cout4 VSS VSS modn(l=180n w=500n)
m251 sum5 40 129 VSS modn(l=180n w=500n)
m252 130 cout5 VSS VSS modn(l=180n w=500n)
m253 sum6 41 130 VSS modn(l=180n w=500n)
m254 131 cout6 VSS VSS modn(l=180n w=500n)
m255 sum7 42 131 VSS modn(l=180n w=500n)
m256 132 cin0 VSS VSS modn(l=180n w=500n)
m257 83 35 132 VSS modn(l=180n w=500n)
m258 133 cout0 VSS VSS modn(l=180n w=500n)
m259 84 36 133 VSS modn(l=180n w=500n)
m260 134 cout1 VSS VSS modn(l=180n w=500n)
m261 85 37 134 VSS modn(l=180n w=500n)
m262 135 cout2 VSS VSS modn(l=180n w=500n)
m263 86 38 135 VSS modn(l=180n w=500n)
m264 136 cout3 VSS VSS modn(l=180n w=500n)
m265 87 39 136 VSS modn(l=180n w=500n)

m266 137 cout4 VSS VSS modn(l=180n w=500n)
m267 88 40 137 VSS modn(l=180n w=500n)
m268 138 cout5 VSS VSS modn(l=180n w=500n)
m269 89 41 138 VSS modn(l=180n w=500n)
m270 139 cout6 VSS VSS modn(l=180n w=500n)
m271 90 42 139 VSS modn(l=180n w=500n)
m272 140 43 VSS VSS modn(l=180n w=500n)
m273 cout0 83 140 VSS modn(l=180n w=500n)
m274 141 44 VSS VSS modn(l=180n w=500n)
m275 cout1 84 141 VSS modn(l=180n w=500n)
m276 142 45 VSS VSS modn(l=180n w=500n)
m277 cout2 85 142 VSS modn(l=180n w=500n)
m278 143 46 VSS VSS modn(l=180n w=500n)
m279 cout3 86 143 VSS modn(l=180n w=500n)
m280 144 47 VSS VSS modn(l=180n w=500n)
m281 cout4 87 144 VSS modn(l=180n w=500n)
m282 145 48 VSS VSS modn(l=180n w=500n)
m283 cout5 88 145 VSS modn(l=180n w=500n)
m284 146 49 VSS VSS modn(l=180n w=500n)
m285 cout6 89 146 VSS modn(l=180n w=500n)
m286 147 50 VSS VSS modn(l=180n w=500n)
m287 cout7 90 147 VSS modn(l=180n w=500n)

APÊNDICE 6 <DESCRIÇÃO SPICE DO FLIP-FLOP PROPOSTO POR PIGUET>

MP31 VDD x m VDD modp(l=180n w=1000n)
 MP32 VDD nm m VDD modp(l=180n w=1000n)
 MN31 i1 x m VSS modn(l=180n w=500n)
 MN32 VSS nm i1 VSS modn(l=180n w=500n)
 MP41 VDD D nm VDD modp(l=180n w=1000n)
 MP42 VDD y nm VDD modp(l=180n w=1000n)
 MN41 i2 D nm VSS modn(l=180n w=500n)
 MN42 VSS y i2 VSS modn(l=180n w=500n)
 MPI VDD m invout VDD modp(l=180n w=1000n)
 MNI invout m VSS VSS modn(l=180n w=500n)
 MP11 VDD m x VDD modp(l=180n w=1000n)
 MP12 VDD CK x VDD modp(l=180n w=1000n)
 MN11 i3 m x VSS modn(l=180n w=500n)
 MN12 VSS CK i3 VSS modn(l=180n w=500n)
 MP21 VDD invout y VDD modp(l=180n w=1000n)
 MP23 VDD CK y VDD modp(l=180n w=1000n)
 MN21 i4 invout y VSS modn(l=180n w=500n)
 MN23 VSS CK i4 VSS modn(l=180n w=500n)
 MP51 VDD x Q VDD modp(l=180n w=1000n)
 MP52 VDD NQ Q VDD modp(l=180n w=1000n)
 MN51 i6 x Q VSS modn(l=180n w=500n)
 MN52 VSS NQ i6 VSS modn(l=180n w=500n)
 MP61 VDD y NQ VDD modp(l=180n w=1000n)
 MP62 VDD Q NQ VDD modp(l=180n w=1000n)
 MN61 i7 y NQ VSS modn(l=180n w=500n)
 MN62 VSS Q i7 VSS modn(l=180n w=500n)

APÊNDICE 7 <DESCRIÇÃO SPICE DO FLIP-FLOP RELATIVO À ARTE ANTERIOR>

MP31 VDD x m VDD modp(l=180n w=1000n)
 MP32 VDD nm m VDD modp(l=180n w=1000n)
 MN31 i1 x m VSS modn(l=180n w=500n)
 MN32 VSS nm i1 VSS modn(l=180n w=500n)
 MP41 VDD D nm VDD modp(l=180n w=1000n)
 MP42 VDD y nm VDD modp(l=180n w=1000n)
 MN41 i2 D nm VSS modn(l=180n w=500n)
 MN42 VSS y i2 VSS modn(l=180n w=500n)
 MP11 VDD m x VDD modp(l=180n w=1000n)
 MP12 VDD CK x VDD modp(l=180n w=1000n)
 MN11 i3 m x VSS modn(l=180n w=500n)
 MN12 VSS CK i3 VSS modn(l=180n w=500n)
 MP21 VDD nm y VDD modp(l=180n w=1000n)
 MP22 VDD x y VDD modp(l=180n w=1000n)
 MP23 VDD CK y VDD modp(l=180n w=1000n)
 MN21 i4 nm y VSS modn(l=180n w=500n)
 MN22 i5 x i4 VSS modn(l=180n w=500n)
 MN23 VSS CK i5 VSS modn(l=180n w=500n)
 MP51 VDD x Q VDD modp(l=180n w=1000n)
 MP52 VDD NQ Q VDD modp(l=180n w=1000n)
 MN51 i6 x Q VSS modn(l=180n w=500n)
 MN52 VSS NQ i6 VSS modn(l=180n w=500n)
 MP61 VDD y NQ VDD modp(l=180n w=1000n)
 MP62 VDD Q NQ VDD modp(l=180n w=1000n)
 MN61 i7 y NQ VSS modn(l=180n w=500n)
 MN62 VSS Q i7 VSS modn(l=180n w=500n)