

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL  
INSTITUTO DE INFORMÁTICA  
PROGRAMA DE PÓS-GRADUAÇÃO EM MICROELETRÔNICA

CLEITON MAGANO MARQUES

**Aspectos de robustez para  
memórias SRAM em FDSOI**

Dissertação apresentada como requisito  
parcial para a obtenção do grau de Mestre  
em Microeletrônica

Orientador: Prof. Dr. Paulo F. Butzen  
Co-orientador: Prof. Dr. Cristina Meinhardt

Porto Alegre  
2021

## CIP — CATALOGAÇÃO NA PUBLICAÇÃO

Marques, Cleiton Magano

Aspectos de robustez para memórias SRAM em FDSOI / Cleiton Magano Marques. – Porto Alegre: PGMICRO da UFRGS, 2021.

95 f.: il.

Dissertação (mestrado) – Universidade Federal do Rio Grande do Sul. Programa de Pós-Graduação em Microeletrônica, Porto Alegre, BR-RS, 2021. Orientador: Paulo F. Butzen; Co-orientador: Cristina Meinhardt.

1. SRAM. 2. FDSOI. 3. Soft errors. 4. Tolerância a falhas. 5. Robustez. 6. Microeletrônica. I. Butzen, Paulo F. II. Meinhardt, Cristina. III. Título.

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

Reitor: Prof. Carlos André Bulhões

Vice-Reitora: Prof<sup>a</sup>. Patricia Pranke

Pró-Reitor de Pós-Graduação: Prof. Celso Giannetti Loureiro Chaves

Diretora do Instituto de Informática: Prof<sup>a</sup>. Carla Maria Dal Sasso Freitas

Coordenador do PGMICRO: Prof. Tiago Roberto Balen

Bibliotecária-chefe do Instituto de Informática: Beatriz Regina Bastos Haro

*“If I have seen farther than others,  
it is because I stood on the shoulders of giants.”*

— SIR ISAAC NEWTON

## **AGRADECIMENTOS**

Muito obrigado a todos que estiveram comigo durante essa jornada, vivenciar uma oportunidade dessas é um privilégio e tenho muito orgulho de ter chegado aqui. Gostaria de agradecer a minha mãe por sempre estar presente para conversar e me apoiar da maneira que fosse preciso. Quero agradecer aos amigos pelos momentos de risada e descontração. Além disso, em especial, gostaria de agradecer aos meus orientadores por todo o esforço desempenhado em me auxiliar e motivar nesse caminho tão desafiador.

## RESUMO

A evolução tecnológica permitiu a redução agressiva do tamanho dos transistores, proporcionando melhorias nos aspectos de desempenho e funcionalidade geral da eletrônica. Hoje, a microeletrônica se tornou parte essencial em nossas vidas. Em contrapartida, esse progresso vem sendo acompanhado por vários desafios. Dentre os principais pontos estão os desafios relacionados ao projeto de memórias SRAM robustas aos efeitos de radiação. Para superar os desafios impostos pela redução agressiva dos transistores e lidar com o impacto dos efeitos da radiação no projeto de circuitos integrados, novas técnicas de projeto e fabricação vem sendo adotadas. A construção dos dispositivos sobre uma camada de óxido sobre o silício (SOI) tem se mostrado uma das melhores alternativas de fabricação. Sendo a SRAM um componente tão importante, essa dissertação busca contribuir com uma análise sobre algumas das principais características relacionadas ao projeto da SRAM, considerando um processo tecnológico de 28nm FDSOI. Assim, o objetivo principal deste trabalho é a análise da robustez aos efeitos transientes da radiação na arquitetura da SRAM. Serão consideradas falhas do tipo *Single Event Upset* e *Single Event Transient* afetando as células e os circuitos auxiliares da arquitetura. O trabalho avaliou três topologias de célula: a SRAM 6T, SRAM 8T e SRAM 12TDICE. As topologias são comparadas quanto as características elétricas de atraso, margem de ruído, consumo energético e robustez aos efeitos de radiação durante as situações de *Hold*, leitura, escrita e *Open-Access Mode(OAM)*. Os resultados apontam a célula 8T como a melhor opção quanto ao consumo energético, estabilidade e robustez aos efeitos de radiação durante as situações de leitura e *OAM*. A célula DICE demonstrou a maior robustez aos efeitos de radiação enquanto executa as operações de *Hold* e escrita. De modo geral, a DICE pode ser considerada a melhor opção quando os parâmetros de projeto priorizam a robustez. Porém, a célula DICE apresentou uma janela de sensibilidade durante as situações de leitura e *OAM*, sendo dez vezes mais sensível em relação ao seu resultado durante o *Hold*.

**Palavras-chave:** SRAM. FDSOI. soft errors. tolerância a falhas. robustez. microeletrônica.

## Reliability aspects for SRAM memories on FDSOI

### ABSTRACT

Technological evolution has allowed the aggressive reduction of transistors size, improving the performance and overall functionality aspects of electronics. Today, microelectronics has become an essential part of our lives. In contrast, this progress has been accompanied by many challenges. Among the key issues are challenges related to the design of robust SRAM memories to the effects of radiation. New project approaches and fabrication techniques are being adopted to overcome the challenges posed by the technological scaling and to address the impact of radiation effects on integrated circuit design. Building the devices on a Silicon on Insulator (SOI) layer has proven to be one of the best manufacturing alternatives. As SRAM is such an important component, this dissertation seeks to contribute with an analysis of some of the main characteristics related to the design of SRAM, considering a 28 nm FDSOI process. Thus, the main objective of this work is to analyze the robustness to transient radiation effects in SRAM architecture. The investigation considers Single Event Upset and Single Event Transient type faults affecting even the memory cells and auxiliary circuits of a complete SRAM architecture. The work evaluates three cell topologies: SRAM 6T, SRAM 8T, and SRAM 12TDICE. The topologies are compared for electrical characteristics of delay, noise margins, power consumption, and robustness to radiation effects during four operations: Hold, Read, Write, and Open-Access Mode. The results showed the 8T cell as the best choice for power consumption, stability, and robustness to radiation effects during Read and Open-Access Mode (OAM) situations. The DICE cell demonstrated the highest robustness to radiation effects while performing Hold and Write operations. Overall, DICE can be considered the best choice when the design parameters give priority to robustness. However, the DICE cell showed ten times more sensitivity during Read and OAM situations than its result during Hold.

**Keywords:** SRAM, FDSOI, soft errors, fault tolerance, robustness, microelectronics.

## LISTA DE ABREVIATURAS E SIGLAS

MOSFET	<i>Metal Oxide Semiconductor Field Effect Transistor</i>
CI	Circuito Integrado
CMOS	<i>Complementary metal-oxide-semiconductor</i>
Si	Silício
GeSi	Silício e Germânio
GaAs	Arseniato de Gálio
$SiO_2$	Dióxido de Silício
SOI	<i>Silicon On Insulator Silicon On Insulator</i>
FinFET	<i>Fin Field Effect Transistor</i>
FDSOI	<i>Fully-depleted Silicon On Insulator</i>
$T_{Si}$	Espessura da fina camada de Si no FDSOI.
$T_{BOX}$	Espessura da camada isolante no FDSOI.
$V_{th}$	Tensão de Thresould ou limiar.
SRAM	<i>Static Random Access Memory</i>
SoC	<i>System-On-Chip</i>
IoT	<i>Internet of Things</i>
SER	<i>Soft Error Rate</i>
EDC	<i>Error Detecting Codes</i>
ECC	<i>Error COrrecting Codes</i>
LET	<i>Linear Energy Transfer</i>
IoT	<i>Internet of Things</i>
OAM	<i>Open-Access Mode</i>
PDSOI	<i>Partially-Depleted Silicon On Insulator</i>
TFT	<i>Thin-Film Transistor</i>

FET	<i>Field Effect Transistor</i>
SOS	<i>Silicon-on-Sapphire</i>
$Al_2O_3$	Oxido de Alumínio
SIMOX	<i>Separation by Implanted Oxygen</i>
PACE	<i>Plasma Assisted Chemical Etching</i>
ELTRAN	<i>Epitaxial Layer Transfer</i>
ITOX	<i>Thickness Increment of Buried Oxide by High-Temperature Oxidation</i>
$I_{off}$	Corrente de desligamento
LVT	<i>Low-Threshold Voltage</i>
HVT	<i>High-Threshold Voltage</i>
RAM	<i>Random Access Memories</i>
DRAM	<i>Dynamic Random Access Memories</i>
ITRS	<i>International Technology Roadmap for Semiconductors</i>
WL	<i>Wordline Signal</i>
BL	<i>Bitline</i>
BLB	<i>Complementary Bitline</i>
RBL	<i>Read-Only Bitline</i>
RWL	<i>Read Wordline Signal</i>
CR	<i>Cell Ratio</i>
PR	<i>Pull-Up Ratio</i>
WE	<i>Write Enable</i>
PRE	<i>Pre-charge Signal</i>
SAE	<i>Sense Amplifier Enable</i>
SNM	<i>Static Noise Margins</i>
HSNM	<i>Hold Static Noise Margins</i>
RSNM	<i>Read Static Noise Margins</i>



WSNM	<i>Write Static Noise Margins</i>
SEE	<i>Single Event Effects</i>
SEU	<i>Single Event Upset</i>
SET	<i>Single Event Transient</i>
DICE	<i>Dual Interlocked Storage Cell</i>
PDK	<i>Process Design Kit</i>
SPICE	<i>Simulation Program with Integrated Circuit Emphasis</i>
$Q_{Crit}$	<i>Critical Charge</i>
$Q_{Coll}$	<i>Collected Charge</i>

## LISTA DE FIGURAS

Figura 1.1 <i>Estrutura de um típico Wafer SOI.</i> Fonte:(CAUCHY, 2013) .....	16
Figura 1.2 Aspectos estruturais dos transistores bulk CMOS, FDSOI e FinFET. Fonte:(AGAL; KRISHAN et al., 2014) .....	16
Figura 2.1 Mecanismos do processo SIMOX. Fonte: (IZUMI; DOKEN; ARIYOSHI, 1978).....	24
Figura 2.2 Gráfico das variações causadas pelo <i>Kink Effect</i> . Fonte: (SILIGARIS et al., 2005) .....	25
Figura 2.3 Etapas do processo PACE. Fonte: (MUMOLA et al., 1992) .....	26
Figura 2.4 Etapas do processo ELTRAN. Fonte:(YONEHARA; SAKAGUCHI; SATO, 1994).....	27
Figura 2.5 Etapas do processo UNIBOND. Fonte: (BRUEL, 1995) .....	28
Figura 2.6 Comparativo entre o dispositivo PDSOI e FDSOI: (a) Sessão transversal dos transistores; (b) Diagrama de Bandas de Energia; (c) Relação do potencial elétrico. Fonte: (SAKURAI; MATSUZAWA; DOUSEKI, 2006) .....	30
Figura 2.7 Visão geral da estrutura dos dispositivo bulk CMOS e FDSOI. Fonte: (STMICROELECTRONICS, 2021).....	31
Figura 2.8 Comparativo entre as diferenças de projeto no FSOI e no bulk CMOS. Fonte: (CLERC; GILIO; CATHELIN, 2020).....	31
Figura 2.9 Controle da tensão de limiar através da porta <i>Body</i> em um transistor FDSOI típico. Fonte: (STMICROELECTRONICS, 2021).....	32
Figura 2.10 Sessão transversal do transistor FDSOI: (a) Poço convencional; (b) Poço invertido. Fonte: (NIKOLIĆ et al., 2014) .....	32
Figura 2.11 Mecanismo de Ionização. (AUTRAN; MUNTEANU, 2017) .....	34
Figura 2.12 Mecanismos de coleção da carga. Fonte:(PAVLOV; SACHDEV, 2008) .....	34
Figura 2.13 Densidade de elétrons no transistor <i>Bulk</i> CMOS. (BARTRA; VLADIMIRESCU; REIS, 2015).....	36
Figura 2.14 Densidade de Elétrons na estrutura do transistor FDSOI (BARTRA; VLADIMIRESCU; REIS, 2015).....	36
Figura 2.15 Comparação do Efeito da partícula entre o transistor <i>Bulk</i> CMOS e FDSOI. (WEIDE-ZAAGE; CHRZANOWSKA-JESKE, 2016) .....	37
Figura 3.1 Diagrama piramidal da hierarquia de memória. Fonte: (STALLINGS, 2017). .....	40
Figura 3.2 Diagrama da estrutura lógica de uma SRAM. Fonte:(ALORDA et al., 2011) .....	42
Figura 3.3 Diagrama elétrico da célula SRAM 6T. Fonte: (PAVLOV; SACHDEV, 2008).....	43

Figura 3.4	Variação dos <i>ratios</i> da célula 6T para a tecnologia de 130 nm <i>Bulk</i> CMOS: (a) PR fixo em 1 e CR variando; (b) CR fixo em 2 e PR variando. Fonte: (PAVLOV; SACHDEV, 2008).....	44
Figura 3.5	Diagrama elétrico da célula SRAM 7T. Fonte: (ALY; BAYOUMI, 2007) .....	45
Figura 3.6	Diagrama elétrico da célula SRAM 10T-ULV. Fonte: (FEKI et al., 2012).....	46
Figura 3.7	Diagrama elétrico da célula SRAM 10T-UWVR. Fonte: (ABOUZEID et al., 2014) .....	47
Figura 3.8	Diagrama elétrico da célula SRAM 8T-SER. Fonte: (SHAH; NAIRN; SACHDEV, 2015) .....	49
Figura 3.9	Diagrama elétrico da célula SRAM DICE clássica. Fonte: (CALIN; NICOLAIDIS; VELAZCO, 1996) .....	50
Figura 3.10	Diferentes abordagens para o circuito de escrita. Fonte: (SINGH; MOHANTY; PRADHAN, 2013).....	51
Figura 3.11	Diferentes abordagens para o circuito de pré-carga. Fonte: (PAVLOV; SACHDEV, 2008).....	52
Figura 3.12	Duas diferentes abordagens para o circuito amplificador de sinal: (a) modelo <i>Current-Mirror</i> e (b) modelo do tipo <i>Latch</i> . Fonte: (SINGH; MOHANTY; PRADHAN, 2013).....	54
Figura 3.13	Exemplos de decodificador de linha. Os sinais A0 e A1 corresponde aos valores de endereçamento, enquanto w1_0, w1_1, w1_2 e w1_3 representam as <i>wordlines</i> . Fonte: (WESTE; HARRIS, 2015) .....	54
Figura 3.14	Circuitos das portas (a) NAND e (b) NOR utilizadas nos decodificadores. Fonte: (WESTE; HARRIS, 2015) .....	55
Figura 3.15	Ilustração da ocorrência da situação de OAM. Fonte: (WESTE; HARRIS, 2015) .....	56
Figura 3.16	Representação gráfica do método das curvas-borboleta.....	58
Figura 4.1	Fluxo de desenvolvimento do trabalho.....	61
Figura 4.2	Diagrama elétrico da célula 8T. Fonte: (KIM; LEE; DO, 2018) .....	63
Figura 4.3	Diagrama elétrico da célula 12T-DICE. Fonte: (CALIN; NICOLAIDIS; VELAZCO, 1996) .....	64
Figura 4.4	Arquitetura e sinais de controle da estrutura de coluna. Fonte: (ALORDA et al., 2011) .....	66
Figura 4.5	Arquitetura simplificada do bloco de células.....	67
Figura 4.6	Obtenção dos tempos de escrita e leitura.....	68
Figura 4.7	Ilustração dos ambientes simulados para o cálculo das SNM.....	70
Figura 4.8	Nodos sensíveis das topologias avaliadas.....	73
Figura 4.9	Configuração de inserção da falha durante as operações de escrita e leitura	74
Figura 5.1	Atraso Crítico das Células.....	76
Figura 5.2	Consumo Energético das Células.....	77
Figura 5.3	Características da corrente durante o ciclo de operação: (a) Visão geral do ciclo de operação. (b) Destaque no período de leitura.....	78
Figura 5.4	Características da corrente durante o ciclo de operação: (a) Visão geral do ciclo de operação. (b) Destaque no período de escrita .....	79
Figura 5.5	Resultados das Margens de Ruído Estático.....	80

Figura 5.6 Comparativo entre as curvas borboleta de RSNM das células 6T/DICE e 8T.....	81
Figura 5.7 Gráfico da carga crítica considerando falhas SEU e o pior caso em cada operação. ....	82
Figura 5.8 Gráfico da carga crítica obtido das falhas SET.....	84

## LISTA DE TABELAS

Tabela 2.1	Histórico de trabalhos relacionados ao desenvolvimento da tecnologia SOI. Fonte: (SAKURAI; MATSUZAWA; DOUSEKI, 2006) .....	24
Tabela 3.1	Comparação entre diferentes tipos de memórias. Fonte: (PATTERSON; HENNESSY, 2016) .....	40
Tabela 3.2	Tabela de comparação entre diferentes topologias apresentadas.....	50
Tabela 4.1	Parâmetros físicos da tecnologia. ....	62
Tabela 5.1	Tempos de atraso e potência dissipada. ....	75
Tabela 5.2	Resultados das Margens de ruído Estático (mV).....	80
Tabela 5.3	Resultados baseados na $Q_{Crit}$ encontrada para as falhas SEU. (fC) .....	81
Tabela 5.4	Resultados baseados na $Q_{Crit}$ encontrada para as falhas SET. (fC).....	84

## SUMÁRIO

<b>1 INTRODUÇÃO</b> .....	<b>15</b>
1.1 Objetivos .....	21
1.2 Estrutura do Trabalho.....	21
<b>2 TECNOLOGIA SOI</b> .....	<b>23</b>
2.1 <i>Background</i> Histórico .....	23
2.2 Dispositivo SOI Moderno .....	28
2.3 Mecanismos de Radiação .....	33
<b>3 MEMÓRIA SRAM</b> .....	<b>39</b>
3.1 Conceitos de Memória .....	39
3.2 A Célula SRAM.....	41
3.3 Diferentes Topologias de Célula SRAM.....	45
3.4 Componentes Auxiliares.....	50
3.4.1 Circuito de Escrita.....	51
3.4.2 Circuito de Pré-Carga .....	52
3.4.3 Circuito Amplificador de Sinal .....	52
3.4.4 Decodificadores de Endereço.....	54
3.5 Situação de Open-Access-Mode.....	56
3.6 Estabilidade da célula SRAM .....	57
3.7 Robustez da SRAM à Radiação.....	58
<b>4 METODOLOGIA</b> .....	<b>61</b>
4.1 Células SRAM Avaliadas.....	62
4.2 Metodologia de Simulação .....	65
4.2.1 Arquitetura Implementada .....	65
4.2.2 Estimativa dos Atrasos e Consumo Energético .....	67
4.2.3 Cálculo das Margens de Ruído Estático .....	69
4.2.4 Análise da Robustez a <i>Soft Errors</i> .....	71
4.2.4.1 Período de inserção das Falhas .....	73
<b>5 RESULTADOS EXPERIMENTAIS</b> .....	<b>75</b>
5.1 Atrasos de Propagação .....	75
5.1.1 Potência Dissipada .....	77
5.1.2 Resultados de Estabilidade .....	79
5.1.3 Resultados de Robustez .....	81
5.1.3.1 Robustez a falhas SEU.....	81
5.1.3.2 Robustez a falhas SET .....	83
5.2 Comparação com Trabalhos Relacionados .....	86
<b>6 CONCLUSÕES</b> .....	<b>87</b>
6.1 Trabalhos Futuros.....	88
<b>REFERÊNCIAS</b> .....	<b>89</b>

## 1 INTRODUÇÃO

Com o passar dos anos, os avanços tecnológicos da indústria de semicondutores permitiram a redução das dimensões dos transistores, o que possibilitou o aumento na densidade dos Circuitos Integrados (*CIs*). Com escalas reduzidas e um maior fator de integração, os sistemas computacionais ficaram menores e muito mais rápidos. Entretanto, diversos desafios de projeto começaram a surgir. O padrão industrial chamado Complementar Metal-Óxido-Semicondutor (*CMOS*) após os 90 nm começou a apresentar problemas no aumento no consumo estático, aumento da variabilidade de processo, aumento dos efeitos de envelhecimento e uma série de efeitos negativos de segunda ordem no dispositivo.

A solução foi utilizar novos materiais, como ligas híbridas de Silício (*Si*) e Germânio (*GeSi*) ou Arsenieto de Gálio (*GaAs*). Também se alterou o Dióxido de Silício (*SiO<sub>2</sub>*) por isolantes que possuem constante dielétrica maior (HUANG; YANG; CHU, 2010). No entanto, a cada novo nodo tecnológico os diferentes desafios de projeto tornavam mais difícil conciliar o crescimento do fator de integração, com as demandas exponenciais do mercado. Nesse período, os efeitos de canal curto se intensificaram e o terminal *Gate* não apresentava mais um bom controle sobre condutibilidade na região do canal do transistor. Os transistores de efeito de campo Metal-Óxido-Semicondutor (*MOSFET*) necessitavam de uma dopagem muito alta para operarem de maneira ideal. Isso se refletia em altas correntes de fuga e em uma degradação da mobilidade dos portadores. Consequentemente, isso afetava diretamente o desempenho do dispositivo (ITRS, 2011).

Para fazer frente a esses problemas, novas técnicas de projeto e fabricação precisaram ser adotadas. A criação de uma camada de silício monocristalino sobre uma camada de óxido isolante, se mostrou um possível caminho. Essa técnica é chamada de *Silicon on Insulator (SOI)*. A Figura 1.1 ilustra um típico *waffer SOI*. O silício necessário para fabricação do dispositivo é crescido sobre o óxido através de um processo de re-cristalização (LIM; FOSSUM, 1983). A espessura do óxido é determinada pelo processo de fabricação do *waffer* e pelo tipo de dispositivo a ser concebido.

Nessa abordagem, se destacaram dois diferentes dispositivos: O Transistor de Efeito de Campo de estrutura vertical (*FinFET*) e o Transistor de Silício Completamente Depletado sob Isolante (*FDSOI*). A Figura 1.2 apresenta um comparativo entre as estruturas do *CMOS* planar, do *FDSOI* e do *FinFET*. O *FinFET* é um dispositivo multi-porta formado por um conjunto de aletas verticais de silício que formam o

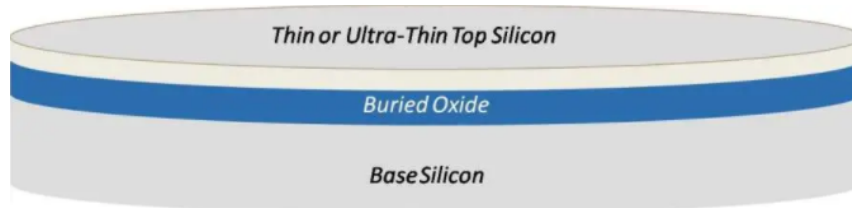


Figura 1.1 – Estrutura de um típico Wafer SOI.  
Fonte:(CAUCHY, 2013)

canal do transistor. O terminal *Gate* rodeia essas aletas, estando separado do canal por uma fina camada de isolante. Ao contrário dos dispositivos *MOSFET* convencionais, o canal do *FinFET* têm baixo nível de dopantes, garantindo melhor mobilidade e, conseqüentemente, um melhor desempenho (COLINGE, 2007; BARTRA, 2016).

O *FDSOI* é um dispositivo formado por uma camada muito fina de silício acima da camada isolante do *waffer*. A espessura dessa camada de silício é denominada  $T_{Si}$ , enquanto que a espessura do isolante é chamada de  $T_{BOX}$ . Tipicamente, em tecnologias ultra finas (*Ultra-thin body and buried-oxide - UTTB*), a espessura dessas camadas são:  $\approx 7$  nm para o  $T_{Si}$  e  $\approx 25$  nm para o  $T_{BOX}$ . Por ter um canal formado por uma camada de silício muito fina, o transistor possui a capacidade de modular de forma dinâmica a tensão de limiar ( $V_{th}$ ). O dispositivo apresenta melhorias em relação ao *Bulk CMOS* e possui um processo de fabricação mais barato que o *FinFET* (BARTRA, 2016).

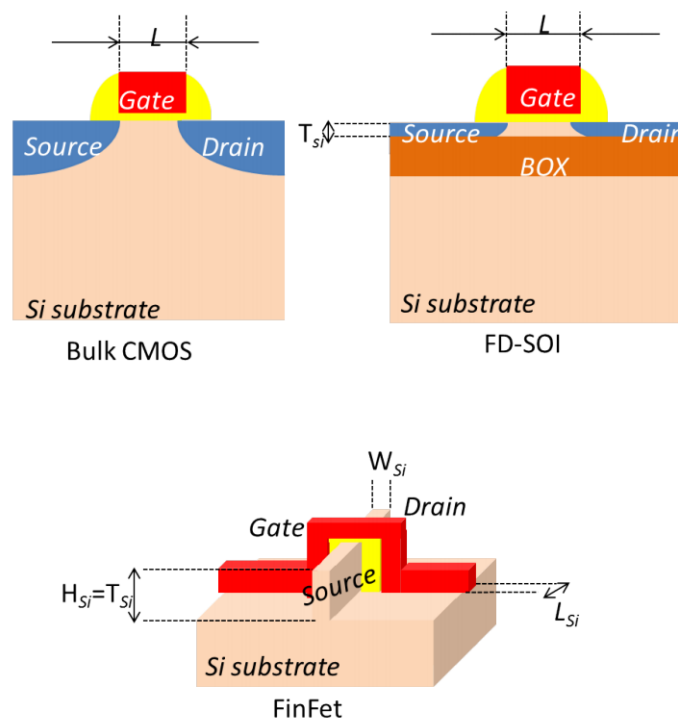


Figura 1.2 – Aspectos estruturais dos transistores bulk CMOS, FDSOI e FinFET.  
Fonte:(AGAL; KRISHAN et al., 2014)



A medida que as tecnologias nanométricas progrediram, a sensibilidade dos *CI*s aumentou ainda mais. A alta frequência de operação e a redução da tensão de alimentação, ocasionaram um aumento da suscetibilidade dos circuitos em apresentar falhas decorrentes das interações com o meio. Essas interações ocorrem através de variações em fatores como: temperatura, umidade, vibração e principalmente qualquer tipo de radiação. Essa radiação pode ter origem de duas formas: (1) Eventos naturais, relacionado a partículas derivadas do espaço ou de materiais radioativos. (2), Eventos artificial, relacionados à emissão eletromagnética originada de um equipamento eletrônico (SAKURAI; MATSUZAWA; DOUSEKI, 2006; AUTRAN; MUNTEANU, 2017).

Dentro dos *CI*s, a Memória Estática de Acesso Aleatório (*SRAM*) é um componente crucial, que ocupa boa parte da área total do *die* em um *System-on-Chip* (*SoC*), chegando próximo dos 90% (SHAH; NAIRN; SACHDEV, 2015; ROSSI et al., 2016). A alta velocidade de acesso, a boa estabilidade durante as operações e a compatibilidade com operações de baixa tensão justificam o domínio da *SRAM* em aplicações, tanto de alto desempenho, como de baixo consumo energético. Essas características que quando somadas a atual realidade das aplicações móveis, da Internet das Coisas (*IoT*), dos veículos autômatos e da biomedicina, enfatizam a importância desse componente. Por outro lado, a *SRAM* também é um dos circuitos mais sensíveis a falhas. Essas memórias são geralmente implementadas nos limites do nodo tecnológico, e as limitações na tensão de alimentação e na robustez da *SRAM* afetam toda a arquitetura do chip. Por esses motivos, os parâmetros de projeto desse componente devem ser otimizados ao máximo (RAJENDRAN et al., 2011).

Atualmente, dado o fato da estrutura *Bulk CMOS* clássica ter chegado ao seu limite de escalonamento próximo aos 32 nm, outras abordagens de transistores vem assumindo seu posto como dispositivo padrão. O dimensionamento dos transistores está na ordem dos 2 nm a 7 nm (BOHR; YOUNG, 2017) e mais do que nunca existem desafios relacionados ao projeto da *SRAM*.

Nos dias de hoje, o rendimento dos sistemas computacionais está diretamente relacionado ao desempenho da *SRAM*. As células tem grande impacto na área ocupada, na densidade do chip, no consumo energético, nos atrasos de comunicação e na estabilidade do sistema. Por esse motivo, explorar o comportamento da *SRAM* em relação aos desafios que acompanham o progresso da indústria de semicondutores é de extrema importância (PAVLOV; SACHDEV, 2008; SINGH; MOHANTY; PRADHAN, 2013; ROSSI et al., 2016; KOBAYASHI et al., 2019).

Desses fatores, as falhas derivadas dos efeitos da radiação tem ganhado cada vez mais importância no projeto de circuitos integrados. Em (DODD et al., 2002) já se alertava sobre o aumento da suscetibilidade para as próximas gerações de *SRAM*, principalmente, a falhas originadas por nêutrons atmosféricos. Nos experimentos conduzidos por (GRANLUND; GRANBOM; OLSSON, 2003) no *Weapons Neutron Research* em Los Alamos, foi demonstrado um aumento no *Soft Error Rate (SER)*, ou seja, a taxa de ocorrência de falhas temporárias derivadas da radiação. Nesse estudo ficou claro que se o processo tecnológico continuasse a agressiva miniaturização, a taxa SER de 0,1 chegaria rapidamente a 1 (Uma falha por hora) em uma altitude média de 12 Km.

Desde de então, a atenuação das falhas de radiação começou a ganhar destaque como requisito de projeto nos *CI*s, principalmente em memórias *SRAM*. Em (NICOLAIDIS, 2005) foram apresentados mecanismos de mitigação para os efeitos da radiação em diferentes esferas do projeto de uma *SRAM*, desde *Error Detecting Codes (EDC)* e *Error Correcting Codes (ECC)*, até topologias de célula robusta e circuitos auxiliares de checagem. Porém, uma das principais dificuldades sempre foi realizar a testagem experimental dos circuitos.

Como alternativa a testagem experimental, foram utilizados modelos tecnológicos e simulações elétricas para prever o comportamento dos dispositivos com um menor custo financeiro e com maior rapidez. Em contra partida, essas abordagem assume um certo grau de imprecisão nos resultados. Em (NASEER et al., 2007), foi investigado os valores de carga crítica necessários para perturbar uma célula *SRAM*. O trabalho apresentou uma comparação entre as simulações de modelagem em 3 dimensões, modelo de dupla exponencial (MESSENGER, 1982), modelo de (ROCHE et al., 1999), modelo de (FREEMAN, 1996) e o modelo de difusão (MERELLE et al., 2005). Os resultados mostraram que para todos os modelos avaliados, o de dupla exponencial foi o único que obteve previsões equivalentes as simulações 3D para perfis de *Linear Energy Transfer (LET)* inferiores a 1 MeV.cm<sup>2</sup>/mg. Em (ALORDA et al., 2011) foram realizadas simulações que destacam a importância de avaliar a ocorrência das falhas durante as diferentes situações de operação das células. Os resultados mostraram os impactos positivos de topologias de célula *SRAM* que implementam mecanismos de isolamento entre as operações.

Em (MALHERBE et al., 2015) foi realizado um estudo sobre *SER* em células *SRAM* comerciais na tecnologia *FDSOI* de 28 nm. As células foram submetidas a eventos de radiação que simulam a interação com partículas Alfa. O mecanismo de transporte de carga foi explorado através de simulações *TCAD (Technology Computer-Aided*

*Design*), enquanto os parâmetros de deposição da carga ocorreram através de simulações de Monte-Carlo. Os resultados demonstram que na tecnologia *FDSOI* de 28 nm, as células obtiveram um alto nível de robustez para esse tipo de partícula. Em (BARTRA, 2016) foram avaliadas simulações em *TCAD* e em *SPICE (Simulation Program with Integrated Circuit Emphasis)* para observar as características das falhas transientes relacionadas ao impacto de íons pesados à nível do dispositivo e do circuito. As simulações utilizaram os modelos tecnológicos *Bulk CMOS 32 nm*, *FDSOI 28 nm* e *FDSOI High-K 28 nm*. Os resultados das simulações 3D foram comparados com diferentes modelos analítico. O modelo da dupla exponencial apresentou um resultado próximo aos obtidos pelas simulações em 3D. Em (CORREAS et al., 2018) foram investigados os mecanismos de coleção de carga no dispositivo *FDSOI* de 28 nm. Através de simulações *TCAD*, foi analisada os efeitos da corrente parasita gerada pela interação da partícula carregada enquanto percorre o material. Os resultados apresentam uma descrição dos componentes que constitui essa corrente considerando a colisão em diferentes pontos do transistor. O trabalho descreve um modelo quantitativo testado em uma estrutura de *SRAM*. Em (XU et al., 2019) foi explorado os impactos do *voltage scaling* e das variação na temperatura de operação na robustez do transistor *FDSOI* 28 nm. Foram realizadas simulações com modelos 3D, que mostraram que operando com tensão de alimentação de 1 V, a temperatura não exerce efeitos sobre a robustez a radiação do dispositivo. Porém abaixo de 0,6 V a temperatura exerce efeitos negativos na sensibilidade do transistor. Em (COPETTI et al., 2020) foi realizada uma modelagem *TCAD* de uma célula *SRAM* baseada em *FinFET* 14 nm. Essa célula foi submetido aos efeitos da ionização da partícula. Através de simulações *TCAD*, foram obtidos os parâmetros do pulso de corrente relacionado aos efeitos da partícula. Esses parâmetros foram utilizadas na execução das simulações *SPICE*.

No passado, falhas derivadas dos efeitos de radiação eram observadas apenas em ambientes espaciais ou hostis a radiação, entretanto com a redução agressiva do nodo tecnológico, mesmo as aplicações de nível terrestre se mostraram propensas a sofrerem desvios de comportamento. Por esse motivo, uma das principais tendências é considerar as falhas de radiação como um parâmetro de projeto independente do meio em que o circuito irá operar (AUTRAN; MUNTEANU, 2017). Em (HUBERT; ARTOLA; REGIS, 2015) foi investigo o impacto da radiação de nível terrestre na sensibilidade à falhas transientes (*Soft Errors - SE*) sob a perspectiva das tecnologias *bulk CMOS*, *FinFET* e *FDSOI*. Os resultados das análises mostram que para a altitude aviônica, os neutrões

são a principal fonte para o SER total, enquanto que os impactos do múon e as partículas  $\alpha$  são negligenciáveis. Para a altitude do solo, as partículas  $\alpha$  são a principal contribuição para o nodo de 28 nm. Além disso, os resultados sugerem que a perturbação induzida por múons tem um impacto significativo para tecnologias abaixo dos 22 nm, podendo ser considerada a principal fonte de SER. Em (MANABE et al., 2019) foi avaliado o SER induzida por múons negativos e positivos, considerando o comportamento de uma *SRAM FDSOI* de 65 nm. Os resultados estimaram a taxa de falhas causada por múons ao nível do solo. Essa taxa estimada foi comparada com uma média da ocorrência de falhas por nêutrons. Considerando a altitude relativa do primeiro andar de um prédio, a contribuição dos múons foi considerada de no máximo 10% da taxa de falhas causadas por nêutrons. Em (KOBAYASHI et al., 2019) além do *SER*, é avaliado o impacto da variabilidade de processo na sensibilidade das células SRAM.

Nesse contexto, em trabalhos anteriores, diferentes características de robustez da *SRAM* foram avaliadas individualmente. Em (ALMEIDA et al., 2018) é apresentado um panorama do impacto do escalonamento tecnológico sub 45nm na célula 6T, explorando seu comportamento sob questões de variabilidade, envelhecimento e efeitos de radiação. Em (MARQUES; MEINHARDT; BUTZEN, 2020) se enfatizou a importância de avaliar a ocorrência das falhas de radiação em toda a arquitetura da *SRAM*, observando o comportamento das células durante as três operações: *Hold*, leitura e escrita. Em (HANG et al., 2021) foi explorado os efeitos do *voltage scaling* na robustez da célula *SRAM DICE*, uma abordagem de célula tolerante aos efeitos da radiação. Os resultados mostram que a redução na tensão de operação tem impacto na robustez da célula e que mesmo sendo uma topologia robustas, a célula *DICE* apresenta uma janela de sensibilidade durante a operação de leitura. Em (MARQUES; MEINHARDT; BUTZEN, 2021) foi destacado a importância de se observar a situação de *Half-Selected*, também denominada de *Open-Access Mode (OAM)*, quando avaliamos a sensibilidade das células aos efeitos de radiação. A situação de *OAM* ocorre durante o período de execução das operações de escrita e leitura. Nesse momento, todas as células que compartilham a mesma linha da matriz de memória e não são alvo das operações, ficam conectadas às suas respectivas *bitlines*. Condição essa, que sensibiliza a estabilidade interna das células.

## 1.1 Objetivos

Este trabalho tem como objetivo principal avaliar os aspectos de robustez relacionados aos efeitos das falhas de radiação em topologias de células *SRAM*. São consideradas falhas do tipo *Single Event Upset (SEU)* e *Single Event Transient (SET)*, durante as situações de *Hold*, leitura, escrita e *OAM*, em três topologias de célula *SRAM* na tecnologia *FDSOI* de 28 nm.

Assim, este trabalho explora as sensibilidades da *SRAM* aos efeitos de radiação, alertando para os impactos relacionado a relevância desses aspectos como um parâmetro de projeto. As análises buscam destacar as vantagens e desvantagens em utilizar determinada topologia diante dos requisitos específicos do projeto. Desta forma, destaca-se como objetivos secundários deste trabalho:

- Detalhar o projeto, descrição e validação de uma arquitetura *SRAM* à nível elétrico.
- Avaliar:
  - O desempenho das células através da obtenção dos tempos de atraso.
  - O consumo energético, baseado na potência dissipada pelo ciclo de operação.
  - A estabilidade, através da cálculo das margens de ruído estáticos.
- Comparar a robustez das diferentes células, apontando as melhores alternativas relacionadas as condições de operação de cada aplicação.

## 1.2 Estrutura do Trabalho

Essa dissertação está organizada da seguinte forma. O Capítulo 2 apresenta um referencial histórico relacionado aos dispositivos *SOI*, onde discute-se a evolução do processo de fabricação, os desafios que surgiram com a redução do nodo tecnológico, além de questões de operação dos dispositivos e seu comportamento quanto as falhas de radiação. O Capítulo 3 contém as principais características relacionados ao projeto de uma *SRAM*. Nele serão apresentados os conceitos que definem o funcionamento da memória, as opções de circuitos a serem utilizados, o comportamento durante a execução das operações e a definição de alguns aspectos de robustez e estabilidade. O Capítulo 4 descreve todo o fluxo de trabalho realizado, apresentando os componentes avaliados e a metodologia de simulação utilizada. No Capítulo 5 os resultados dos experimentos serão

apresentados e discutidos. O Capítulo 6 apresenta as discussões finais, as conclusões do trabalho e as possíveis escolhas para a continuidade da pesquisa em trabalhos futuros.

## 2 TECNOLOGIA SOI

Neste Capítulo serão apresentados os principais conceitos relacionados aos dispositivos *SOI*. Iniciaremos com um contexto histórico, destacando algumas das principais contribuições que ocorreram no início do desenvolvimento da tecnologia. Em seguida, discutiremos as características de desempenho do transistor *FDSOI* em relação ao seu antecessor *PDSOI* e ao *Bulk CMOS* clássico. Por fim, serão abordados conceitos relacionados aos mecanismos de radiação no transistor *FDSOI*.

### 2.1 Background Histórico

A ideia de construir um *MOSFET* sobre uma camada isolante tem sua concepção datada do início dos anos 60. A primeira implementação ocorreu através do *Thin-Film Transistor (TFT)* (WEIMER, 1962). Quando apresentado na *Device Research Conference* em 1961, o dispositivo atraiu muita atenção. Um protótipo de *Field Effect Transistor (FET)* com um mecanismo de *insulated-gate*, muito similar aos agora conhecidos *MOSFETs*. Esse dispositivo era integrado através de uma fina camada de material depositada sobre um substrato de vidro. O processo de fabricação era executado de maneira automatizada, isso em uma época onde os circuitos em silício ainda davam seus primeiros passos. Mesmo muito promissores, os *TFTs* foram logo sub-julgados pelo silício monocristalino. Entretanto, para aplicações específicas ainda existiam vantagens no uso dos *TFTs* e isso possibilitou a continuidade do seu desenvolvimento.

Nos anos seguintes, surgiu um novo processo, a estrutura *Silicon-on-Sapphire (SOS)* (MAEGUCHI et al., 1978). O dispositivo *SOS* era obtido através do crescimento de silício monocristalino sobre um substrato de safira monocristalina ( $Al_2O_3$ ). Os transistores *SOS* demonstraram um alto desempenho em velocidade quando comparados com as outras opções da época. Esse ganho estava relacionado a baixa capacitância que esse dispositivo apresentava. Os dispositivos *SOS* prosperaram e foram amplamente utilizados até meados dos anos 90. Porém, com o avanço no escalonamento do processo de fabricação, diversos desafios começaram a surgir. As altas correntes de fuga geradas na interface safira/silício, o alumínio contido no substrato que migrava para a camada de silício, as diferenças nos coeficientes térmicos safira/silício que prejudicavam a mobilidade dos portadores e efeitos de *floating-body*, inviabilizaram a continuidade do processo *SOS*. Assim, o processo *bulk-Si* foi adotado como solução (SAKURAI; MATSUZAWA;

DOUSEKI, 2006). A Tabela 2.1 apresenta algumas das principais contribuições no desenvolvimento da tecnologia *SOI* que conhecemos hoje.

Tabela 2.1 – Histórico de trabalhos relacionados ao desenvolvimento da tecnologia *SOI*.

Fonte: (SAKURAI; MATSUZAWA; DOUSEKI, 2006)

Autor/Ano	Contribuição
(IZUMI; DOKEN; ARIYOSHI, 1978)	Processo de fabricação SIMOX
(KATO; WADA; TANIGUCHI, 1985)	Análise de <i>Kink Effect</i>
(COLINGE, 1986)	<i>Fully-Depleted</i> SOI MOSFET
(NISHIMURA et al., 1987)	Projetos de CIs 3D em SOI
(YOSHIMI et al., 1990)	Operação em baixa tensão (<2 V)
(MUMOLA et al., 1992)	Processo PACE
(YONEHARA; SAKAGUCHI; SATO, 1994)	Processo de fabricação ELTRAN
(NAKASHIMA et al., 1994)	Tecnologia ITOX
(BRUEL, 1995)	Processo UNIBOND

O uso dos dispositivos *SOI* no âmbito dos circuitos integrados somente se tornou viável a partir do desenvolvimento da técnica *Separation by Implanted Oxygen (SIMOX)* (IZUMI; DOKEN; ARIYOSHI, 1978). Antes dessa tecnologia, os íons de oxigênio eram implantados no silício através de um processo que envolvia uma descarga elétrica por um meio gasoso, e que precisava considerar aspectos como: o pico de absorção, a tensão de ruptura e a constante dielétrica da camada fina. O processo *SIMOX* apresentou uma nova abordagem onde a implantação de oxigênio no silício ocorre pela aplicação de uma energia de 150 keV, considerando uma dose de  $1,2 \times 10^{18} \text{ cm}^{-2}$  e seguido de um recozimento a uma temperatura de 1150°C (SAKURAI; MATSUZAWA; DOUSEKI, 2006). Dessa forma, se produzia uma fina camada de óxido de silício ( $\text{SiO}_2$ ) enterrado no substrato, alcançando excelentes características elétricas. A Figura 2.1 ilustra algumas características do processo *SIMOX*.

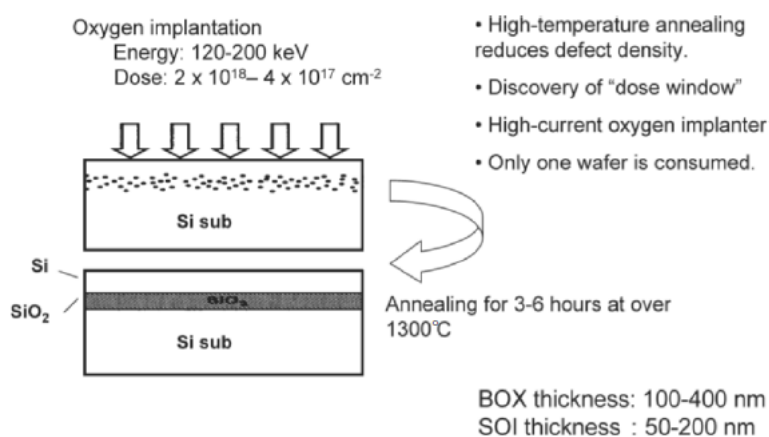


Figura 2.1 – Mecanismos do processo *SIMOX*.

Fonte: (IZUMI; DOKEN; ARIYOSHI, 1978)



No decorrer dos anos 80, ocorreu uma intensa pesquisa relacionada a técnica de re-cristalização através de irradiação por laser ou feixe de elétrons. Esse tema foi muito abordado em projetos direcionados a construção de estruturas 3D, como o projeto realizado pelo instituto Japonês de Pesquisa e Desenvolvimento em circuitos integrados em 1987 (NISHIMURA et al., 1987). Nesse projeto foram conduzidos experimentos relacionados a fabricação e avaliação de *CI*s 3D em um substrato *SOI*. Os estudos apresentaram vários fenômenos que causavam efeitos indesejados no comportamento dos dispositivos, em particular, problemas relacionados aos efeitos de *floating-body*.

Até esse momento, a maioria dos dispositivos *SOI* eram parcialmente depletados (*PDSOI*). Nesses transistores, a zona de depleção que é formada na geração do canal não ocupa toda a espessura do silício que fica sob o isolante. Dessa forma, uma região abaixo do canal fica quase neutra, e pode gerar um efeito de dependência do potencial no corpo do transistor, sendo esse o efeito chamado de *floating-body* (KATO; WADA; TANIGUCHI, 1985). Quando essa região é muito larga, a capacitância entre o canal e o substrato acumula carga e produz efeitos indesejados. Um dos mais comuns é a geração de transistores parasitas que ocasionam altas correntes de fuga quando o transistores está desligado. Outro efeito que pode ocorrer é o chamado *Kink Effect*, que faz a transcondutância do dispositivo apresente picos, além de alterar as características da curva  $I_d$  vs  $V_d$  do transistor (SILIGARIS et al., 2005). A Figura 2.2 ilustra esses efeitos negativos na curva  $I_d$  vs  $V_d$  e os picos na transcondutância relacionados ao *Kink Effect*.

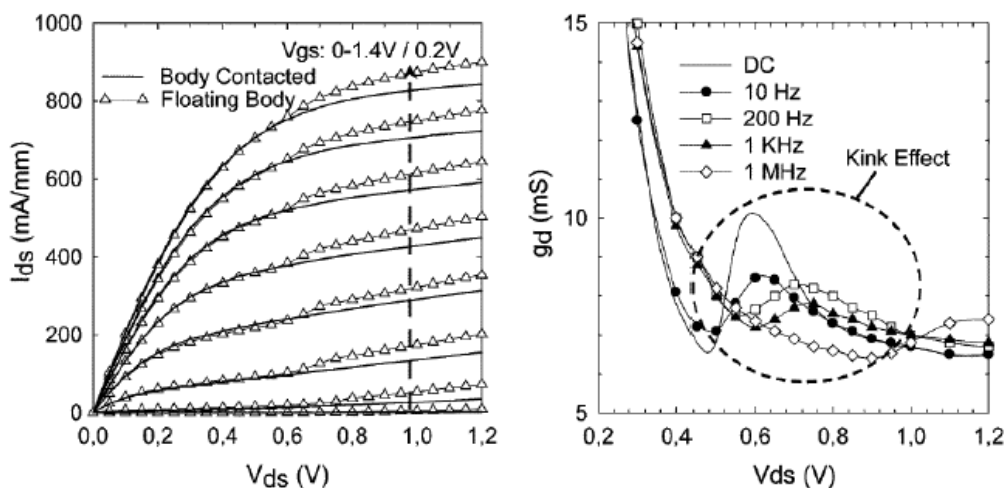


Figura 2.2 – Gráfico das variações causadas pelo *Kink Effect*.

Fonte: (SILIGARIS et al., 2005)

Buscando soluções para os problemas do *PDSOI*, em meados dos anos 80, as atenções se voltaram para o transistor completamente depletado (*FDSOI*) (COLINGE, 1986). Os transistores *FDSOI* apresentam inúmeras vantagens em relação aos transisto-

res *PDSOI*. Os efeitos de *floating-body* são muito menores ou totalmente inexistentes no *FDSOI*. Isso implica em uma grande melhora nas características elétricas na região do canal, diminuindo também os problemas de canal curto. O grande problema dos primeiros dispositivos *FDSOI* foi a sua baixa tensão de *Drain Breakdown*, com valores de 2 V a 3 V de tensão. Considerando que na época era comum os circuitos integrados operarem à uma tensão de alimentação de 5 V, isso inviabiliza totalmente o uso dos transistores *FDSOI* para a maioria das aplicações (YOSHIMI et al., 1989).

Com a chegada dos anos 90, a preocupação com o crescente aumento na dissipação de potência se tornou o foco das pesquisas relacionadas ao circuitos integrados. Esse foi o momento em que ocorreu a transição lógica NMOS para a lógica CMOS, que se mantém como padrão até hoje. Essa mudança permitiu a redução da tensão de alimentação, que é a chave para diminuir o consumo de energia. Naquele momento a tensão padrão começou a cair de 5 V para menos de 2 V. A baixa tensão de ruptura dos *MOSFETs SOI* já não era mais um problema, assim viabilizando seu uso de maneira geral. Mesmo assim, a tecnologia de produção não estava bem desenvolvida, a construção do *waffer SOI* ainda era imatura para a produção em larga escala e a qualidade do processo precisava ser evoluída, assim como toda a infraestrutura de projeto (YOSHIMI et al., 1990).

Em 1992, a gravura química assistida por plasma (*PACE*) foi desenvolvida por (MUMOLA et al., 1992). Com esse processo, foi possível reduzir a variação na espessura da camada *Si* sob o isolante, ajustando a velocidade de varredura do electrodo de plasma. A Figura 2.3 ilustra as etapas do processo *PACE*. A tecnologia *PACE* é uma extensão das técnicas utilizada para polir os espelhos do telescópio espacial Hubble. O sucesso desse processo abriu caminho para a produção em massa de *waffers SOI* de filme fino.

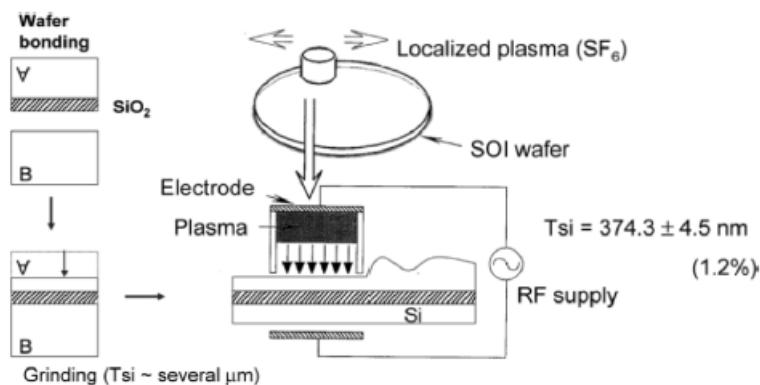


Figura 2.3 – Etapas do processo PACE.

Fonte: (MUMOLA et al., 1992)

Em 1994, (YONEHARA; SAKAGUCHI; SATO, 1994) desenvolveu o método de transferência de camadas epitaxiais (*ELTRAN*). A principal vantagem desse processo é a redução no desperdício de matéria prima, em comparação com seus antecessores. Além disso, o processo possibilitou a obtenção de um cristal de alta qualidade. A Figura 2.4 apresenta as principais características da tecnologia. O processo ocorre a partir de duas bases de Silício preparadas com um camada de Silício poroso, uma camada de Silício epitaxialmente crescido e uma camada *BOX* de  $SiO_2$ . Sobrepondo as duas bases, um bloco único é obtido. Utilizando um jato de água direcionado a camada porosa, é realizada a separação do material excedente. Como a camada *SOI* ativa é feita de um filme epitaxial, ela é livre de defeitos na interface, pois sua estrutura é similar aos materiais cristalinos. Na etapa final, ocorre a planificação da interface de corte e o material retirado pode ser reutilizado em um novo ciclo processo.

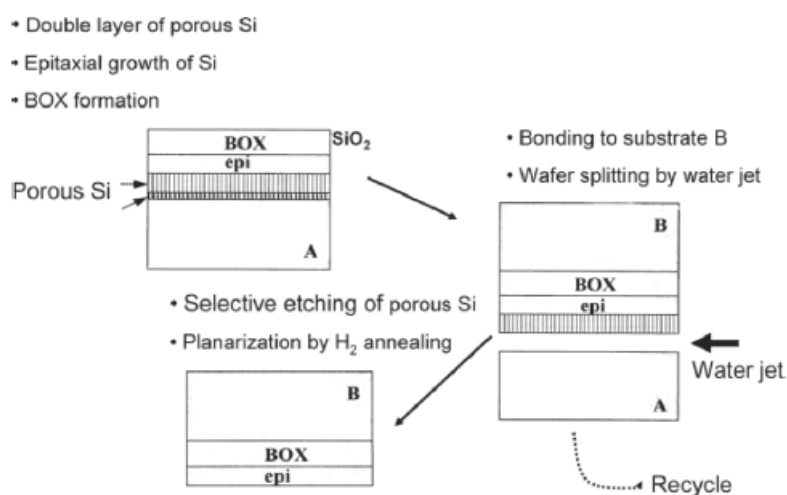


Figura 2.4 – Etapas do processo ELTRAN.

Fonte:(YONEHARA; SAKAGUCHI; SATO, 1994)

Paralelo ao processo *ELTRAN*, ainda em 1994, algumas melhorias nas etapas do processo *SIMOX* foram estudadas e apresentadas por (NAKASHIMA et al., 1994). Os resultados mostraram ganhos no fator de rendimento, melhorias nas propriedades de deslocamento dos materiais e uma interface *BOX/SOI* muito mais suave. Essas alterações deram origem a um novo processo, a tecnologia de oxidação térmica interna (*ITOX*). Esse processo se baseia na "janela de dosagem", descrita em (NAKASHIMA; IZUMI, 1990). Entretanto, mesmo com todos os avanços tecnológicos, a combinação das camadas de *waffer* não conseguiam produzir uma película de Si uniforme sob o *BOX* com espessura inferior aos 100 nm. Ao mesmo tempo, a demanda por *waffers SOI* de alta qualidade estava aumentando.

Em 1995, (BRUEL, 1995) relatou um novo substrato denominado de *UNIBOND*. Esse substrato é obtido a partir de um processo chamado de corte inteligente (*Smart Cut*). Nesse processo, a implantação que antes era baseada em moléculas de oxigênio, agora era realizada com moléculas de hidrogênio. A temperatura de processo foi reduzida e a planificação da superfície foi melhorada. A Figura 2.5 apresenta as etapas desse processo.

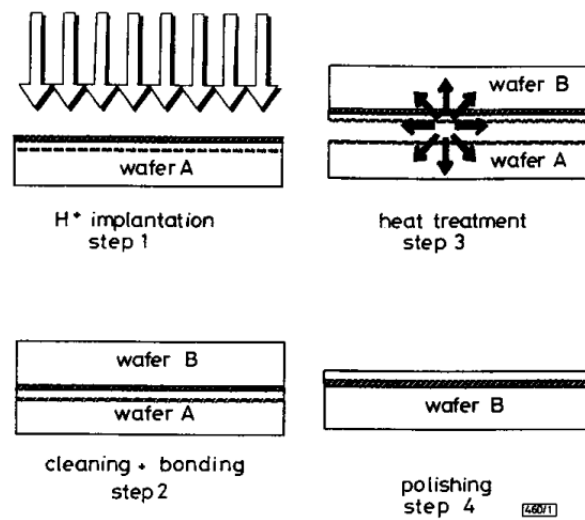


Figura 2.5 – Etapas do processo UNIBOND.

Fonte: (BRUEL, 1995)

Desse momento em diante, vários dispositivos começaram a ser fabricados e testados. Estes testes revelaram tanto as vantagens da tecnologia *SOI* como também os problemas que ainda precisavam ser resolvidos. Ao mesmo tempo, a modelagem de circuitos e a tecnologia de simulação também fizeram progresso, o que permitiu aos engenheiros utilizar modelos disponíveis comercialmente em ferramentas de projeto (SAKURAI; MATSUZAWA; DOUSEKI, 2006).

## 2.2 Dispositivo SOI Moderno

Os dispositivos planares *bulk CMOS* alcançaram seus limites físicos próximos dos 32 nm. As técnicas utilizadas para controlar os problemas de variabilidade de processo e os efeitos de canal curto não poderiam acompanhar a redução do processo de integração. Para solucionar esse problema, outras alternativas de processo e tecnologia precisaram ser desenvolvidas.

Considerando a abordagem *SOI*, o primeiro dispositivo planar criado nesse tipo de substrato foi o *PDSOI*. Entretanto, esse dispositivo apresentou uma série de desafios conforme se avançou no *scaling* tecnológico. Nos anos subsequentes, o transistor *FDSOI* apresentou um grande número de vantagens em relação ao *PDSOI*, se tornando a abordagem mais promissora para as aplicações de alto desempenho e larga escala de integração. A grande diferença entre o transistor *FDSOI* e o transistor *PDSOI* está localizada na região de depleção. A Figura 2.6 (a) apresenta a sessão transversal desses dois dispositivos. No dispositivo *PDSOI* a região de depleção gerada na formação do canal não cobre toda a espessura do *Si*. Na região abaixo do terminal *Gate*, próxima a interface com a camada *BOX*, é gerada uma zona neutra. Essa zona causa os efeitos de *floating-body*, conforme foi detalhado na sessão anterior deste capítulo.

Uma outra maneira de observar as diferenças entre esses dois dispositivos, é através do diagrama de bandas de energia. A Figura 2.6 (b) ilustra esse diagrama, destacando a componente da energia de Fermi  $E_F$ . A barreira potencial para o transporte de lacunas *Body*->*Source* é menor no *FDSOI*, reduzindo drasticamente o acúmulo no *Si* e mitigando os efeitos de corpo flutuante. No *FDSOI*, como o camada de *Si* sob a *BOX* é muito fina, não existe a necessidade de inserção de dopantes no material. Isso possibilita a utilização das propriedades intrínsecas do *Si* não dopado, com destaque para a alta mobilidade de elétrons. A Figura 2.6 (c) ilustra a relação do potencial elétrico entre os dois dispositivos. Uma vez que o potencial do terminal *Gate* proporciona um bom controle do potencial do canal, o efeito de *subthreshold slop* é menos acentuado no *FDSOI*, permitindo a operação em baixa tensão (SAKURAI; MATSUZAWA; DOUSEKI, 2006).

Dessa forma, nos dias de hoje, é de senso comum que a opção mais relevante são os dispositivos totalmente depletados (CLERC; GILIO; CATHELIN, 2020). Além do transistor *Fully Depleted Silicon on Insulator (FDSOI)*, existem outras opções em diferentes tecnologia, como por exemplo o *FinFET*. Tanto o *FinFET* quanto o *FDSOI* possuem muitas semelhanças do ponto de vista físico-teórico, mas se diferem totalmente quanto ao processo de fabricação. O *FDSOI* é implementado através de um processo totalmente planar, enquanto o *FinFET* é baseado em estruturas 3D. Em comparação com o *FinFET*, o *FDSOI* possui um processo de fabricação mais barato, que é compatível com grande parte das técnicas aperfeiçoadas durante os 30 anos de evolução do processo *CMOS*, como a aplicação de isolantes *High-K* e portas poliméricas (BARTRA; VLADIMIRESCU; REIS, 2016; CLERC; GILIO; CATHELIN, 2020).

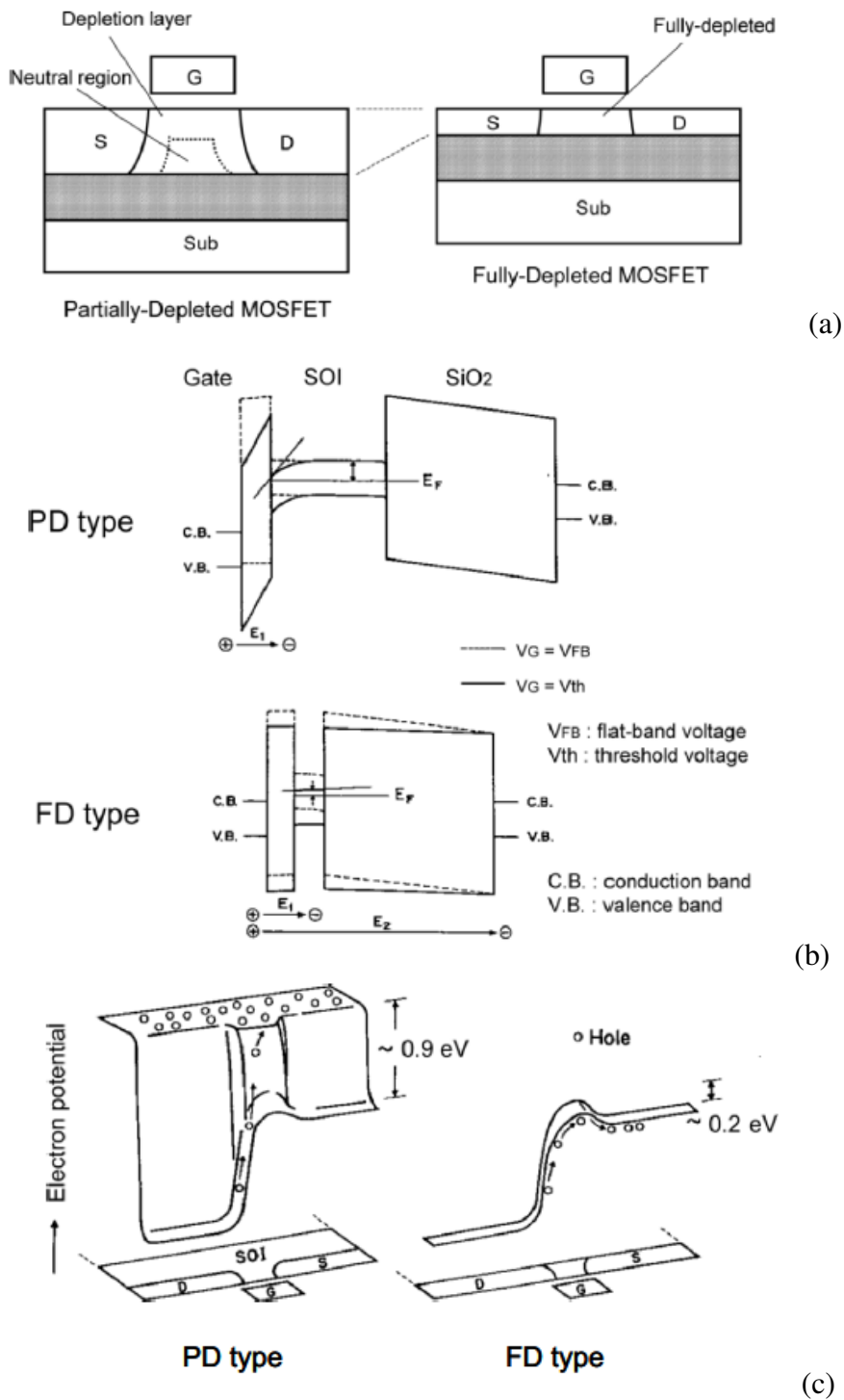


Figura 2.6 – Comparativo entre o dispositivo PDSOI e FDSOI: (a) Sessão transversal dos transistores; (b) Diagrama de Bandas de Energia; (c) Relação do potencial elétrico.

Fonte: (SAKURAI; MATSUZAWA; DOUSEKI, 2006)

Mesmo o *FDSOI* podendo ser fabricado com basicamente as mesmas mascaras utilizadas no processo *Bulk CMOS*, existem grandes diferenças no comportamento elétrico dos dispositivos. A Figura 2.7 apresenta um comparativo entre a estrutura do transistor *bulk CMOS*, em relação ao transistor *FDSOI*.



Figura 2.7 – Visão geral da estrutura dos dispositivos bulk CMOS e FD-SOI.

Fonte: (STMICROELECTRONICS, 2021)

Derivado da sua estrutura, o *FDSOI* tem um melhor controle eletrostático, atingindo altas velocidades de chaveamento, mesmo com uma tensão de alimentação reduzida. O dispositivo apresenta um considerável redução na variabilidade de processo e nos *Random Dopant Fluctuations*, visto que apresenta pouca ou nenhuma dopagem no canal. Essa característica acaba minimizando as variações na tensão de limiar do dispositivo (VITALE et al., 2010). O *FDSOI* combinado com materiais *High-K* apresenta uma inclinação de sub-limiar muito menor que os transistores *Bulk CMOS*. Isso impacta em uma redução no consumo estático do dispositivo, já que a corrente de desligamento ( $I_{Off}$ ) é dezenas de pico amperes menor que no transistor *bulk CMOS* (FENOUILLET-BERANGER et al., 2011a). O dispositivo *FDSOI* apresenta um controle dinâmico da tensão de limiar, podendo modular  $V_{th}$  em função da quantidade e do tipo de dopagem aplicada no plano traseiro (*Back Plane*). Por fim, o transistor *FDSOI* apresenta uma melhor mobilidade dos portadores no canal, sua fina espessura de silício  $T_{Si}$  permite que a geração do canal conecte completamente toda a região ativa. A Figura 2.8 ilustra essa diferença na estrutura do canal entre o transistor *FDSOI* e o transistor *Bulk CMOS*.

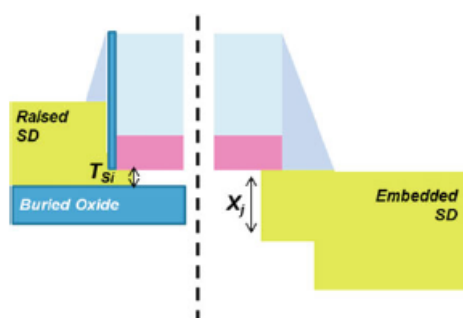


Figura 2.8 – Comparativo entre as diferenças de projeto no FDSOI e no bulk CMOS.

Fonte: (CLERC; GILIO; CATHELIN, 2020)

Um dos maiores diferenciais do *FDSOI* é a existência de 4 terminais efetivos: *Source*, *Drain*, *Gate* e *Body*. Através desse último terminal o volume de portadores abaixo do canal de condução pode ser controlado. Dessa forma, variando a tensão de pola-

rização, é possível variar a tensão de *threshold* do transistor. Essa funcionalidade não podia ser aplicada nos dispositivos *Bulk CMOS* convencionais devido as altas capacidades de *drain-to-substrate*, que são muito baixas no transistor FDSOI (FENOUILLET-BERANGER et al., 2011b). A Figura 2.9 demonstra os 4 terminais e como ocorre o controle da variação na tensão de limiar.

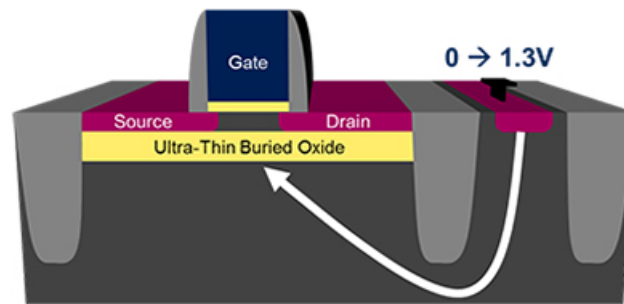


Figura 2.9 – Controle da tensão de limiar através da porta *Body* em um transistor FDSOI típico.  
Fonte: (STMICROELECTRONICS, 2021)

Além disso, o processo *FDSOI* atual possibilita a concepção de transistores com substrato de poço invertido (*Flipped-Well*), permitindo que transistores do tipo *N* e do tipo *P* sejam fabricados no mesmo poço. Essa vantagem permite uma grande redução na área ocupada, visto que não são necessárias as distâncias entre poços existentes nas regras de leiaute da tecnologias. A Figura 2.10 apresenta a sessão transversal dos transistores de poço direto e invertido. A escolha do poço afeta algumas características elétricas do dispositivo, que podem ser utilizadas para melhorar o desempenho em aplicações específica. Utilizando um poço invertido, se reduz a tensão de limiar, modelando um transistor *Low - V<sub>Th</sub>* (*LVT*) ideal para aplicações de alto desempenho. Já aplicando um poço convencional, o perfil de transistor é *High - V<sub>Th</sub>* (*HVT*) focado no controle das correntes de fuga (NIKOLIĆ et al., 2014). Os transistores de poço invertido tem por definição seu *Back Plane* polarizado em *ground*.

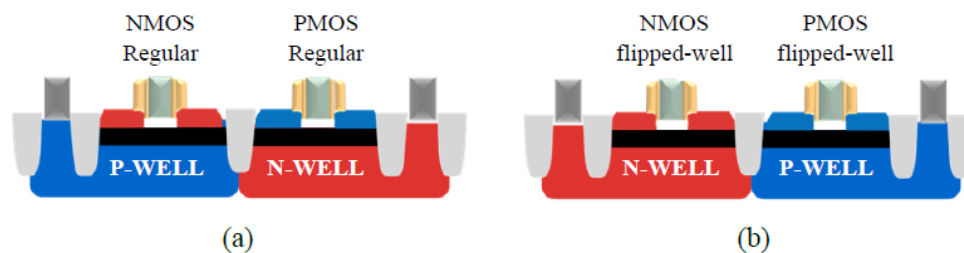


Figura 2.10 – Sessão transversal do transistor FDSOI: (a) Poço convencional; (b) Poço invertido.  
Fonte: (NIKOLIĆ et al., 2014)



### 2.3 Mecanismos de Radiação

Os efeitos da radiação ocorrem no nível atômico. Um átomo é composto por um núcleo de nêutrons (partículas que não possuem carga) e de prótons (carregados positivamente), rodeado por uma nuvem de elétrons (carregados negativamente). O agrupamento de prótons no núcleo se mantém estável, mesmo com a atuação da força elétrica de repulsão natural, devido à partículas subatômicas chamadas de píons. Essas partículas exercem a Força Forte, que supera em muitas vezes a repulsão eletromagnética dos prótons. De modo geral, um átomo é um elemento neutro, possuindo o mesmo número de elétrons e prótons. A inclusão ou retirada de elétrons de um átomo o caracteriza como um íon (RASK et al., 2008). Os íons podem ser classificados como Ânions, quando possuem excesso de elétrons, ou como Cátions quando possuem carência de elétrons. Quando a radiação entra em contato com um átomo, seja através de uma partícula ou de uma onda eletromagnética, a energia liberada pela colisão pode afetar a estrutura desse átomo (FRIEDBERG; COPELAND, 2011). Caso a energia liberada consiga afetar a estrutura, novas partículas e mais radiação podem ser originadas. Esse fenômeno é denominado de radiação ionizante. Caso contrário, denominamos a radiação de não-ionizante e os efeitos serão limitados a agitação das moléculas e geração de calor.

Os *CIs* podem ser afetados pela radiação ionizante, e diferentes mecanismos são originados a partir da geração de energia durante a colisão da partícula. Desses mecanismos, os com maior impacto no estudo dos efeitos da radiação nos circuitos integrados são: a Colisão elétrica inelástica e Colisão nuclear elástica (AUTRAN; MUNTEANU, 2017). A colisão elétrica inelástica ocorre pela interação da partícula com os elétrons do átomo. Enquanto percorre o átomo, a partícula passa e interage por um grande número de elétrons, gerando uma série de interações. Através dessas interações a partícula gradativamente começa a perder energia, enquanto acaba arrancando alguns elétrons da sua orbita nuclear convencional, ou apenas gerando excitação nos que conseguem permanecer ligados. Esse é o principal processo de transferência de energia nos semicondutores. A Figura 2.11 ilustra a ocorrência desse mecanismo. Já na colisão nuclear elástica, temos a interação da partícula, já com sua energia reduzida pelas interações com os elétrons, reagindo diretamente com o núcleo do átomo. Essa interação resulta na transferência de energia entre a partícula e o núcleo, podendo gerar a difusão da partícula e/ou o deslocamento do núcleo (AUTRAN; MUNTEANU, 2017).

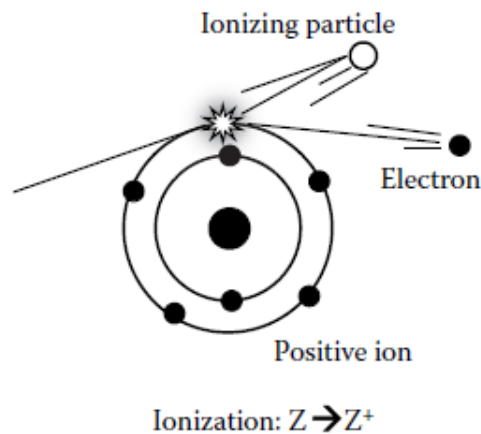


Figura 2.11 – Mecanismo de Ionização.  
(AUTRAN; MUNTEANU, 2017)

É importante notar que para que o processo de ionização e a geração de pares elétrons-lacunas possa afetar o dispositivo eletrônico, é necessário existir a influência de um campo elétrico em uma estrutura de junção p-n. Dessa forma, o trajeto percorrido pelo íon forma um caminho de pares elétron-lacuna, que sobre influência do campo elétrico pode evoluir e alterar a camada de depleção. Esse processo segue 3 mecanismos básicos que contribuem para a redução da densidade dos portadores majoritários, permitindo o surgimento de uma corrente parasita transitória, que pode perturbar o circuito. Esses mecanismos são definidos como: (1) Deposição (ou Geração) de Carga; (2) Transporte de Carga; (3) Coleta de Carga (AUTRAN; MUNTEANU, 2017). A Figura 2.12 (a), (b) e (c) ilustram os mecanismos de depósito de carga durante a interação com o íon, enquanto o elemento (d) da figura demonstra o surgimento do pico de corrente na ação dos mecanismos de coleção de carga (PAVLOV; SACHDEV, 2008).

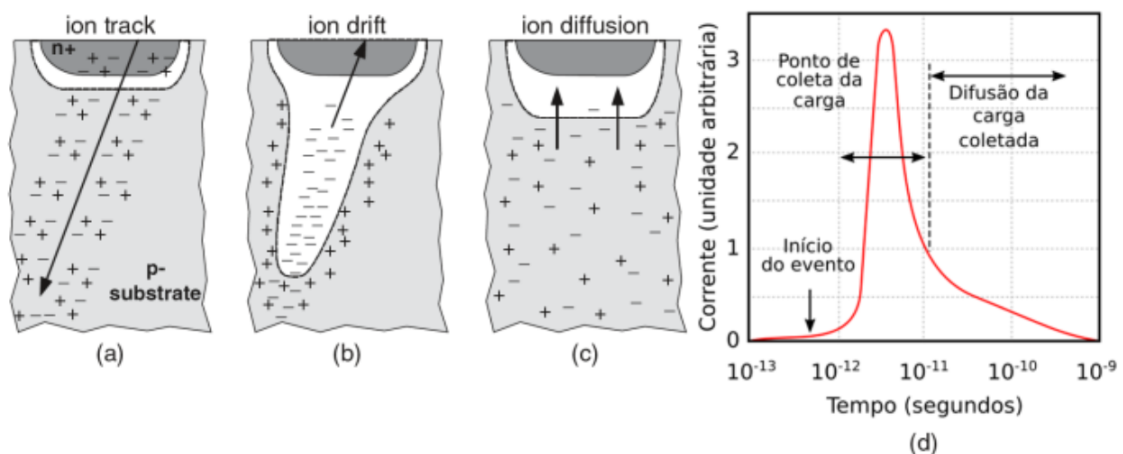


Figura 2.12 – Mecanismos de coleção da carga.  
Fonte:(PAVLOV; SACHDEV, 2008)

O processo de Deposição de Carga pode ser gerado de duas maneiras: ionização direta ou indireta. A ionização direta ocorre quando uma partícula carregada interage com os átomos de um material e acaba gerando pares de elétron-lacuna em toda a região próxima da colisão. A ionização indireta é resultado da interação entre uma partícula sem carga e o núcleo de átomo. Os eventos dessa interação dão origem a novas partículas, que agora possuem carga, e são capazes de gerar os pares de elétron-lacuna (PETERSEN, 1981). Suponhamos a colisão de um nêutron com um átomo de um elemento na atmosfera terrestre. Como os nêutrons são partículas sem carga, não sofrem as interações de Coulomb como as partículas carregadas. Nesse sentido, o nêutron não interage com a nuvem de elétrons, podendo chegar ao núcleo do átomo sem grandes perdas de energia. Ao colidir com o núcleo, pode ocorrer: (a) emissão de radiação gama através da excitação nuclear ou (b) ocasionar a ruptura de uma parte do núcleo, dando origem a novas partículas como: nêutrons, prótons, elétrons e píons (que vão decair rapidamente em múons, pósitrons, elétrons, neutrinos ou anti-neutrinos). Algumas dessas partículas, como os prótons, possuem carga e agora são capazes de causar o processo de ionização direta (FRIEDBERG; COPELAND, 2011).

Para calcular a energia relacionada a colisão da partícula no material, é comum utilizarmos o conceito de *Stopping Power* ou *Total Stopping Power*. Esse conceito caracteriza a quantidade de energia perdida pela partícula durante a travessia no material. O *Stopping Power* é dividido em duas componentes: *Electronic Stopping Power*, que corresponde a energia perdida pela interação da partícula com os elétrons dos átomos e *Nuclear Stopping Power*, que corresponde a energia perdida na colisão com o núcleo dos átomos (AUTRAN; MUNTEANU, 2017). Do ponto de vista dos SEEs a contribuição da *Nuclear Stopping Power* é muito inferior ao valor da *Electronic Stopping Power*, sendo comumente negligenciada. A *Electronic Stopping Power* também é chamada de *Linear Energy Transfer* (LET) quando ocorre em pequenas distâncias (geralmente,  $10\text{nm} < \text{distância} < 1\mu\text{m}$ ) (DODD et al., 2002). O LET descreve a transferência de energias por unidade de comprimento durante a interação da partícula com o material, é representado em  $\text{MeV}\cdot\text{cm}^2/\text{mg}$  (NASEER et al., 2007).

Para a tecnologia *Bulk CMOS*, processos de transporte e coleta de carga ocorrem através de dois mecanismos: Deriva (*Drift*) e Difusão (*Diffusion*) (AUTRAN; MUNTEANU, 2017). O mecanismo de *Drift* ocorre quando a partícula percorre através da região de depleção. O campo elétrico aplicado ao dispositivo reage e a região afetada coleta rapidamente os portadores excedentes da colisão. Essa coleta implica em uma deforma-

ção temporária da região de depleção, denominada *Funneling* (BAUMANN, 2005). Já o mecanismo de *Diffusion* descreve a coleta de os portadores gerados fora da região de depleção, que também contribui com sua deformação.

A carga acumulada durante esses processos impacta o dispositivo, que apresenta desvios de comportamento. Esses desvios pode acarretar na geração de um caminho condutivo entre os terminais *Drain* e *Bulk* do transistor. Em memórias, dependendo do nodo afetado no circuito, esse desvio de comportamento pode se refletir em um *bitflip* (inversão do dado armazenado). A Figura 2.13 ilustra uma representação dos efeitos da interação de um *Heavy Ion* com a estrutura do transistor *CMOS*.

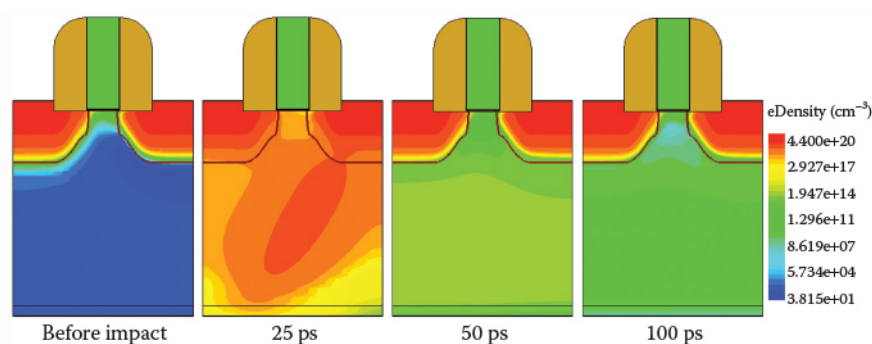


Figura 2.13 – Densidade de elétrons no transistor *Bulk CMOS*.  
(BARTRA; VLADIMIRESCU; REIS, 2015)

Na tecnologia *FDSOI* a camada *BOX* é composta por um material isolante que dificulta a geração do caminho condutivo em relação a polarização do substrato. Por outro lado, a espessura do canal do transistor é muito fina, em torno de  $7\text{ nm}$ . Dessa forma, a incidência da partícula nessa região pode causar uma acumulo de carga que preencha toda a extensão do canal do transistor. Assim, o dispositivo pode entrar em condução causar um desvio de comportamento no circuito (BARTRA; VLADIMIRESCU; REIS, 2016). A Figura 2.14 ilustra uma representação dos efeitos da interação de um *Heavy Ion* com a estrutura do transistor *FDSOI*.

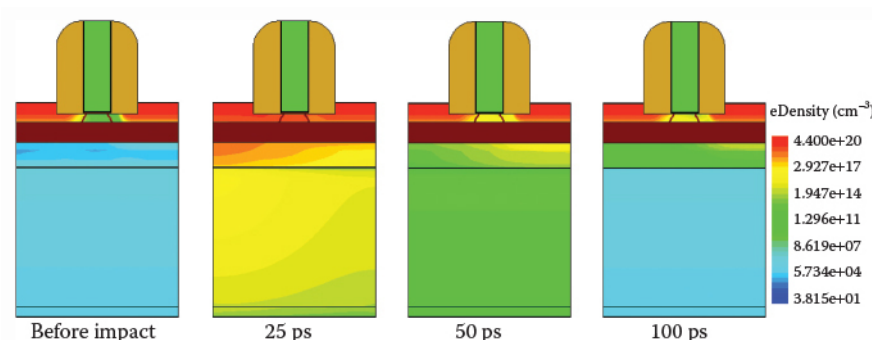


Figura 2.14 – Densidade de Elétrons na estrutura do transistor *FDSOI*  
(BARTRA; VLADIMIRESCU; REIS, 2015)

Observando o comportamento dos transistores nas ilustrações apresentadas pelas Figuras 2.13 e 2.14, podemos entender as diferenças na origem do desvio de comportamento do dispositivo. O transistor *FDSOI* entra em condução por um curto período de tempo através dos terminais *Drain* e *Source*. Já o transistor *Bulk CMOS* é afetado pelo caminho condutivo entre os terminais *Drain* e Bulk. A Figura 2.15 ilustra essa diferença de comportamento.

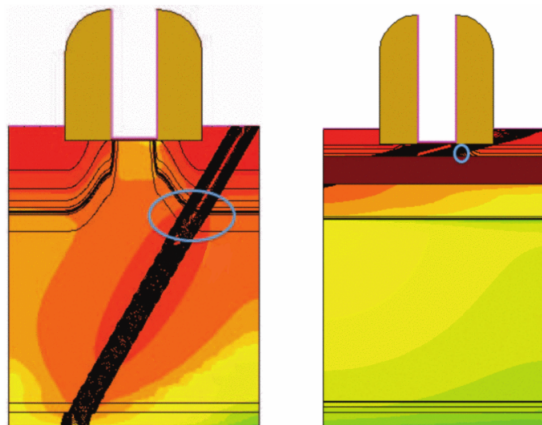


Figura 2.15 – Comparação do Efeito da partícula entre o transistor *Bulk CMOS* e *FDSOI*. (WEIDE-ZAAGE; CHRZANOWSKA-JESKE, 2016)

As falhas transientes não comprometem o dispositivo permanente, elas podem ser corrigidas com o decorrer do tempo ou com a ocorrência de novas operações de escrita. Entretanto, quando esse tipo de falha afeta circuitos de memória, como a SRAM, podem ocorrer alterações no dado armazenado. O efeito no dispositivo é temporário, mas a memória continuará retendo esse valor alterado. Dessa forma, quando o sistema acessar esse dado para executar alguma aplicação, existem grandes chances de que todo o sistema venha à colapsar.

O conceito de falha, erro e defeito, muitas vezes, é um pouco contraditório. Na literatura, dependendo do autor, da tradução ou até do contexto, a interpretação desses conceitos podem gerar significados ambíguos (MORAES, 2006). De modo geral, uma falha é a relação entre o comportamento ideal esperado do sistema e a ocorrência de um desvio nesse comportamento. As falhas só ocorrem após o processo de fabricação. Já o erro é um estado incorreto em um nodo do circuito, que geralmente é originado por uma falha. Por fim, o defeito pode ser caracterizado de duas formas: (1) como um falha permanente em decorrência de um processo de fabricação que não atende as especificações de projeto, ou (2) um efeito perceptível ao usuário final, em decorrência do não tratamento de um erro (ASAI, 2019).

Consideremos uma célula de memória SRAM, que armazena o valor lógico 1. Devido a incidência de uma partícula ionizada, um dos transistor da célula apresenta momentaneamente um desvio de comportamento. Esse desvio é suficiente para alterar o valor lógico armazenado para 0. Em seguida, o efeito da partícula é dissipado e o comportamento retorna ao normal. Entretanto, a realimentação da célula mantém esse valor lógico 0 armazenado. Esse evento caracteriza a ocorrência de uma falha. Nesse momento, nenhum erro foi sentido pelo sistema. Suponhamos agora que esse valor armazenado seja acessado e utilizado dentro do processamento do sistema. O resultado desse processamento pode gerar uma execução incorreta, configurando o efeito da falha no sistema, um erro. Se o sistema não possui mecanismos de identificar e tratar esse erro, o mesmo será repassado ao usuário, caracterizando um defeito.

Por outro lado, muitas vezes o processamento da falha não gerará uma execução incorreta. Dessa forma, a falha é mascarada e o sistema não poderia agir para identificar e tratar seus efeitos negativos. Por esse motivo é muito importante compreender o efeito das falhas, para podermos identificar sua ocorrência e evitar sua propagação pela cadeia lógica de processamento.

### 3 MEMÓRIA SRAM

Esse capítulo apresenta um referencial teórico relacionado ao projeto de uma *SRAM*. Nele será apresentado uma visão geral sobre os conceitos básicos de memória e os aspectos mais importantes relacionados ao projeto desses circuitos. A organização desse capítulo compreende: uma introdução sobre as principais características que expressam a importância dos circuitos de memória *SRAM*, uma visão sobre as diferentes abordagens de implementação da célula *SRAM*, uma discussão individual de cada componente contido na arquitetura da *SRAM* e por fim, serão abordados os aspectos de estabilidade e robustez.

#### 3.1 Conceitos de Memória

Uma memória é um tipo de circuito que possui a capacidade de armazenar informações, possibilitando o acesso aos dados quando necessário. Existem duas principais classificações para a memória: a volátil e a não-volátil. Memórias voláteis retém o dado armazenado enquanto estiverem sendo alimentadas por uma fonte de energia, caso contrário, os dados serão perdidos. Já as memórias não-voláteis, possuem a capacidade de reter os dados mesmo quando a energia é desligada. A grande desvantagem das memórias não-voláteis, são seus tempos de acesso muito mais lentas em comparação com as voláteis (TANENBAUM, 2013). A *SRAM* é um exemplo de memória volátil e a *FLASH-NAND* de não-volátil.

A crescente demanda por desempenho das aplicações contemporâneas, impacta no aumento da quantidade de memória necessária nos sistemas. Porém, mesmo com toda a tecnologia disponível atualmente, não é viável integrar toda essa quantidade de memória em um único *chip* (PAVLOV; SACHDEV, 2008). Para superar essa barreira, o conceito de hierarquia de memória é adotado. A hierarquia de memória consiste em utilizar o melhor de cada tecnologia de fabricação, alocando um tipo de memória específica para desempenhar a função mais adequada a ela (STALLINGS, 2017). A Figura 3.1 ilustra os diferentes níveis relacionados ao conceito da hierarquia de memória de um sistema computacional moderno. Nessa estrutura, quanto mais ao topo da pirâmide, maior será o desempenho e, conseqüentemente, o custo de fabricação por *bit*. Conforme descemos para os níveis mais próximos da base, a capacidade de armazenamento aumenta, o custo de fabricação diminui e em contra partida, o desempenho é drasticamente reduzido.

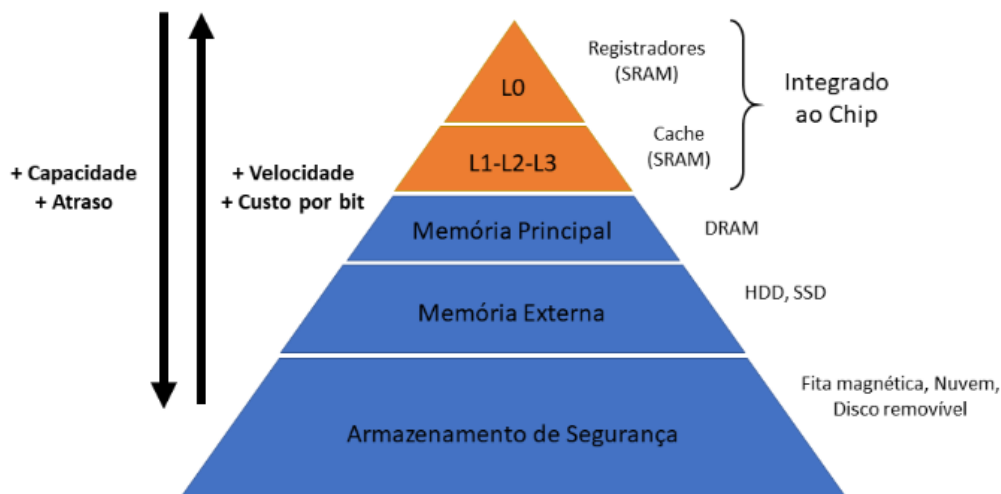


Figura 3.1 – Diagrama piramidal da hierarquia de memória.  
Fonte: (STALLINGS, 2017).

Considerando as memórias voláteis, o tipo mais comum é a *Random Access Memory* (*RAM*), que permite o acesso aos dados em qualquer ordem, independente do seu local na estrutura de armazenamento da memória (STALLINGS, 2017). O projeto dessas memórias pode assumir uma estruturas estática ou dinâmica. As células de memória estáticas (*Static RAM* ou simplesmente *SRAM*) utilizam um mecanismo de *feedback* para manter o seu estado. Já as memória dinâmicas (*Dynamic RAM* ou simplesmente *DRAM*) utilizam a carga armazenada em um capacitor para manterem o armazenamento, necessitando que essa carga seja "atualizada" periodicamente.

A *DRAM* é utilizada como a memória principal nos primeiros níveis da arquitetura de memória do computador. Entretanto, em estágios mais próximo ao processador, a diferença entre o tempo de execução das instruções e o atraso de acesso a memória gera um grande gargalo de desempenho (NOWAK, 2014). Por ter uma velocidade de acesso superior, a *SRAM* é utilizada para fazer a interface com a unidade de processamento (Memória Cache). Além disso, a *SRAM* também é utilizada para substituir a *DRAM* em aplicações que requerem baixo consumo energético. A Tabela 3.1 apresenta uma comparação entre algumas características dessas memórias.

Tabela 3.1 – Comparação entre diferentes tipos de memórias.  
Fonte: (PATTERSON; HENNESSY, 2016)

Característica	SRAM	DRAM	FLASH
Volátil	Sim	Sim	Não
Área	6T	1T1C	1T
Atraso	$\leq 0.5$ ns	$\approx 50$ ns	$\geq 5\mu$ m
Potência (Escrita)	Baixa	Baixa	Alta
Preço por gb	500\$	10\$	1\$



De acordo com o *International Technology Roadmap for Semiconductors (ITRS)*, a *SRAM* atualmente ocupa cerca de 90% da área de um *System-on-Chip (SoC)* e é responsável por grande parte do consumo energético do *chip* (SINGH; MOHANTY; PRADHAN, 2013). Além disso, a *SRAM* é geralmente projetada no dimensionamento mínimo do nodo tecnológico, ou seja, no estado da arte de um processo de fabricação. Isso implica que as características elétricas dessa estrutura de memória são o fator limitante para a tensão de alimentação do chip e demonstram o nível de confiabilidade de todo o processo de fabricação. A arquitetura de uma *SRAM* compreende diferentes estruturas e circuitos. Dentre os principais componentes estão: um conjunto de células de memória arranjadas na forma de um grande bloco, circuitos decodificadores de endereço para selecionar as linhas e colunas do bloco de células, multiplexadores de passagem, amplificadores do sinal de saída, circuitos de escrita e circuitos de pré-carga. A Figura 3.2 ilustra uma possível representação do arranjo dessa arquitetura.

A *SRAM*, assim como outros circuitos sequenciais, armazena os dados através de uma cadeia de *bits*, que assumem os valores lógicos 0 ou 1. Cada *bit* é armazenado em uma célula de memória, e o conjunto dessas células é agrupado na forma de uma matriz. É comum que cada linha da matriz compartilhe uma mesma *wordline (WL)* e cada coluna um par de *bitlines (BL)* e seu sinal complementar *BLB*). Além disso, várias dessas matrizes são representadas de forma lógica em uma série de camadas na estrutura de blocos. Uma arquitetura convencional possui  $B$  blocos de  $N$  linhas por  $A$  colunas. Os decodificadores são responsáveis pela seleção das linhas/colunas a serem acessadas. Cada seleção  $A \times B$  responde a um conjunto de células que armazenam uma palavra que representa um dado codificado em binário (ALORDA et al., 2011).

### 3.2 A Célula SRAM

Na arquitetura de uma *SRAM*, o principal componente é a célula de memória. As células *SRAM* são responsáveis por armazenar um *bit* de informação. A célula deve permitir o acesso a esse *bit* de maneira não destrutiva, assim como, deve possuir a capacidade de gravação do valor do *bit*. A *SRAM* ocupa grande parte da área destinada ao projeto de um sistema integrado, as dimensões da célula são o principal fator relacionado a essa área ocupada (PAVLOV; SACHDEV, 2008). Outras restrições de projeto relacionadas a uma célula *SRAM* são: a estabilidade, a velocidade dos acessos à memória, o consumo de energia e a confiabilidade.

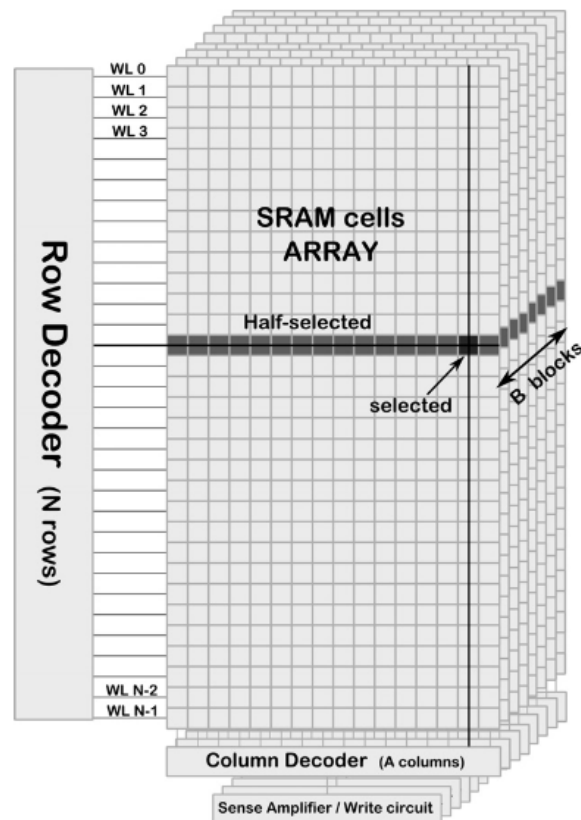


Figura 3.2 – Diagrama da estrutura lógica de uma SRAM.

Fonte:(ALORDA et al., 2011)

Existem diferentes topologias na literatura para implementar o circuito de uma célula *SRAM*, cada uma abordar pontos específicos das restrições de projeto relacionadas a célula. A célula de *SRAM* clássica é a célula 6T, composta por seis transistores (PAVLOV; SACHDEV, 2008). Seu diagrama elétrico é apresentado na Figura 3.3. O acesso à célula ocorre durante as operações de escrita e leitura, sendo realizado através da ativação do sinal de *Wordline* (*WL*). Os transistores mais externos à célula ( $N1-N2$ ) são do tipo NMOS e têm a função de controlar a passagem de tensão entre *BL-BLB* com os nodos internos  $Q-Qb$ , respectivamente. Na área interna da célula existem dois transistores do tipo PMOS ( $P1-P2$ ) que compõem a estrutura de inversores retro-acoplados. Esses transistores têm a função de subir a tensão dos nodos internos da célula, também sendo caracterizados como rede *Pull-Up*. Completando os seis transistores, temos dois transistores NMOS ( $N3-N4$ ) que completam o circuito dos inversores. Esses transistores têm a responsabilidade de baixar a tensão dos nodos internos da célula, sendo chamados de rede *Pull-Down*. Como ponto chave da topologia temos a realimentação entre os inversores. Essa característica permite que um valor lógico seja armazenado enquanto energia estiver sendo fornecida ao sistema.

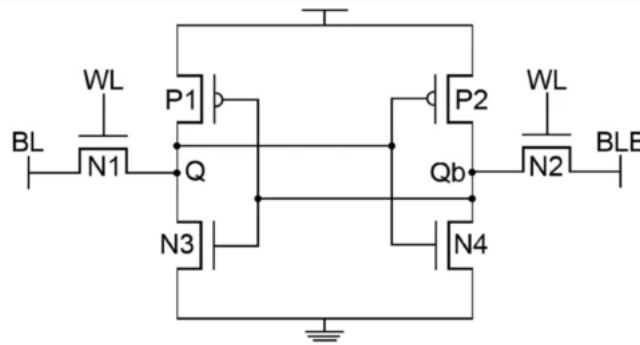


Figura 3.3 – Diagrama elétrico da célula SRAM 6T.

Fonte: (PAVLOV; SACHDEV, 2008)

Geralmente, a célula *SRAM* passa a maior parte do tempo operando em *Hold*, ou seja, armazenando o dado. Durante esse modo de operação, o sinal *WL* não está ativo, e os transistores *N1-N2* isolam a célula da interação direta com *BL* e *BLB*. Enquanto houver energia sendo fornecida, ao sistema de realimentação dos inversores, o dado armazenado continuará estável. Avaliando apenas essa operação e almejando a otimização das características de densidade e potência, uma possível decisão de projeto seria utilizar o dimensionamento mínimo da tecnologia para todos os transistores.

Entretanto, quando incluímos a operação de leitura à análise, o cenário muda. Durante a leitura as *bitlines* são previamente carregadas e deixadas em situação de alta impedância. Posteriormente, o sinal *WL* é ativado, liberando a conexão direta com os nós internos. O nó que está armazenando o valor lógico 0 baixa a tensão da *bitline* ligada a ele, criando uma diferença de tensão entre as *bitlines*. Essa diferença será utilizada pelo circuito amplificador de sinal para determinar o valor lógico lido.

Supondo que o processo de leitura ocorre através dos transistores *N2* e *N4*, eles vão formar um divisor de tensão. O potencial no nó *Qb* não estará mais em zero, devido a corrente que passa por *N2*. Nesse sentido, o potencial no nó deve ficar abaixo de  $V_{th}$  do inversor complementar, para assim evitar uma leitura destrutiva. A Equação 3.2 apresenta o cálculo da razão que define esse fenômeno, chamado de *Cell Ratio* (*CR*) ou  $\beta$ -*ratio*. Tipicamente, essa razão varia entre 1,25 a 2,5 na tecnologia *CMOS*, dependendo da aplicação (RABAEY; CHANDRAKASAN; NIKOLIĆ, 2003).

$$CR = \beta_{Ratio} = \frac{W_{n3}/L_{n3}}{W_{n1}/L_{n1}} = \frac{W_{n4}/L_{n4}}{W_{n2}/L_{n2}} \quad (3.1)$$

$$CR = \beta_{Ratio} = \frac{W_{pd}/L_{pd}}{W_{ps}/L_{ps}} r_i \quad (3.2)$$

Considerando agora a operação de escrita, onde os valores de tensão das *bitlines* são definidos pelo *bit* a ser armazenado. Quando o sinal *WL* é ativado, *N1* e *N2* permitem a conexão direta aos nodos internos da célula. Supondo que *BL* assuma o valor lógico 0 e comece a drenar a tensão do nodo Q. Agora o nodo Q não está mais em 1 devido a corrente que passa por *P1* e *N1*. Esse fluxo de corrente começa a diminuir o potencial em Q, que deve ir abaixo de  $V_{th}$  para chavear o inversor complementar e a operação de escrita ser bem sucedida. O sucesso desse processo depende da relação entre os transistores *P1* e *N1*, definido pelo *Pull-Up Ratio* (*PR*) ou  $\gamma$ -*ratio* descrito pela Equação 3.3. A razão *PR* na tecnologia *CMOS* deve ser igual ou menor que 1 para garantir um processo de leitura bem sucedido (RABAEY; CHANDRAKASAN; NIKOLIĆ, 2003). A Figura 3.4 demonstra a curva de comportamento da célula 6T, a partir da variação do *CR* e de *PR*.

$$PR = \gamma_{Ratio} = \frac{W_{p1}/L_{p1}}{W_{n1}/L_{n1}} = \frac{W_{p2}/L_{p2}}{W_{n2}/L_{n2}} \quad (3.3)$$

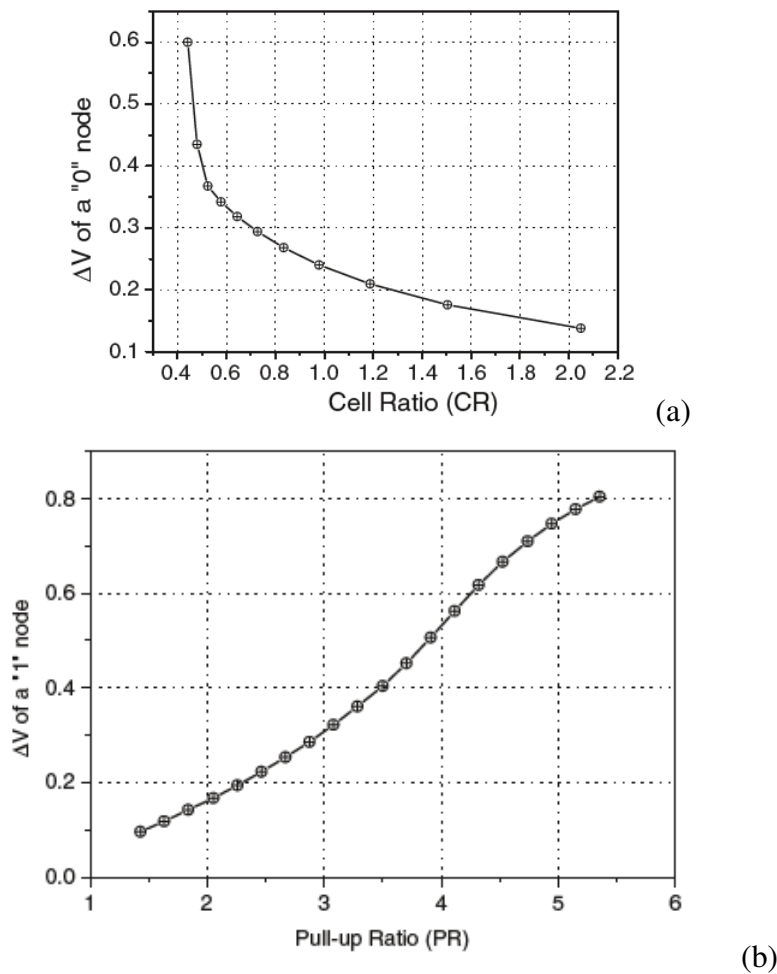


Figura 3.4 – Variação dos *ratios* da célula 6T para a tecnologia de 130 nm *Bulk CMOS*: (a) *PR* fixo em 1 e *CR* variando; (b) *CR* fixo em 2 e *PR* variando.

Fonte: (PAVLOV; SACHDEV, 2008)

### 3.3 Diferentes Topologias de Célula SRAM

A literatura apresenta uma diversificada gama de topologias de célula de memória *SRAM*. Cada uma dessas abordagens tem como objetivo melhorar diferentes aspectos de projeto, relacionando as vantagens e desvantagens em relação a célula 6T clássica.

Em (ALY; BAYOUMI, 2007) se observou que maioria dos *bits* da *SRAM* ficavam preenchidos com o valor lógico 0 para grande parte das aplicações. Baseado nessa condição, a célula 7T foi proposta para melhorar o desempenho energético em comparação com a 6T. O esquemático elétrico da célula, ilustrando seus 7 transistores, é apresentado na Figura 3.5. A ideia dessa topologia foi manter as *bitlines* com o estado lógico "alto" durante a operação de escrita do valor lógico 0, sem precisar descarregar a tensão pré-carregada nas *bitlines*. A operação de escrita começa com o sinal *W* desativando o transistor *N5* e rompendo o *feedback* de alimentação entre os inversores. Nesse momento, o sinal *WL* é ativado e *BLB* se conecta com *Q2* através de *N2*. Com *BLB* pré-carregada, a tensão é transferida para *Q2* e passada em cascata até *QB*. Desativando o sinal *WL* e re-ativando *N5* o valor lógico se estabiliza e é armazenado. Para a operação de leitura, ambos os sinais *WL* e *RWL* são ativados, descarregando lentamente uma das *bitlines*, dependendo do nodo que está armazenando o valor lógico 0. Essa célula reduz o consumo dinâmico relacionado a condução simultânea durante a escrita do valor lógico 0 em 96%. Por outro lado, aumenta o consumo da escrita do valor lógico 1 em 1,5%, aumenta o atrasos crítico em 5,6%, reduz a estabilidade em  $\approx 10\%$  e aumenta a área total em cerca de 12,25%. Entretanto, a maior desvantagem dessa topologia é a necessidade do ajuste fino no dimensionamento dos transistores. O *trade-off* entre as características da célula é muito sensível a mudanças no dimensionamento, o que aumenta a complexidade do projeto.

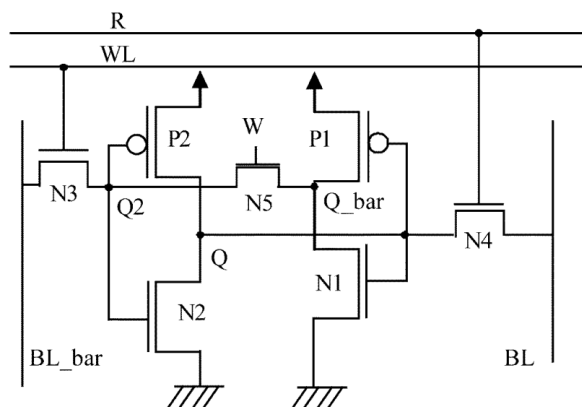


Figura 3.5 – Diagrama elétrico da célula SRAM 7T.

Fonte: (ALY; BAYOUMI, 2007)

Em (FEKI et al., 2012), o conceito do *voltage scaling* é destacado como a melhor maneira de reduzir o consumo energético da *SRAM*. Para a tecnologia *Bulk CMOS* de 32 nm, operar a célula a uma tensão de 300 mV até 500 mV garante a eficiência energética máxima. Entretanto, a célula 6T convencional tem sua margem de estabilidade, sua razão *Ion-to-Ioff* e a variabilidade da  $V_{th}$  drasticamente impactadas. Buscando uma solução para esses desafios, a célula 10T-ULV *SRAM* foi proposta. O esquemático elétrico da célula, com seus 10 transistores é ilustrado na Figura 3.6. A célula possui um par clássico de inversores retro-acoplados ( $N1-N2$  e  $P1-P2$ ), juntamente com dois pares de transistores de passagem em série ( $N3-N4-N5-N6$ ) e mais 2 transistores desacoplados ( $N7-N8$ ). Através desse arranjo de transistores, a célula 10T-ULV apresenta 4 *bitlines* ( $BL-BLB$  e  $RBL-RBLB$ ). Os transistores em série permitem a criação de um caminho resistivo entre as *bitlines* e os nodos de armazenamento, diminuindo a corrente de fuga. O sinal *CWL* controla o acesso direto aos nodos de armazenamento da célula. Já o sinal *WWL* é responsável por permitir a condução da tensão existente em  $BL-BLB$ , para os nodos intermediários da célula. Por fim, o sinal de  $RWL_{MUX}$  é utilizado para reduzir a tensão de uma das *bitlines* de leitura  $RBL-RBLB$ . Os resultados mostram que essa topologia é plenamente capaz de operar no limiar de 300 mV, diferentemente da 6T que apresenta instabilidade nas operações. A célula 10T-ULV reduziu a corrente de fuga em aproximadamente 47%, apresentou bons níveis de estabilidade e implementou técnicas de projeto como: *hard coding*, *RWL transmission gates* e *multiplexing bitlines*, que aumentam a robustez da arquitetura. As principais desvantagens dessa topologia são os maiores tempos de atraso, maiores correntes durante a leitura, a complexidade do dimensionamento dos transistores e principalmente, o impacto na área total da célula.

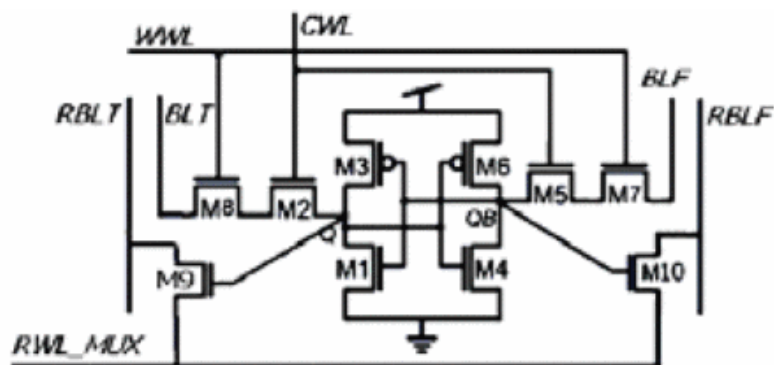


Figura 3.6 – Diagrama elétrico da célula SRAM 10T-ULV.

Fonte: (FEKI et al., 2012)

Em (ABOUZEID et al., 2014) foi apresentado o projeto de uma topologia de célula SRAM focada na operação em uma ampla faixa de tensão. A célula proposta neste trabalho é composta por 10 transistores e foi chamada de 10T *Ultra-Wide Voltage Range* SRAM (10T-UWVR). Seu diagrama elétrico é apresentado pela Figura 3.7, onde em vermelho é destacado o mecanismo de dedicado a operação de leitura. A célula 10T-UWVR apresenta transistores de passagem duplos (*MNPG* e *MNPGI*), que garante a execução da operações de escrita e leitura de maneira isolada.

Durante a operação de escrita os sinais *WL* e *WCL* assumem um valor lógico 1, o que ativa ambos os pares de transistores de passagem. Dessa forma, a tensão fornecida pelas *bitlines* tem acesso aos nodos internos de armazenamento da célula. A operação de leitura ocorre de maneira isolada da operação de escrita. Já durante o leitura, apenas o sinal *WL* é acionado, ativando apenas o transistor *MNPG*. Nesse momento, com base no valor lógico armazenado pela célula, o transistor *MNFO* é ativado e baixa a tensão da *bitline* conectada a ele.

O ponto crítico dessa topologia é a razão *CR* entre seus transistores. Durante a execução da operação de escrita a tensão fornecida pelas *bitlines* deve atingir a tensão de limiar capaz de acionar os transistores do inversor complementar da célula. Porém, simultaneamente, o transistor *MNSF* estará descarregando a tensão vinda da *bitline*. A capacidade de descarga do transistor *MNSF* deve ser inferior a capacidade de condução dos transistores de passagem *MNPG* e *MNPGI*. Os resultados do trabalho demonstram a viabilidade da célula 10T-UWVR em operar de maneira estável na faixa de 1,02GHz @ 1,2 V até 13 MHz @ 0,35 V.

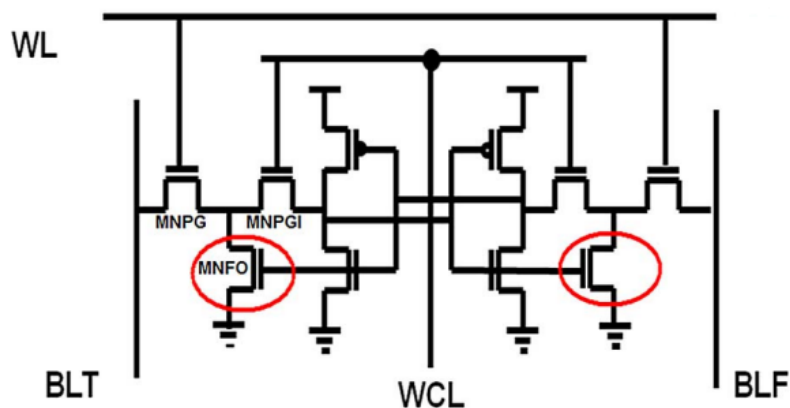


Figura 3.7 – Diagrama elétrico da célula SRAM 10T-UWVR.

Fonte: (ABOUZEID et al., 2014)

Em (SHAH; NAIRN; SACHDEV, 2015) o objetivo foi a proposta de uma topologia robusta a falhas transientes derivadas da radiação. A célula 8TSER (*Soft Error Robust*) possui 8 transistores, seu diagrama elétrico é ilustrado pela Figura 3.8. Essa topologia tem a capacidade de operar em baixa tensão e não possui *bitline* dedicada à leitura. Dos 8 transistores, 4 transistores do tipo NMOS ( $N1-N2-N3-N4$ ) e 4 são do tipo PMOS ( $P1-P2-P3-P4$ ). Esses transistores são conectados de maneira a formar uma estrutura *quad-latch* com 4 nodos de armazenamento entrelaçados, onde  $Q - Q2$  armazenam o valor lógico e  $Qb - Q2b$  armazenam o valor complementar. Essa célula opera com uma pré-carga em *ground* e o sinal  $WL$  é conectado no terminal *source* dos transistores  $N1 - N2$ . Dessa forma, enquanto o sinal  $WL$  mantiver um sinal baixo (*hold*), a célula mantém apenas  $Q2$  ou  $Q2b$  conectado a uma da *bitlines*. A pré-carga em *ground* mantém aquele nodo armazenando o valor lógico zero e ajustando os valores lógicos dos demais nodos.

Para realizar uma operação de leitura, supondo que a célula esteja armazenando o valor lógico 1, o processo se inicia pela ativação do sinal  $WL$  para um valor lógico alto. Nesse momento o transistor o transistor  $N1$  está ativo e permite que a tensão de  $WL$  chegue a  $Qb$ . A tensão do nodo começa a subir até  $V_{th}$  do transistor  $N3$ . Como consequência,  $N3$  é ativado e  $BL$  começa a ser carregada para um potencial acima de zero. Isso gera uma diferença de potencial que é interpretada pelo circuito amplificador de sinal. Para a operação de escrita, após a ativação de  $WL$ ,  $Q2$  e  $Q2b$  estão conectados às *bitlines*.

Para sobrescrever o valor lógico 1 para o valor lógico 0, a tensão de  $BL$  é mantida em *ground* enquanto  $BLB$  tem a tensão definida em VDD. Como o sinal de ativação de  $WL$  passa por  $N1$ , existe uma degradação  $VDD - V_{th}$  que torna a ativação de  $N2$  e  $N3$  "fraca". O aumento da tensão em  $Q2b$  reduz a capacidade condutiva de  $P3$ . Dado as características de  $V_{th}$  dos transistores PMOS e NMOS,  $P3$  pode operar em *subthreshold* enquanto  $N3$  fica em *OFF*. Dessa forma,  $Q2$  tem sua tensão drenada por  $BL$ , ao mesmo tempo que o sistema de *feedback* entre  $P3$  e  $P4$  garante a escrita do valor em  $Q2b$ . Quando o sinal  $WL$  é desativado,  $P2$  não está mais conduzindo, assim  $Q$  tem sua tensão drenada através de  $N2$  e o processo de escrita é completado. A célula 8TSER apresentou total funcionalidade operando de 1,00 V até 0,55 V.

Mesmo não possuindo uma *bitline* dedicada a leitura, através do controle da tensão entre os terminais *Gate* e *Source* ( $V_{gs}$ ) dos transistores  $N3-N4$  a célula apresentou resultados de  $RSNM \approx 2X$  superiores aos da 6T. O sistema de isolamento interno entre



cada nodo da topologia, garantiram níveis de robustez a radiação muito altos. Os resultados mostraram uma taxa de falhas 15X menor em comparação com célula 6T clássica. As principais desvantagens dessa topologia são a necessidade de uma mudança na arquitetura convencional, pois essa célula opera com a pré-carga em *ground* e no impacto da área total da célula, sendo  $\approx 2,49X$  maior em comparação com a 6T.

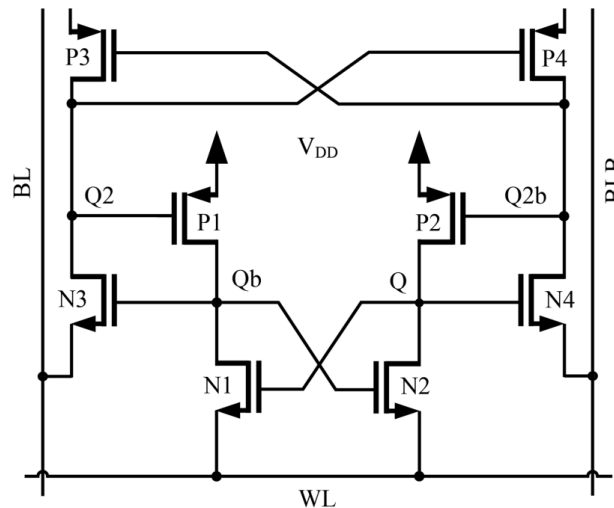


Figura 3.8 – Diagrama elétrico da célula SRAM 8T-SER.  
Fonte: (SHAH; NAIRN; SACHDEV, 2015)

Considerando topologias robustas a falhas de radiação, a abordagem de maior referência na literatura é a célula SRAM *Dual Interlocked Storage Cell (DICE)* (CALIN; NICOLAIDIS; VELAZCO, 1996). A célula DICE clássica apresenta 12 transistores e seu esquemático elétrico está ilustrado na Figura 4.3. A DICE possui total imunidade a falhas transientes de radiação enquanto se mantém armazenamento um valor lógico. Essa topologia utilizada 4 nodos redundantes interconectados através de dois pares de inversores. Quando um nodo é afetado por uma falha transiente, o inversor conectado a esse nodo não é completamente afetado. Cada nodo de armazenamento ( $X_0$ ,  $X_1$ ,  $X_2$  e  $X_3$ ) é conectado a rede *pull-up* do inversor complementar e a rede *pull-down* do inversor complementar do nodo redundante. Essa situação garante a robustez do sistema de inversores durante todo o período de ocorrência da falha e permite que célula DICE alcance altos níveis de robustez para eventos únicos durante o *Hold*. Atualmente, existem diferentes abordagens de célula DICE, que implementam redução do número de transistores ou a adição outras técnicas de robustez ao circuito da célula. Entre as mais recentes abordagens baseadas na célula DICE, temos a STG-DICE (KATUNIN; STENIN, 2017) e RD-DICE (LAVANIA et al., 2019).

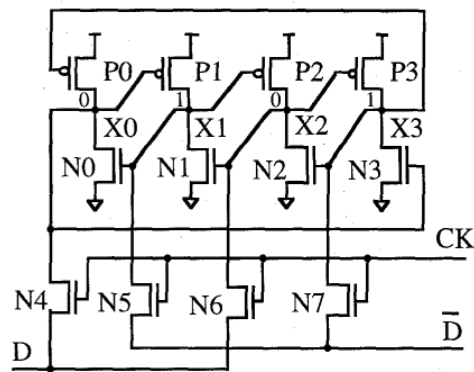


Figura 3.9 – Diagrama elétrico da célula SRAM DICE clássica.  
Fonte: (CALIN; NICOLAIDIS; VELAZCO, 1996)

Baseado nas topologias de células apresentadas até aqui, a Tabela 3.2 resume as principais características de cada uma das abordagens. Para cada topologia, é destacado o número de transistores, o objetivo para o qual a célula foi proposta e a tecnologia avaliada no artigo de referência. Observando essa amostra de topologias, conseguimos visualizar que existe uma grande variedade de opções de circuitos que implementam uma célula *SRAM* na literatura. Cada abordagem possui suas funções específicas de projeto, entretanto, os pontos mais comuns de análise são as características de consumo energético e robustez aos efeitos de radiação.

Tabela 3.2 – Tabela de comparação entre diferentes topologias apresentadas

Referência	Transistores	Objetivo	Tecnologia
(PAVLOV; SACHDEV, 2008)	<b>6T</b>	<b>Standard</b>	<b>130 nm CMOS</b>
(ALY; BAYOUMI, 2007)	7T	Baixo Gasto Energético	180 nm CMOS
(FEKI et al., 2012)	10T	Redução $V_{th}$	32 nm CMOS
(ABOUZEID et al., 2014)	10T	Ampla Faixa de Tensão	28 nm FDSOI
(SHAH; NAIRN; SACHDEV, 2015)	8T	Robustez a Radiação	65 nm CMOS
(CALIN; NICOLAIDIS; VELAZCO, 1996)	12T	Robustez a Radiação	120 nm CMOS
(KATUNIN; STENIN, 2017)	12T	Robustez e Redução de área	65 nm CMOS
(LAVANIA et al., 2019)	13T	Baixa tensão e Robustez	65 nm CMOS

### 3.4 Componentes Auxiliares

A arquitetura da *SRAM* não é composta apenas pela matriz de células. Para toda a estrutura funcionar corretamente, é necessário um conjunto de circuitos combinacionais operando em paralelo. Esses circuitos possuem funções específicas dentro da arquitetura, que possibilitam a realização das operações de acesso a memória. Composto esse grupo de circuitos auxiliares, temos: os Decodificadores de Endereço, o Circuito de Escrita, o Circuito de Pré-Carga e o Circuito Amplificador de Sinal. Nessa sessão, esses circuitos serão apresentados individualmente e suas funções discutidas em detalhes.

### 3.4.1 Circuito de Escrita

O circuito de escrita tem como função definir a tensão nas *bitlines*, baseado no valor lógico a ser armazenado na célula. Esse circuito precisa ter a capacidade de descarregar rapidamente uma das *bitlines*, caso seja necessário, enquanto mantém a tensão alta na outra. Em uma arquitetura de *SRAM*, os circuitos de escrita são associados cada um a um grupo de colunas. Existem diferentes esquemas elétricos capazes de desempenhar a função de um circuito de escrita. A Figura 3.10 ilustra o diagrama dos 3 circuitos mais clássicos.

O circuito mostrado na Figura 3.10 (a) realiza a operação através de dois pares de transistores NMOS em série ( $M1-M3$  e  $M2-M4$ ). O sinal  $WE$  (*Write Enable*) ativa os transistores  $M3$  e  $M4$ , enquanto que a entrada  $IN$  (Valor do *Bit*) ativa os transistores  $M1$  ou  $M2$ , dependendo do valor lógico a ser escrito. A Figura 3.10 (b) apresenta uma outra abordagem, onde utilizamos uma combinação dos sinais  $WE$  e  $IN$ , para gerenciar a ativação dos transistores  $M1$  e  $M2$ . Nessas duas abordagens, uma das *bitlines* é descarregada e a outra assume o estado de alta impedância na tensão de pré-carga. A estrutura escolhida para o âmbito do trabalho está ilustrada pela Figura 3.10 (c). Esse circuito é dividido em duas partes, cada uma conectada a uma das *bitlines*. O sinal do bit de entrada ( $IN$ ) define a tensão a ser aplicada na  $BL$ , conseqüentemente o seu complemento é aplicado em  $BLB$ . Já o sinal  $WE$  libera a conexão desse circuito com as *bitlines*. Diferente das outras opções, ambas as *bitlines* tem seu valor definido pelo circuito, o que melhora a eficiência da operação.

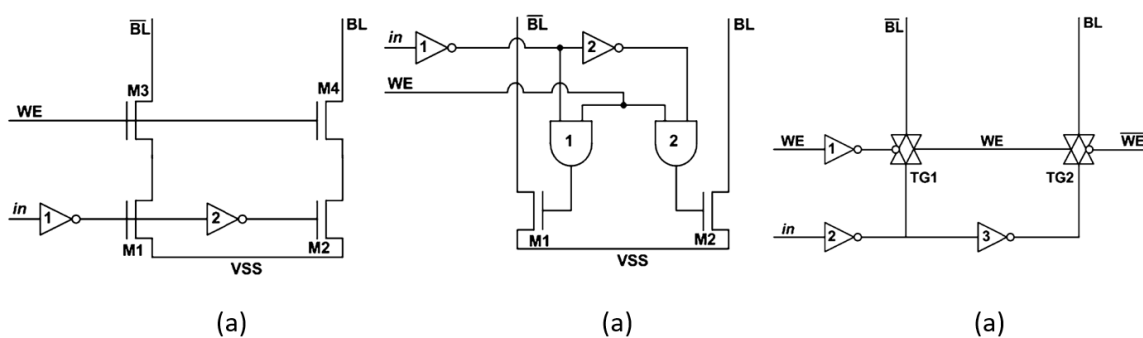


Figura 3.10 – Diferentes abordagens para o circuito de escrita.  
Fonte: (SINGH; MOHANTY; PRADHAN, 2013)

### 3.4.2 Circuito de Pré-Carga

O circuito de pré-carga tem a responsabilidade de definir uma determinada tensão nas *bitlines* momentos antes da execução de uma operação. Esse circuito pode ser utilizado de forma individual por cada coluna da matriz de células, estando conectado tanto a *BL* quanto a *BLB* da respectiva coluna. Outra opção é utilizar dois níveis de pré-carga, uma diretamente ligada as *bitlines* e outra após os multiplexadores de passagem. Existe ainda a possibilidade de utilizar apenas depois dos multiplexadores de passagem. A Figura 3.11 apresenta três opções de implementação. A Figura 3.11 (a) ilustra um circuito de pré-carga contínua. A Figura 3.11 (b) possui um sinal de controle (*PRE*) que permite uma usabilidade muito mais eficiente do conjunto de transistores. Dessa forma, é possível ativar e desativar a pré-carga nos períodos necessários durante as operações. Entretanto, a abordagem escolhida foi a demonstrada na Figura 3.11 (c), que além de manter o sinal de controle, adiciona mais um transistor para fazer o ajuste equipotencial da tensão aplicada entre as *bitlines*.

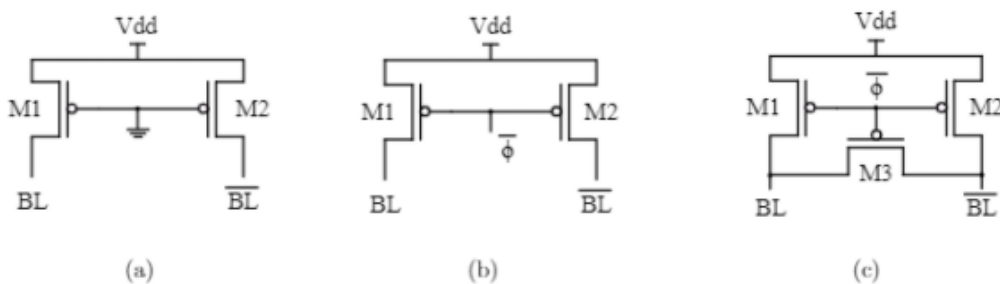


Figura 3.11 – Diferentes abordagens para o circuito de pré-carga.

Fonte: (PAVLOV; SACHDEV, 2008)

### 3.4.3 Circuito Amplificador de Sinal

O circuito amplificador de sinal é considerado como o circuito auxiliar de maior importância dentro do projeto da *SRAM*. Esse circuito é responsável por medir uma pequena diferença de tensão entre as *bitlines* durante uma operação de leitura, sendo responsável por aumentar essa diferença de maneira a possibilitar que as saídas tenham a tensão normalizada para os valores lógicos correspondentes. O circuito amplificador de sinal tem um impacto direto no atraso de leitura, o que torna seu projeto uma etapa de extrema importância. Em grande parte, o maior desafio relacionado a escolha desse circuito está no grande número de células *SRAM* ligadas através de um mesmo par de

*bitlines*, que gera uma enorme capacitância associada as trilas. Além disso, o projeto tem restrições de tempo de acesso e restrições de leiaute. Para superar esses desafios, este circuito tem uma maior liberdade de projeto, muitas vezes não adotando comprimento e largura mínimos (RABAEY; CHANDRAKASAN; NIKOLIĆ, 2003). Um amplificador de sinal é caracterizado pelos seguintes parâmetros: ganho ( $A$ ), sensibilidade ( $S$ ), corrente e tensão de *offset* ( $V_{off}$ ) e ( $I_{off}$ ), taxa de rejeição ( $CMMR$ ), tempo de subida ( $T_{rise}$ ), tempo de descida ( $T_{fall}$ ) e o atraso do amplificador ( $T_{sense}$ ) (PAVLOV; SACHDEV, 2008; SINGH; MOHANTY; PRADHAN, 2013).

A Figura 3.12 (a) apresenta uma opção de amplificador de sinal, o *Current-mirror differential sense amplifier*. Esse amplificador é muito utilizado para atacar o ruído induzido pelas capacitâncias presentes entre células e as *bitlines*, ou mesmo pela capacitância entre *wordlines* e *bitlines*. O ganho gerado por essa abordagem de amplificador é dada pela Equação 3.4, onde  $gm_{M1}$  é a transcondutância do transistor  $M1$ ,  $r_{02}$  e  $r_{04}$  são as resistências relacionadas ao sinal de saída dos transistores  $M2$  e  $M4$ , respectivamente. O ganho  $A$  está diretamente relacionado à largura dos transistores  $M2$  e  $M4$ , podendo também ser aumentado pelo aumento da corrente de polarização. Tipicamente o fator  $A$  assume valores em torno de 10 (SINGH; MOHANTY; PRADHAN, 2013).

$$A = gm_{M1}(r_{02}||r_{04}) \quad (3.4)$$

Para este trabalho, optamos pelo amplificador do tipo latch, ilustrada pela Figura 3.12 (b). Esse circuito utiliza a tensão pré-estabelecida pelo circuito de pré-carga nas *bitlines*, para diferenciar qual nodo da célula avaliada está armazenando o valor lógico 1 e valor lógico 0. Quando a operação de leitura ocorre, é comum que os nodos internos da célula fiquem conectados às *bitlines*. O nodo que estiver armazenado o valor lógico 0 começa a baixar a tensão da *bitline* conectada a ele. O sinal  $SAE$ , quando ativado, separa o circuito amplificador de sinal das *bitlines*. A *bitline* que manteve sua tensão elevada, devido a alimentação do nodo da célula que armazena o valor lógico 1, vence a disputa interna dentro do amplificador de sinal (período de condução simultânea dos inversores). Assim, as saídas ( $OUT - OUTB$ ) assumem, rapidamente, seus respectivos valores digitais e a leitura ocorre corretamente. A vantagem desse mecanismo é que o *feedback* deste amplificador capta instantaneamente a diferença de tensão e já aciona as saídas, por esse motivo optamos por esse modelo. Entretanto existem desvantagens relacionadas ao atraso para se alcançar uma diferença de tensão sensível ao amplificador.

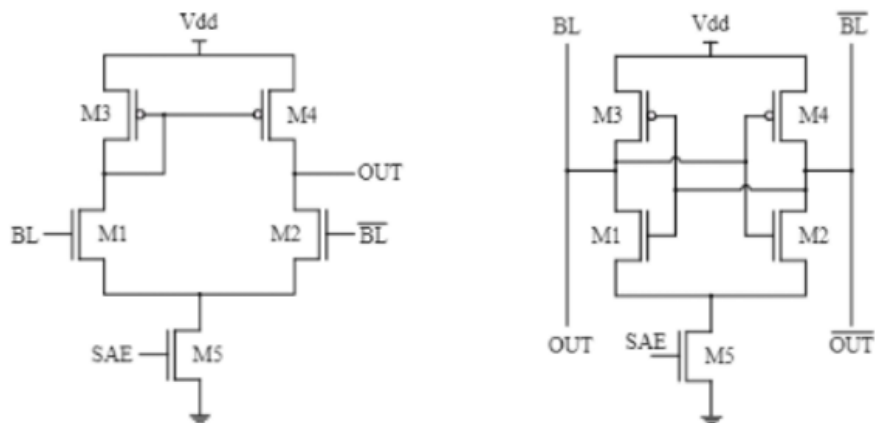


Figura 3.12 – Duas diferentes abordagens para o circuito amplificador de sinal: (a) modelo *Current-Mirror* e (b) modelo do tipo *Latch*.

Fonte: (SINGH; MOHANTY; PRADHAN, 2013)

### 3.4.4 Decodificadores de Endereço

Os decodificadores são responsáveis por selecionar corretamente a célula alvo da operação de escrita ou leitura. O decodificador mapeia toda a matriz de células relacionando o endereço de entrada com as linhas e colunas da matriz. Dessa forma, podemos separar esse circuito em dois: um decodificador de linhas e um decodificador de colunas. Um circuito decodificador é implementado através da combinação de portas lógicas e circuitos multiplexadores. Um decodificador básico pode ser construído através de um conjunto de portas AND utilizando o sinal dos bits de endereçamento e seus valores complementares. A Figura 3.13 fornece um visão simplificada de duas implementações para a estrutura lógica de um decodificador de linha (WESTE; HARRIS, 2015).

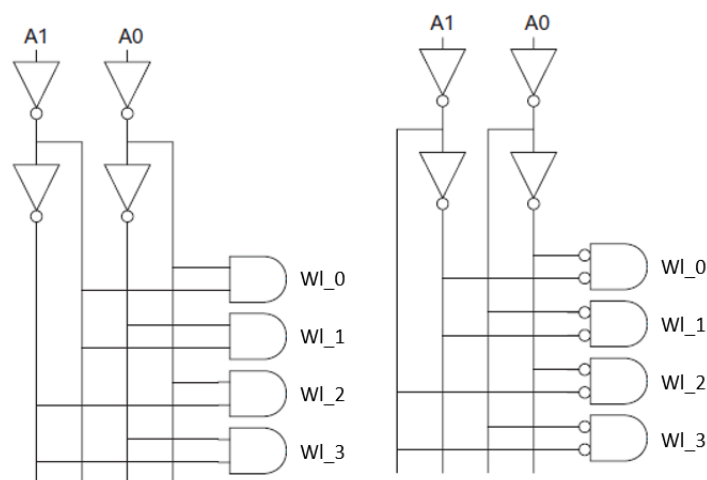


Figura 3.13 – Exemplos de decodificador de linha. Os sinais A0 e A1 corresponde aos valores de endereçamento, enquanto w1\_0, w1\_1, w1\_2 e w1\_3 representam as *wordlines*.

Fonte: (WESTE; HARRIS, 2015)

É importante notar que o número de entradas da porta lógica tem um grande impacto no atraso total do circuito decodificador. Por exemplo, quando optamos por portas NAND, esse número é diretamente proporcional ao número de transistores NMOS em série. Para circuitos onde o atraso é um fator crítico, como a *SRAM*, é comum se utilizar portas com menos de 5 entradas (WESTE; HARRIS, 2015). Outro desafio relacionado aos decodificadores, é reduzir a capacitância das linhas de endereçamento, visto o grande número de portas conectadas. Nesse sentido, uma solução é utilizar transistores com dimensionamento mínimo, assim diminuindo a carga dos *buffers* de endereçamento. Outra opção seria implementar portas NOR. Essa abordagem apresenta facilidades do ponto de vista de construção e dimensionamento, entretanto, apresenta um alto consumo de potência relacionada a lógica combinacional da porta NOR. Na Figura 3.14 ilustra as diferenças na estrutura da porta lógica, comparando as abordagens NAND e NOR.

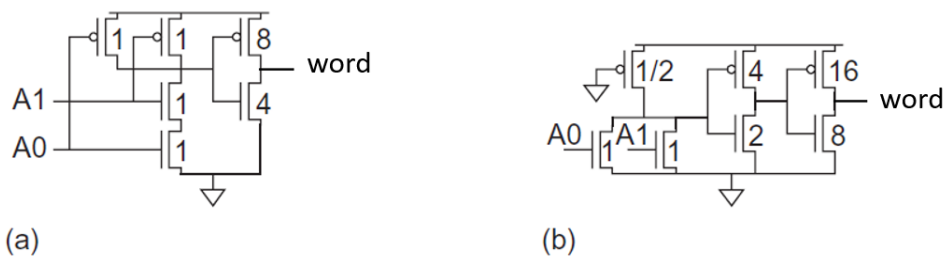


Figura 3.14 – Circuitos das portas (a) NAND e (b) NOR utilizadas nos decodificadores.  
Fonte: (WESTE; HARRIS, 2015)

Considerando o projeto de uma *SRAM*, o decodificador de linha precisa garantir que apenas uma linha de células seja acionada por vez. Ao utilizar uma lógica estática, podemos não alcançar essa garantia. Nesse contexto, uma outra opção é utilizar os conceitos básicos apresentados, porém com lógica dinâmica. Existem também, o fator do esforço elétrico gerado pelas ramificações do decodificador. Dessa forma, uma escolha inteligente é uma estrutura de pré-decodificador, ou seja, um decodificador multi-estágios (RABAEY; CHANDRAKASAN; NIKOLIĆ, 2003; PAVLOV; SACHDEV, 2008; WESTE; HARRIS, 2015). Um outro, um fator crucial para os decodificadores de linha é o *pitch-matched* do decodificador com a matriz de células. Existindo diferentes abordagens de leiaute para uma mesma célula *SRAM*, esse fator precisa ser considerado. Para o objetivo do trabalho será utilizado um conjunto de multiplexadores que selecionaram a coluna onde vai ocorrer a operação. Os sinais das *wordlines* será definido individualmente através de fontes de tensão.

### 3.5 Situação de Open-Access-Mode

Durante as operações de escrita e leitura, o decodificador de linhas mapeiam a matriz de células da *SRAM* e ativam a *wordline* referente a linha da célula alvo. Ao mesmo tempo, o decodificador de colunas conecta as *bitlines* correspondentes a coluna alvo ao conjunto de circuitos auxiliares que irão executar a operação. A Figura 3.15 apresenta graficamente essa situação na arquitetura da matriz de células.

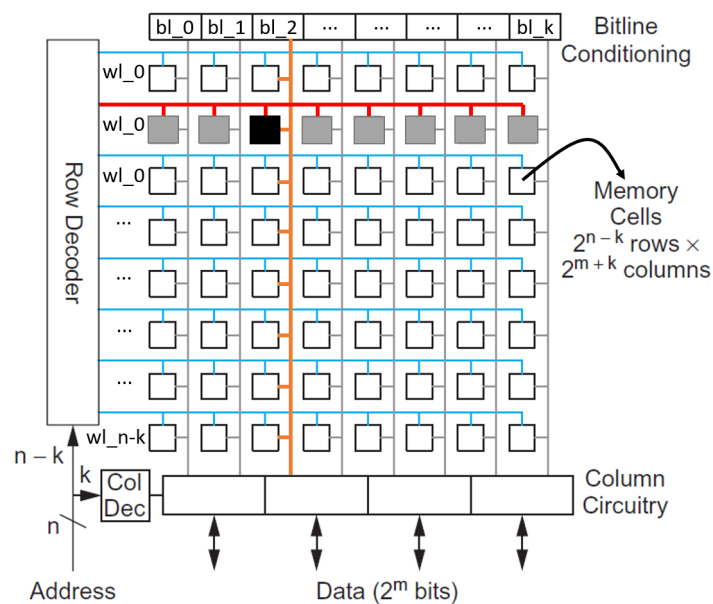


Figura 3.15 – Ilustração da ocorrência da situação de OAM.

Fonte: (WESTE; HARRIS, 2015)

Note que toda uma linha de células da matriz é ativada pela mesma *wordline* (Linha Vermelha), liberando a conexão aos nodos internos das células. Porém, como somente a coluna da célula selecionada tem suas *bitlines* conectadas aos circuitos auxiliares (Linha Laranja), as demais células da mesma linha apresentam uma situação de meia seleção (*half-selected*). Essa condição de operação também é mencionada na literatura como Modo de Acesso Aberto (*Open-Access Mode - OAM*) (ALORDA et al., 2011).

Por existir esse conexão direta com os nodos de armazenamento, as células nessa condição acabam ficando mais suscetíveis à desvios de comportamento e a ocorrência de falhas. Normalmente, a célula se mantém estável e nenhum efeito negativo ocorre durante essa situação. Entretanto, considerando a densidade das matrizes de células atuais, um número considerável de células acaba assumindo a condição de *OAM* durante a execução das operações. Além disso, sistemas modernos tendem a realizar um número maior de acessos a memória, o que aumenta a probabilidade da célula estar nessa condição durante o funcionamento do sistema.



### 3.6 Estabilidade da célula SRAM

A estabilidade da *SRAM* é uma funcionalidade crítica que determina a habilidade das células de memória de reter as informações armazenadas durante os modos de operação. As Margens de ruído estático (*Static Noise Margins - SNM*) calculam essa estabilidade através da máxima tensão de ruído estático que pode ser tolerado pela célula (PAVLOV; SACHDEV, 2008). Quando o ruído supera essa quantidade máxima, a *SRAM* apresenta um *bitflip*, ou seja, uma inversão no dado armazenado. Nesse sentido, é importante avaliar a estabilidade da célula durante as principais situações de operação. A *SNM* durante a operação de armazenamento é denominada de *Hold SNM (HSNM)*, durante a operação de leitura por *Read SNM (RSNM)* e durante a escrita por *Write SNM (WSNM)*.

Existem diferentes formas para calcular as *SNMs* da *SRAM*. Entretanto, a maioria dessas abordagens é derivada de um mesmo método base. Esse método é definido como a Característica de Transferência de Tensão (*Voltege Tranfer Characteristic - VTC*) (PAVLOV; SACHDEV, 2008; RAJPUT; TIWARI; PATTANAİK, 2018). O cálculo dessa característica relaciona o máximo sinal que pode ser aceito pelo dispositivo sem afetar sua forma correta de operação em um sistema. É importante considera que o ruído esteja presente por tempo suficiente para o circuito consiga reagir ao seus efeitos, ou seja, o ruído é "estático" ou DC.

Na literatura uma das principais formas de relacionar a *VTC* as *SNMs* é utilizando o método gráfico da sobreposição das curvas *VTC* (PAVLOV; SACHDEV, 2008; SINGH; MOHANTY; PRADHAN, 2013; RAJPUT; TIWARI; PATTANAİK, 2018). A plotagem das curvas sobrepostas gera uma geometria característica, também referenciada como curvas borboletas (*Butterfly Curves*). Na *SRAM* as características de transferência de tensão podem ser obtidas aplicando o ruído em um dos nodos internos (*Q-Qb*) com uma fonte de tensão. A tensão começa em 0 V e é aumentada gradualmente até a tensão nominal de alimentação. Assim, é verificando a quantidade de tensão  $V_n$  necessária para causar um *bitflip* na célula, durante cada uma das operações (leitura, escrita e *Hold*). A lateral do maior quadrado entre as curvas borboleta é a tensão do ruído máxima suportada pela célula. A Figura 3.16 apresenta as relações geométricas utilizada para realizar a obtenção do lado do maior quadrado nesse método.

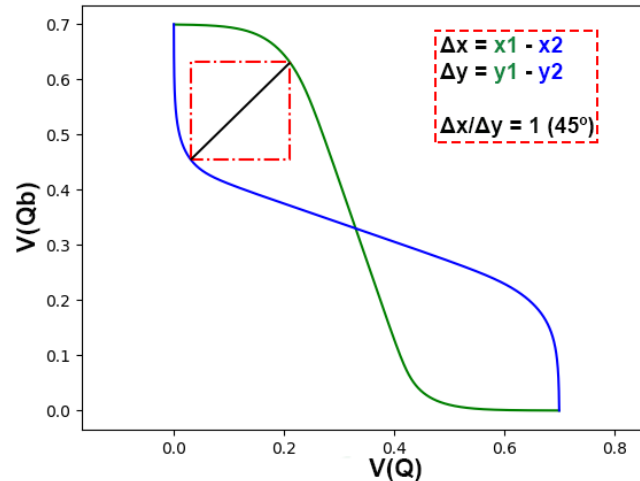


Figura 3.16 – Representação gráfica do método das curvas-borboleta.

### 3.7 Robustez da SRAM à Radiação

A miniaturização tecnológica, a redução da tensão de alimentação, o aumento da densidade de transistores e a utilização de altas frequências de operação introduziram novos desafios de confiabilidade, aumentando a sensibilidade dos circuitos a falhas de radiação (SHAH; NAIRN; SACHDEV, 2015). Circuitos eletrônicos são expostos à radiação tanto no espaço quanto a nível terrestre. A exposição desses circuitos as partículas carregadas pode causar diferentes efeitos, desde distúrbios temporários, até danos permanentemente. As primeiras pesquisas relacionadas aos estudos dos efeitos de radiação em sistemas eletrônicos datam da década de 60, onde (WALLMARK; MARCUS, 1962) fez as primeiras previsões que os raios cósmicos poderiam começar a causar o mal funcionamento dos dispositivos conforme o dimensionamento continuasse a ser reduzido. Porém, somente em 1975 as primeiras anomalias atribuídas a radiação espacial foram reportadas por (BINDER; SMITH; HOLMAN, 1975) em flip-flops alocados em satélites. No trabalho de (BINDER; SMITH; HOLMAN, 1975) também foi proposto o primeiro método de estimativa da ocorrência de falhas, baseado no modelo de difusão e coleção de carga.

Em 1978, os membros da *Intel Corporation* (MAY; WOODS, 1978) apresentaram o primeiro trabalho publicado que relatava falhas ocasionadas em memórias *DRAM* ao nível do mar. As falhas foram causadas por partículas emitidas durante o decaimento de elementos radioativos, que contaminaram o material de encapsulamento no processo de fabricação. Além disso, (MAY; WOODS, 1978) introduziram o conceito de carga crítica e falhas transientes (*Soft Error - SE*). Falhas transientes cobrem dois eventos principais: *Single Event Upset (SEU)*, quando a falha ocorre pela interação direta da partícula com um elemento de memória (por exemplo, uma célula RAM ou um flip-flop), e *Single Event*

*Transient (SET)*, quando uma partícula atinge uma porta lógica, gerando a propagação de um sinal parasita através do caminho combinacional (AUTRAN; MUNTEANU, 2017). Ainda em 1978, (PICKEL; BLANDFORD, 1978) apresentaram um modelo elétrico de predição para taxa de ocorrência das falhas em *DRAMs* baseadas na tecnologia CMOS.

Nos anos de 1979, diversos trabalhos tiveram relevância na literatura: (GUENZER; WOLICKI; ALLAS, 1979) relacionou a ocorrência de *Soft Errors* a eventos induzidos por prótons e nêutrons de alta intensidade derivados de reações nucleares, popularizou o termo *Single Event Upset* que é hoje amplamente encontrado na literatura; Em (ZIEGLER; LANFORD, 1979) foi realizada a primeira predição quantitativa de que as falhas derivadas dos raios cósmicos seriam a principal causa dos problemas em aplicações terrestres e de baixa altitude; Em (KOLASINSKI et al., 1979) foi descoberto a falha induzida por íons (partículas carregadas) pesados em *SRAMs*, chamado de *heavy-ion-induced latchup*; Em (WYATT et al., 1979) foram investigadas as falhas induzidas por prótons através de aceleradores, descobrindo que os prótons causam *soft errors*. De 1983 até 1988 se destacam as contribuições de (O’GORMAN et al., 1996), que realizou os primeiros experimentos em tempo real utilizados chips de memória. Finalizando os trabalhos percursos nos estudos das falhas de radiação, foi (BAUMANN et al., 1995) que os primeiros estudos relacionados a interação dos nêutrons térmicos com um isótopo do Bóro-10. Nesse trabalho foi demonstrada a capacidade de causar *soft errors* através da interação dessas matérias, fato que não poder mais ser negligenciados durante a etapa de projeto.

Atualmente, os efeitos de falhas derivadas de uma única partícula *Single Event Effects (SEE)* são reconhecidos como uma grande ameaça para os dispositivos eletrônicos (ASAI, 2019). Os *SEE* podem assumir diferentes formas, e neste trabalho discutiremos as falhas transientes ou *Soft Errors*. Esse tipo de falha ocorre quando uma partícula carregada interage com os átomos do material através da colisão direta ou influencia eletromagnética. Essas interações com os elétrons átomo gradualmente desaceleram a partícula e induzem a geração de um grande número de elétrons excitados, que podem ou não serem ejetados de suas órbitas (AUTRAN; MUNTEANU, 2017). Dessa forma, no percurso realizado pelos íons, é criado um caminho condutivo composto por pares de elétron-lacunas. Estas cargas podem ser transportadas e coletadas pelo dispositivo, induzindo uma corrente parasitária, que perturba temporariamente o circuito. Em outras palavras, quando uma partícula energizada atinge a junção PN inversamente polarizada do transistor, o transistor coleta a carga associada a partícula, criando um caminho condu-

tivo. Desta forma, essa interação pode afetar toda uma região próxima à área de colisão da partícula. Os transistores afetados coletam a carga depositada e podem apresentar desvios de comportamento.

Recentemente, as falhas transientes induzidas por múons tem recebido muita atenção devido à constante redução da imunidade das *SRAMs* aos *Soft Errors* (MANABE et al., 2019). Em (KOBAYASHI et al., 2019) essa sensibilidade das *SRAMs* é avaliando em relação a variabilidade de processo. Juntamente com a análise das características de robustez, o monitoramento da ocorrência das falhas tem ganhado bastante destaque. Em (PRINZIE et al., 2019) um circuito similar a topologia de célula foi projetada para monitorar e identificar a ocorrência de *Soft Errors*. Além disso, mesmo tecnologias no estado da arte que ainda não entraram em produção de larga escala, tem sido avaliadas com cuidado quando as características de robustez aos efeitos de radiação (ELWAILLY et al., 2021).

## 4 METODOLOGIA

Este trabalho tem como objetivo avaliar a robustez à falhas de radiação em diferentes células de memória, observando o impacto de adotar a tecnologia  $28\text{ nm FDSOI}$  para o projeto destas células. Para isso foram avaliadas 3 diferentes topologias de células *SRAM*, escolhidas por apresentarem características peculiares que se destacam dentro da imensa gama de topologias encontradas na literatura. Estas topologias são comparadas considerando algumas das principais características relacionadas ao projeto de uma *SRAM*, sendo elas:

- Os atrasos relacionada aos tempos de acesso à memória;
- O consumo energético das células durante o ciclo de operações;
- A estabilidade proveniente das marges de ruído estático;
- A robustez aos efeitos transientes derivados das falhas de radiação;

Este capítulo apresenta as células *SRAM* implementadas e toda a descrição da metodologia de simulações implementadas. A Figura 4.1 ilustra as etapa de desenvolvimento e fluxo de simulações da realizadas. O trabalho é baseado em simulações elétricas, onde optamos pelo uso do simulador comercial Cadence Spectre. Inicialmente os circuitos passam pelo ciclo de validação. Posteriormente, os circuitos são avaliados quanto suas características elétricas de atraso e potência. No segundo ciclo de simulações a análise das margens de ruído é realizada. Por fim, no último ciclo de simulações, a *SRAM* é avaliada quanto os aspectos de robustez a radiação.

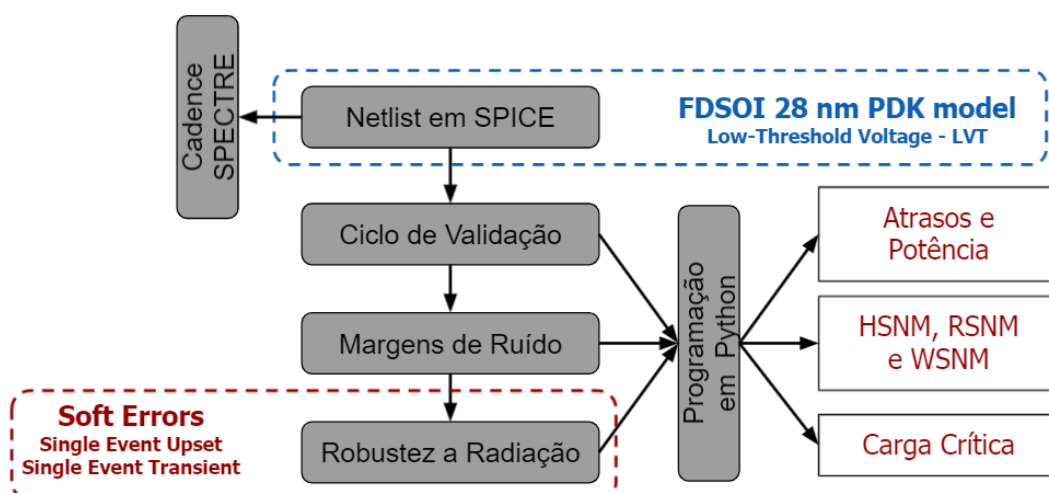


Figura 4.1 – Fluxo de desenvolvimento do trabalho.

Todos os circuitos foram descritos em *SPICE* utilizando o PDK *FDSOI* de 28 *nm* disponibilizado pela *ST Microelectronics*. A Tabela 4.1 ilustra as principais características da tecnologia. Foram utilizados transistores no modelo de *Low-Vth* (*LVT*), com tensão de alimentação ( $V_{DD}$ ) de 1 V e com tensão no plano traseiro ( $V_{BP}$ ) definida em *Ground*. A espessura da fina camada de silício ( $T_{SI}$ ) é de 7 *nm*, enquanto a espessura da camada isolante  $T_{BOX}$  é de 25 *nm*. O comprimento mínimo do canal do transistor é 30 *nm*, enquanto a largura mínima é 80 *nm*. Tanto o fluxo de desenvolvimento, quanto as demais considerações adotadas neste trabalho serão detalhadas nas próximas seções.

Tabela 4.1 – Parâmetros físicos da tecnologia.

<b>UTBB FDSOI 28 nm</b>	
Modelo do Transistor	LVT
Tensão de $V_{DD}$	1 V
Tensão de $V_{BG}$	gnd
$T_{SI}$	7 nm
$T_{BOX}$	25 nm
$L_{MIN}$	30 nm
$W_{MIN}$	80 nm

#### 4.1 Células SRAM Avaliadas

Nesse trabalho são exploradas 3 topologias de célula *SRAM*: (1) A *SRAM* 6T, (2) a *SRAM* 8T e (3) a *SRAM* 12T DICE. Essas células foram escolhidas por possuírem um número distinto de transistores e objetivos de projeto diferentes. A célula *SRAM* 6T clássica já foi previamente descrita no Capítulo 3 e seu diagrama elétrico com os 6 transistores está ilustrado na Figura 3.3. O impacto do dimensionamento dos transistores nessa célula, também foi apresentado no Capítulo 3. Para esse trabalho, buscamos conciliar um bom nível de estabilidade, sem impactar drasticamente na área ocupada. Assim, a célula 6T foi projetada tendo os transistores PMOS  $W = 80$  *nm*, os transistores NMOS dos inversores com  $W = 120$  *nm*, e os transistores de acesso as *bitlines* com  $W = 80$  *nm*. Desta forma a razão  $CR = 1.5$ .

A célula 8T é uma abordagem de célula *SRAM* baseada na 6T clássica, que é comumente utilizada em projetos *ultra-low voltage*, pois é possível obter níveis de estabilidade adequados, mesmo operando em baixa tensão (KIM; LEE; DO, 2018). Essa célula possui 8 transistores, 6 deles ( $N1-N2-N3-N4$  e  $P1-P2$ ) compondo um arranjo

idêntico a uma célula 6T convencional, e com a adição de 2 transistores ( $N5-N6$ ) que conectam um sinal *ground* com uma nova *bitline*, denominada *RBL*. Para controlar esses transistores adicionais, utilizamos um novo sinal de *wordline*, chamado *RWL* e o próprio sinal derivado do valor atual armazenado no nodo complementar da célula ( $Qb$ ). A Figura 4.2 apresenta o esquemático elétrico da célula 8T. A técnica de adicionar esse par de transistores é chamada de *Decouple SRAM* (ZHU; KURSUN, 2014).

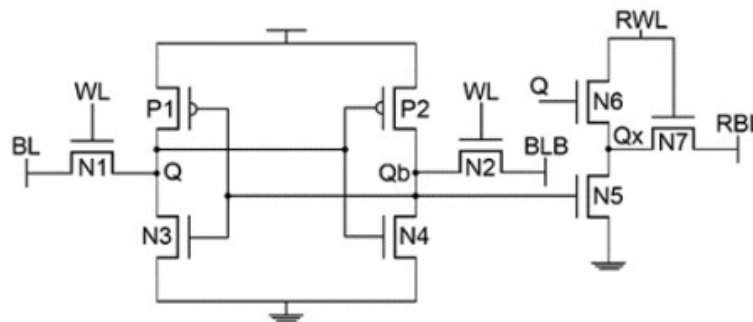


Figura 4.2 – Diagrama elétrico da célula 8T.  
Fonte: (KIM; LEE; DO, 2018)

Diferente da 6T clássica, a *SRAM* 8T executa a operação de escrita e leitura através de *bitlines* separadas. A escrita ocorre de maneira similar ao apresentado na discussão da célula 6T. Por outro lado, a operação de leitura não apresenta mais interação direta com os nodos de armazenamento.

Considerando uma situação de leitura do valor lógico 0, ou seja, onde  $Q$  está armazenando o valor lógico 0 e o nodo  $Qb$  o valor lógico 1. Nesse caso, como o *gate* do transistor  $N5$  (do tipo NMOS) está conectado a  $Qb$ , o transistor está em estado de *ON*. Contudo, antes da operação de leitura ser executada, ocorre um curto período de pré-carga da *bitline* de leitura (*RBL*), que logo em seguida assume um estado de alta impedância. Assim, quando o sinal *RWL* assume um valor lógico alto, o transistor  $N6$  (do tipo NMOS) também irá conduzir. Dessa forma, a *bitline* *RBL* começa a baixar rapidamente em direção a *ground*, demonstrando ao circuito de leitura ligado a ela que o valor armazenado na célula é o valor lógico 0. Já durante a leitura do valor lógico 1, ou seja,  $Q$  está armazenando 1 e o nodo  $Qb$  o valor 0. Nessa situação, o transistor  $N5$  não estará conduzindo, o que não permitirá que a tensão pré-carregada em *RBL* seja drenada. Logo, o circuito amplificador de sinal identifica que o valor armazenado pela célula é o valor lógico 1. Com essa estrutura, a célula 8T permite que a razão entre os transistores seja mínima, pois não existe o risco de acessos destrutivos a memória durante a operação

de leitura. Nesse sentido, a célula 8T foi implementada seguindo um  $CR = 1$ . Assim, os transistores PMOS dos inversores possuem um  $W = 80 \text{ nm}$ , os transistores NMOS dos inversores ficaram com um  $W = 80 \text{ nm}$ , os transistores de acesso às *bitlines* com  $W = 80 \text{ nm}$ , e os transistores NMOS do mecanismo de leitura dedicado com  $W = 80 \text{ nm}$ .

A célula 12T DICE (*Dual Interlocked Storage Cell*) foi a terceira célula avaliada pelo trabalho, e consiste de uma topologia conhecida por ser uma referência nos aspectos de robustez a falhas de radiação (CALIN; NICOLAIDIS; VELAZCO, 1996). Essa célula é composta por um par redundante de células 6T inter-conectadas, de maneira que seus nodos internos consigam atingir altos níveis de robustez. A célula possui 12 transistores, sendo 8 deles ( $N1-N2-N3-N4$  e  $P1-P2-P3-P4$ ) alocados para a composição dos inversores internos e os outros 4 ( $N5-N6-N7-N8$ ) utilizados como transistores de passagem. A Figura 4.3 apresenta o diagrama elétrico da célula.

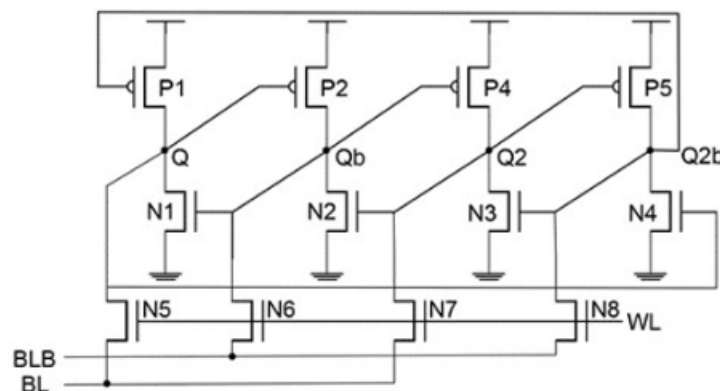


Figura 4.3 – Diagrama elétrico da célula 12T-DICE.

Fonte: (CALIN; NICOLAIDIS; VELAZCO, 1996)

O funcionamento da *SRAM* DICE é muito similar ao da célula *SRAM* 6T. Entretanto, na DICE cada *bitline* está conectada a um par redundante de nodos de armazenamento ( $Q-Q2$  conectados a *BL* e  $Qb-Q2b$  conectados a *BLB*). Essa característica, apesar de aumentar a robustez em relação à radiação, pode impactar nos aspectos de desempenho. Por esse motivo, essa topologia também necessita de uma boa relação entre o dimensionamento dos seus transistores. Nesse trabalho, optamos por utilizar uma razão  $CR = 1,5$ , idêntica ao implementado na célula 6T clássica. Dessa forma, célula DICE foi projetada tendo os transistores PMOS dos inversores com um  $W = 80 \text{ nm}$ , os transistores NMOS dos inversores com um  $W = 120 \text{ nm}$ , e os transistores de acesso às *bitlines* com  $W = 80 \text{ nm}$ .



## 4.2 Metodologia de Simulação

A metodologia de simulação deste trabalho está dividida em 4 subseções: (1) A descrição das etapas de projeto e construção da arquitetura da *SRAM*; (2) A elaboração do ambiente de validação lógica e obtenção das características de atraso e consumo energético das células; (3) A avaliação da estabilidade da células através das margens de ruído, considerando os 3 modos de operação (*Hold*, escrita e leitura. (4) O estudo dos efeitos de *Single Event Upset* no circuito das células e de *Single Event Transient* na propagação de uma falha através das *bitlines*. Todos esses tópicos serão devidamente exploradas durante a continuidade do capítulo.

### 4.2.1 Arquitetura Implementada

Para discutir as características de projeto objetivadas por esse trabalho, avaliar uma única célula *SRAM* de maneira isolada é pouco eficiente. O bloco de células *SRAM* possui muitas variáveis que impactam no desempenho final do projeto, como por exemplo, a grande capacitância existente nas *bitlines*, que ocorre devido as múltiplas *bit-cells* conectadas em paralelo.

Buscando uma abordagem mais próxima da realidade, foi inicialmente adotado uma estrutura de coluna. Nesse modelo, temos uma coluna que reúne 128 células de memória, juntamente com os circuitos auxiliares necessários para a realização das operações, todos conectados ao mesmo conjunto de *bitlines*. A célula 6T foi utilizada como base para construção da arquitetura. Foram adotados circuitos auxiliares com destaque na literatura, já devidamente abordados no Capítulo 3 . A ilustração dessa estrutura de coluna é apresentada na Figura 4.4 (a). A sequência dos sinais de controle utilizada na célula 6T pode ser observada pela ilustração da Figura 4.4 (b). O sinal *BIT* define o valor a ser armazenado pela célula. O sinal *PRE* define o acionamento ou desligamento do circuito de pré-carga. O sinal *WL* libera ou restringe a conexão das *bitlines* aos nodos internos da célula. O sinal *WE* gerencia a ativação do circuito de escrita. O sinal *SAE* habilita o amplificador à acelerar a definição do valor lógico para a saída.

Além da descrição dos circuitos, foi necessário definir um ambiente de simulação para realizar a validação das implementações. Desse maneira foi montado uma sequência bem definida de operações, onde apenas uma das 128 células será acessada. As demais 127 ficarão operando em *Hold*, 63 armazenando o valor lógico 0 e 64 o valor lógico 1.

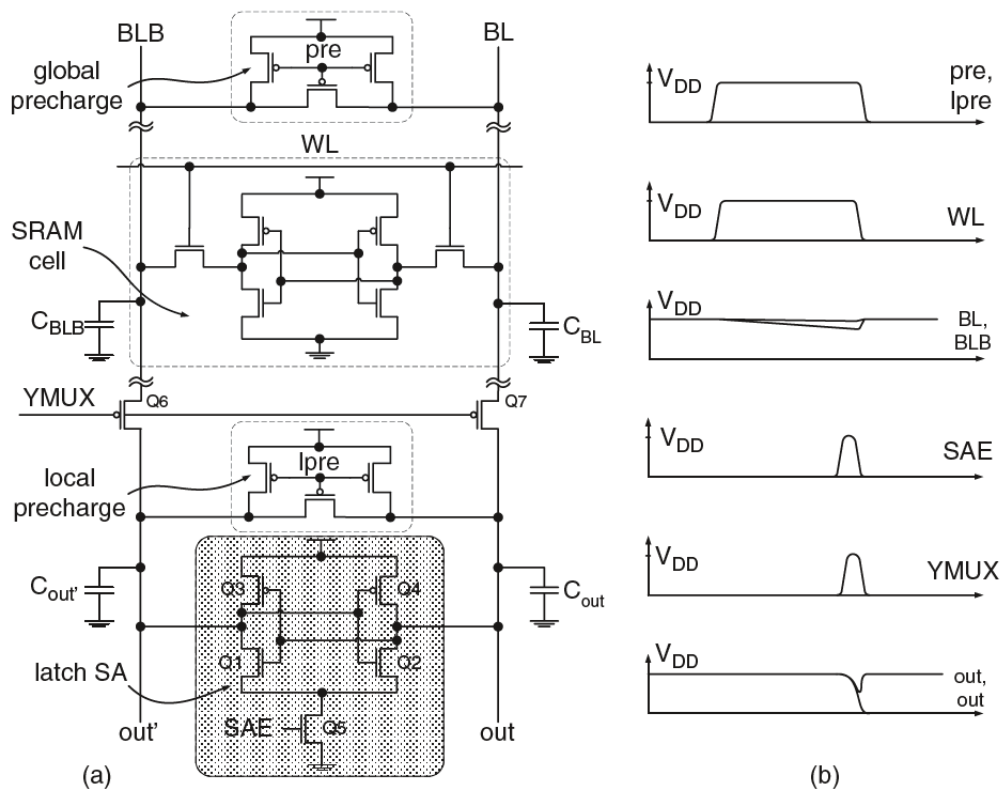


Figura 4.4 – Arquitetura e sinais de controle da estrutura de coluna.

Fonte: (ALORDA et al., 2011)

Essa arquitetura de coluna única não permite avaliar a situação de *half-select*. Então, após a sua validação, foi necessário a adição de uma nova coluna à arquitetura de simulação. Dessa forma, a arquitetura possui 2 colunas de 128 células cada. Nessa estrutura, 64 células de cada coluna estão armazenando o valor lógico 1, enquanto 63 estão armazenando o valor lógico 0. Em cada uma das colunas uma célula será acessada para sofrer as operações. Ambas pertencem a mesma linha de seleção (compartilham a mesma *wordline*). As demais células de cada coluna seguem em *hold*. A Figura 4.5 ilustra arquitetura projetada e simulada neste trabalho. A seleção entre as colunas do bloco é realizada através de um sinal *Select*, que passa por um multiplexador. Quando o sinal *Select* for "baixo", a operação ocorre na primeira coluna, quando for "alto" a segunda coluna é selecionada. Em outras palavras, o sinal de seleção recebido pelo multiplexador é direcionado à ativação do sinal *YMUX* referente a coluna correta.

Para a elaboração de um ambiente de simulação, o período de uma operação foi definido em 1 ns, dessa forma a frequência utilizada na simulação foi de 1 GHz. Nesse ambiente, é realizada uma operação de escrita do valor lógico 0, na célula selecionada. Em seguida, após um breve intervalo de *Hold*, a operação de leitura do valor escrito é realizada. Na sequência, ocorre uma nova operação de escrita na mesma célula, dessa

vez, do valor lógico 1. Novamente, após um curto intervalo de *Hold*, é realizada a leitura do valor armazenado. Relacionando os resultados da simulação desse ambiente com o comportamento esperado da *SRAM*, foi possível validar toda a estrutura.

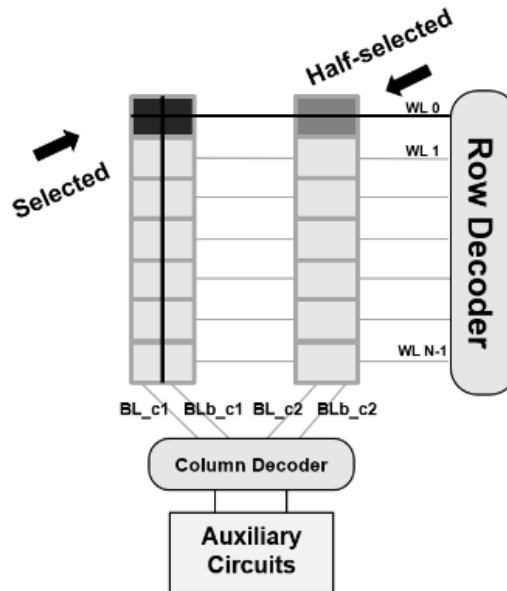


Figura 4.5 – Arquitetura simplificada do bloco de células.

#### 4.2.2 Estimativa dos Atrasos e Consumo Energético

Uma das principais características que torna o uso da *SRAMs* atrativa aos projetistas, são seus atrasos de propagação em comparação há outras tecnologias de memória. Nessa sessão serão descritos os passos realizados para a obtenção desses tempos. Além disso, outra característica muito frequente entre os requisitos de projeto de memórias *SRAM* é o consumo energético. Nesse sentido, também será estimada a potência dissipada durante um ciclo de operação. O ambiente de simulação utilizado para a obtenção de ambas as características foi o de validação da arquitetura, ou seja, é selecionada a célula de uma das colunas e é realizada em sequência: A escrita do valor 0, Leitura do valor armazenado na célula (0), Escrita do valor 1 e Leitura do valor armazenado na célula (1).

O atraso de escrita é determinado observando o tempo em que a tensão aplicada nas *bitlines* pelo circuito de escrita leva para alterar o dado armazenado na célula. Quando o sinal *WE* é ativado, o circuito de escrita estabelece conexão com o par de *bitlines* e define a tensão de *BL* e *BLB* baseado no sinal *BIT*. A conexão da célula com as *bitlines* é estabelecida habilitando o sinal *WL*. Para obtenção dos tempos é importante

que a célula esteja armazenando um valor lógico complementar ao que está sendo escrito pela operação, assim observa-se o atraso 0 para 1 e o respectivo atraso para a transição do valor 1 para 0. O atraso de escrita da célula é definido pelo maior dos dois atrasos e o cálculo ocorre através do intervalo entre a ativação de 50% do sinal  $WL$  até 50% da tensão de subida do nodo da célula que está recebendo a escrita do valor lógico.

O atraso de leitura pode ser obtido através de diferentes métodos, que incluem ou não o tempo de interação com o circuito amplificador de sinal. Como o objetivo dessa trabalho está direcionado ao comportamento das células, foi utilizado o método descrito por (AGAL; KRISHAN et al., 2014). Nesse método, o atraso é calculado pela capacidade das células de descarregar a tensão das *bitlines*. Diferente da operação de escrita, na leitura existe apenas um atraso característico. Durante o processo de leitura, as *bitlines* foram pré-carregas e estão em situação de alta impedância. Quando o sinal  $WL$  assume um valor lógico alto, a conexão entre a célula e as *bitlines* é estabelecida, o nodo que está armazenando o valor lógico 0 começa a baixar vagarosamente a tensão da *bitline* ligada a ele. Assim, o circuito amplificador de sinal pode medir a diferença de tensão entre as *bitlines* e definir o dado armazenado para o registrador de saída. Essa diferença de tensão é definida como 10% da tensão de alimentação, ou seja, o atraso de leitura é calculado através do intervalo entre a ativação de 50% do sinal  $WL$  até o momento que haja uma diferença de 10% na tensão entre as *bitlines*. Ambos os cálculos estão ilustradas na Figura 4.6, o maior atraso entre o tempo de escrita e leitura, é considerado como o atraso crítico da célula.

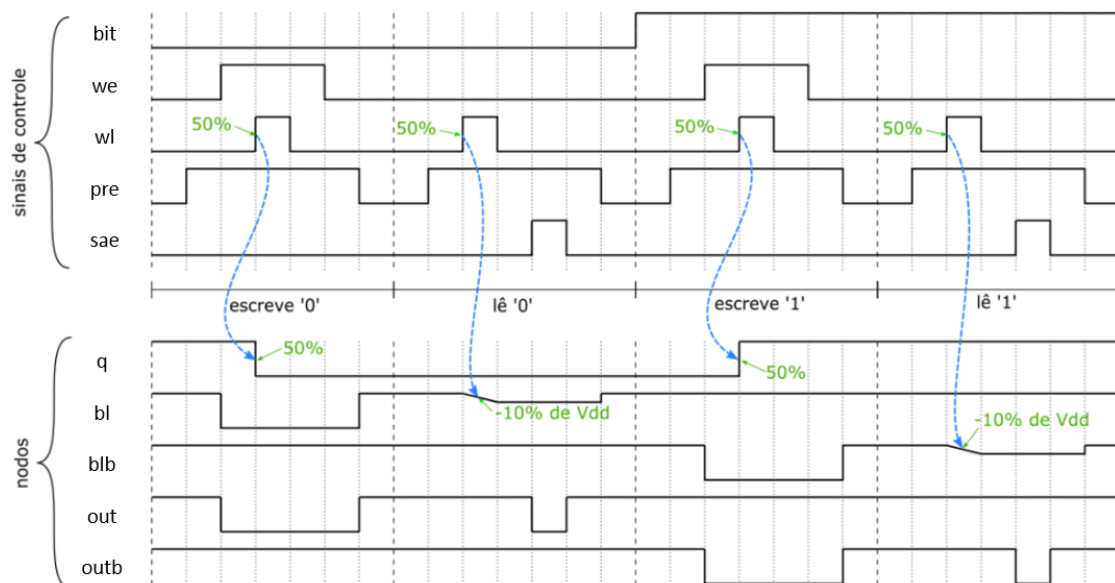


Figura 4.6 – Obtenção dos tempos de escrita e leitura.

O consumo energético é outro ponto crucial dentro do contexto de qualquer circuito integrado, principalmente quando se fala do projeto de uma *SRAM*. Para obter o consumo de energia individual de cada célula analisada, foi utilizada uma fonte de tensão dedicada para a célula alvo, enquanto o resto dos circuitos são alimentados por fontes secundárias. Utilizando o mesmo ambiente de simulação transiente, onde se obteve os tempos de atrasos, é possível selecionar a fonte específica da célula e calcular a integral da corrente dentro do período de simulação. Dessa forma, obtendo a energia consumida durante esse período. A relação da energia com a potência ( $P$ ) é determinada pela Equação 4.1, onde  $t$  é o tempo de simulação total,  $i$  é corrente consumida durante a simulação e  $V_{dd}$  é a tensão nominal da tecnologia. Assim, a potência é dada pela divisão da energia consumida pelo tempo de simulação, multiplicado pela tensão de alimentação.

$$P = \left( \frac{\int_t i dt}{t} \right) v_{dd} \quad (4.1)$$

#### 4.2.3 Cálculo das Margens de Ruído Estático

A estabilidade da célula *SRAM* é outra característica determinante que define a habilidade da célula em reter o dado armazenado na presença de fatores adversos. Nesse trabalho, a tolerância ao ruído foi obtida através das margens de ruído estático (*Static noise margins - SNM*). As *SNM* quantificam quanta tensão de ruído ( $V_n$ ) é necessária para ocasionar uma inversão no dado armazenado pela célula. O método utilizado para quantificar esse ruído foi o modelo gráfico da sobreposição das características de transferência de tensão (*Voltage Transfer Characteristic - VTC*). Esse método é conhecido como curvas borboletas (*Butterfly Curves*) (RAJENDRAN et al., 2011; SINGH; MOHANTY; PRADHAN, 2013; RAJPUT; TIWARI; PATTANAIK, 2018).

Para a obtenção das características de transferência de tensão, uma fonte de tensão DC é associada a um dos nodos da célula. Essa simulação ocorre através de uma análise DC, que calcula o ponto de operação do circuito em função de uma fonte de corrente ou de tensão contínua. Nesse sentido, as curvas *VTC* são obtidas pela variação linear da tensão da fonte conectada ao nodo, de 0 até a tensão de alimentação da célula. Como saída da simulação, temos um conjunto de 10.000 pontos que formam uma curva. Essa curva descreve o comportamento no nodo complementar da célula em relação a variação de tensão na fonte. A etapa final é definida pela calculo da lateral do quadrado de maior área

entre as curvas *VTC*. O valor de tensão relacionado ao lado desse quadrado identifica o limiar de ruído tolerado pela célula.

O método das curvas borboletas foi aplicado nos 3 modos de operação da célula, durante o *Hold*, escrita e leitura. As células foram avaliadas individualmente, fora da estrutura de bloco. Os sinais de controle da célula foram definidos para apresentarem o comportamento adequado em cada operação. A Figura 5.5 apresenta a célula 6T e os sinais aplicados para simular cada ambiente de operação. Para o ambiente de *Hold* as *bitlines* foram fixadas em um valor lógico alto (simulando uma tensão de pré-carga) e o sinal *WL* ficou desabilitado. No ambiente de leitura, ambas as *bitlines* se mantiveram em um valor alto, mas agora com o sinal *WL* ativado. Para o ambiente de escrita, como não existe uma condição de simetria entre os sinais, foi considerado duas situações. Na primeira situação, *BL* foi definida com valor lógico 0 e *BLB* em valor lógico 1. Na segunda, *BL* foi definida em um valor lógico 1, enquanto *BLB* ficou em um valor lógico 1. Assim cobrindo as diferentes situações de interação da célula com o circuito de escrita.

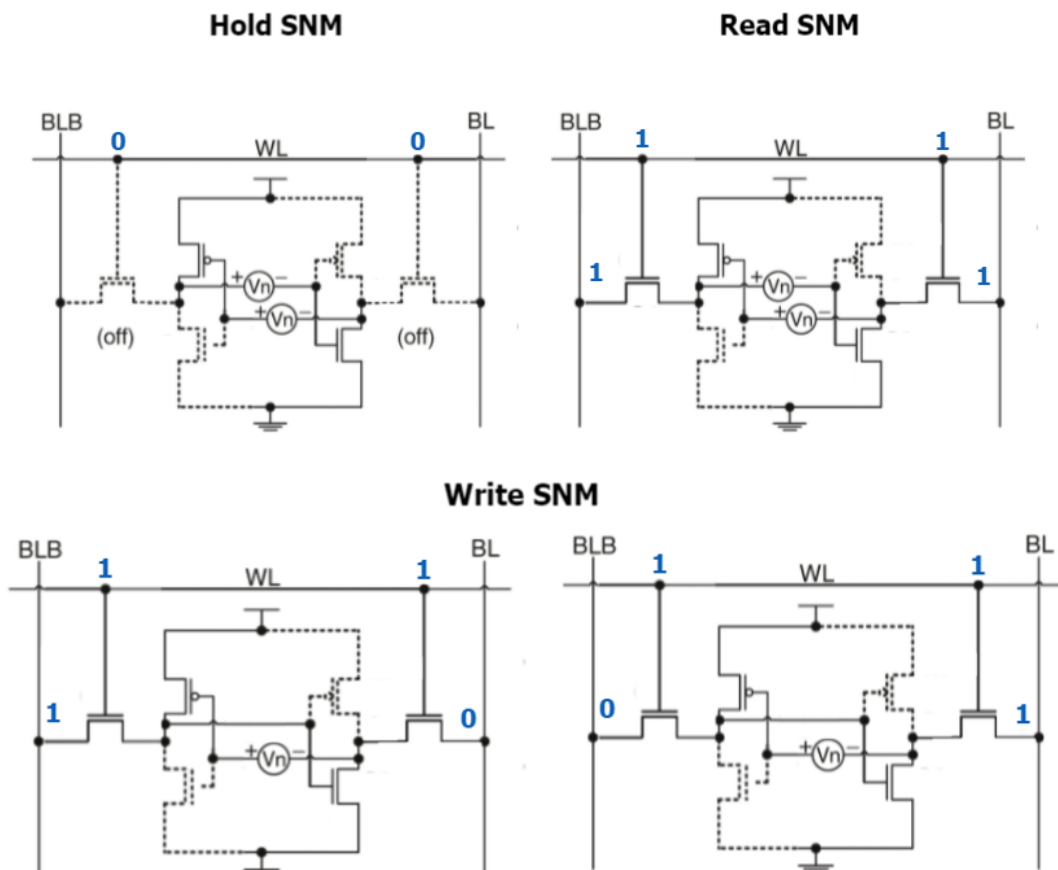


Figura 4.7 – Ilustração dos ambientes simulados para o cálculo das SNM.

O cálculo do quadrado é obtido pela relação geométrica entre os pontos das curvas, conforme foi apresentado na Figura 3.16 no 3. Se a componente  $X$  da curva 1 menos a componente  $X$  da curva 2, for igual a componente  $Y$  da curva 1 menos a componente  $Y$  da curva 2, então existe uma angulação de  $45^\circ$  entre os pontos. Dessa forma, definindo a existência de uma geometria quadrada. Essa técnica é muito popular na literatura, pois é facilmente automatizada computacionalmente quando realizada através de simuladores *SPICE*. Tendo isso em vista, um *script* em Python foi desenvolvido, utilizando os recursos da biblioteca Matplot. Esse *script* interpreta a saída do simulador, apresenta a plotagem das curvas *VTC* e calcula as margens de ruído estático da célula em relação à plotagem.

#### 4.2.4 Análise da Robustez a *Soft Errors*

A ocorrência de falhas de radiação nas células de memória tem tido cada vez mais destaque no âmbito científico, principalmente devido a atual escala de projeto dos circuitos integrados. Os efeitos de um pulso eletromagnético ou de uma partícula de radiação em um circuito integrado podem resultar em desvios transientes ou permanentes no comportamento do circuito. Existe uma série de fatores que definem o tipo de impacto causado pela interação com o dispositivo, como foi discutido no Capítulo 3. Nesse trabalho serão exploradas as falhas transientes do tipo *SEU* e *SET*, que podem ser modeladas pelo surgimento de um pulso de corrente que altera o comportamento esperado do circuito, mas que pode ser corrigido com o passar do tempo ou pela realização de uma nova operação.

Um *SEU* é caracterizado pela inversão do dado armazenado na célula de memória, em decorrência dos efeitos da colisão de uma partícula diretamente com o circuito dessa memória. Um *SET* não incide diretamente com o circuito da memória, por definição chamamos de *SET* o surgimento de um pulso transiente em circuitos combinacionais. Entretanto, um *SET* também pode ocasionar a inversão do dado armazenado na memória. Se o pulso transiente conseguir se propagar pelo caminho combinacional e alcançar a célula de memória, a mesma pode sofrer um *bitflip*. Esses dois eventos se diferem basicamente pelo tipo de circuito que a partícula afeta, mas do ponto de vista dos efeitos físicos relacionados a interação com o transistor são estritamente idênticos.

Como discutido no Capítulo 3, a colisão da partícula acaba gerando um fluxo de corrente que está atrelada a sua carga. Realizando a injeção de um pulso de corrente em um dos nodos sensíveis da célula e controlando a intensidade desse pulso, é possível

estimar a carga mínima ou carga crítica ( $Q_{crit}$ ) que é capaz de afetar a célula. Para esse trabalho consideramos que toda a carga injetada foi coletada durante o processo. Para essa análise de robustez a radiação, foi utilizado o modelo de dupla exponencial, que associa os efeitos da partícula a um pulso de corrente (MESSENGER, 1982). A Equação 4.2 apresenta os parâmetros do modelo que descrevem o pulso de corrente, onde  $Q_{coll}$  é a carga coletada ( $fC$ ),  $\tau\alpha$  é a constante do tempo de coleção de carga,  $\tau\beta$  é a constante de tempo referente formação da trilha ionizada.

$$I(t) = \frac{Q_{coll}}{\tau\alpha - \tau\beta} \left( e^{-\frac{t}{\tau\alpha}} - e^{-\frac{t}{\tau\beta}} \right) \quad (4.2)$$

Os parâmetros desse modelo podem assumir diferentes valores, conforme as características do evento a ser simulado. Baseado em diferentes trabalho encontrados na literatura (BAUMANN, 2005; NASEER et al., 2007; UZNANSKI et al., 2010; BARTRA; VLADIMIRESCU; REIS, 2015), optamos por fixar as constantes de tempo relacionadas a coleta carga e geração da trilha ionizada. Dessa forma,  $\tau\alpha$  foi definida em 200 ps e  $\tau\beta$  em 10 ps. O pico de corrente relacionada a partícula foi variada de 1 uA até 5000 uA. Assim, utilizando os parâmetros da Equação 4.2, é possível modelar o pulso através de uma fonte de corrente. Essa fonte é implementada no simulador elétrico utilizando a sintaxe representada na Equação 4.3. O elemento  $I(Nome)$  representa a nomenclatura da fonte de corrente,  $(Nodo)$  é o nodo do circuito que a fonte está conectada,  $(Fonte)$  simboliza a fonte natural ligada ao nodo,  $I(t0)$  é a corrente no tempo inicial (Geralmente igual zero),  $I(t)$  é a corrente associada a carga coletada durante a colisão com a partícula e  $t$  representa o tempo da injeção da falha na simulação.

$$I(Nome) (Nodo) (Fonte) EXP (I(t0) I(t) 't + \tau\beta' \tau\alpha) \quad (4.3)$$

Após a simulação, é verificado se ocorreu ou não um *bitflip* na célula. Se ocorreu, o valor de  $I(t)$  é reduzido e a simulação recomeça. Se não ocorreu, o valor de  $I(t)$  é aumentado e a simulação é reiniciada. Esse processo se repete sucessivas vezes até que o menor valor de  $I(t)$  que seja capaz de causar um *bitflip*, consiga ser encontrado. O ajuste de  $I(t)$  segue um algoritmo de busca binário.

Para identificar os nodos sensíveis é preciso observar o comportamento individual de cada nodo da célula para os pulsos do tipo 010 e 101. O pulso 010 configura a incidência de uma partícula em um nodo que possui um valor lógico 0, mas em decorrência da interação com a partícula, a polarização e o efeito de campo ocasionam uma falha que



torna esse valor lógico igual a 1. O pulso 101, compreende o caso contrário, onde o nodo possui o valor lógico 1 e em decorrência dos efeitos da partícula, esse valor é temporariamente forçado ao valor lógico 0. A Figura 4.8 destaca os nodos sensíveis das células avaliadas.

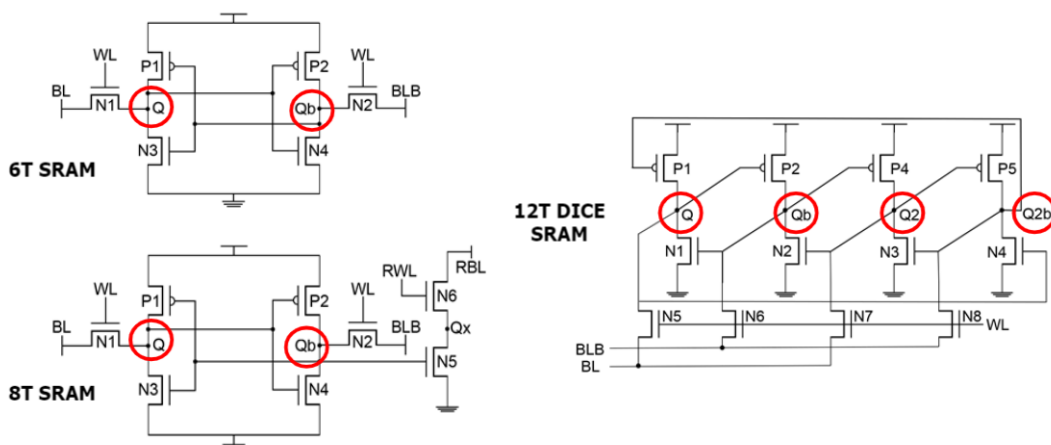


Figura 4.8 – Nodos sensíveis das topologias avaliadas.

Para avaliar as falhas que ocorrem nos circuitos auxiliares, foi considerado o estudo desenvolvido em (ALORDA et al., 2011; MARQUES; MEINHARDT; BUTZEN, 2020), que descreve como o ponto crítico da arquitetura dos circuitos auxiliares os nodos *BL* e *BLB* de cada coluna. Esses nodos executam toda a conexão entre os circuitos auxiliares com a matriz de células, portanto, o pior caso ocorre a partir da propagação da falha diretamente pelas próprias *bitlines*.

#### 4.2.4.1 Período de inserção das Falhas

Do ponto de vista probabilístico, a taxa de ocorrência de falha durante o *hold* é muito maior que nos demais modos de operação (PAVLOV; SACHDEV, 2008). Entretanto, em sistemas que exigem alta confiabilidade ou com um alto índice de acesso a memória, avaliar os efeitos da radiação durante as situações de escrita, leitura e *OAM* se torna relevante (ALORDA et al., 2011; MARQUES; MEINHARDT; BUTZEN, 2020; MARQUES; MEINHARDT; BUTZEN, 2021). Este trabalho avalia a robustez da *SRAM* durante as principais situações de operação, considerando a célula em *Hold* (armazenando um valor lógico), *Read* (situação de leitura), *Write* (situação de escrita) e *OAM* (situação de meia-seleção).

Para avaliar a falha durante o *hold*, inicialmente é realizada a escrita de um valor lógico, em seguida a célula volta ao estado de *Hold* e a falha é injetada no nodo sensí-

vel. Avaliando a falha durante o *OAM*, uma operação de escrita é realizada na segunda coluna da arquitetura. Em seguida, uma nova operação é executada na primeira coluna, enquanto a célula que sofreu a primeira operação assume a condição de *OAM*. Durante esse período de *OAM* a falha é inserida na célula. Nesses dois ambientes, o período de inserção da falha não impacta na sensibilidade da célula.

Por outro lado, quando avaliamos os ambientes de escrita e leitura, o momento de inserção pode afetar a robustez da célula. Isso ocorre pois a célula sofre diferentes interações com os sinais de controle durante a execução dessas operações. Tanto para o ambiente de leitura, quanto para o ambiente de escrita, a simulação inicia com a execução da operação de escrita de um valor lógico. Após um curto período de *hold*, uma operação de leitura ou de escrita é realizada dependendo do ambiente avaliado. Durante a execução dessa operação a falha é injetada no nodo sensível.

Com o objetivo de encontrar o período de maior sensibilidade, uma mesma falha foi inserida sucessivas vezes antes e depois de cada transição dos sinais que compõem a operação. A Figura 4.9 ilustra os períodos críticos de inserção encontrados. O período de maior sensibilidade durante a execução da operação de leitura é durante a transição de subida do sinal *WL*. Já o período de maior sensibilidade para a operação de escrita é durante a transição de descida do sinal *WL*.

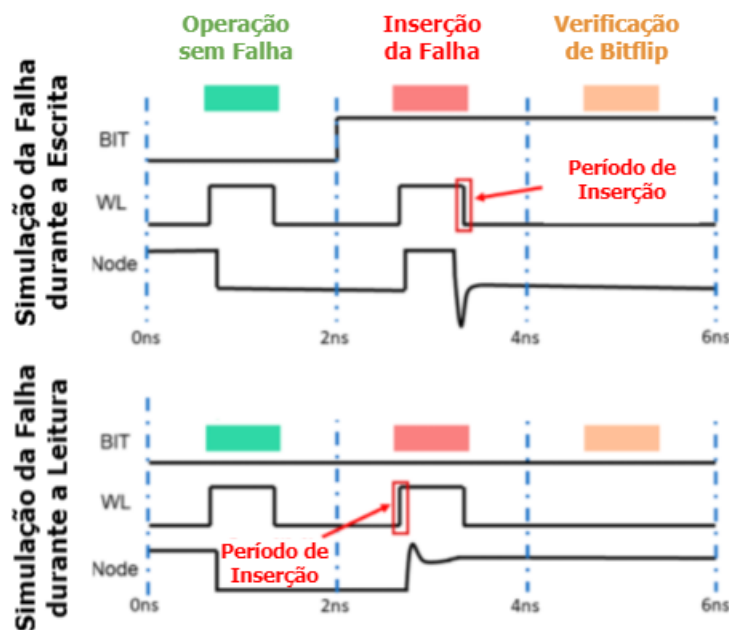


Figura 4.9 – Configuração de inserção da falha durante as operações de escrita e leitura

## 5 RESULTADOS EXPERIMENTAIS

Visando o objetivo de avaliar as características de robustez aos efeitos transientes da radiação em topologias de células SRAM, este trabalho apresenta os resultados dos experimentos realizados com as três células *SRAM* escolhidas, na tecnologia  $28\text{ nm FDSOI}$ , obtidos através de simulações elétricas. Outras características também foram avaliadas. Os atrasos de propagação são comparadas através dos os tempos de escrita e leitura de cada célula. Na análise da potência dissipada, é observado o consumo energético das células durante a execução de um ciclo completo de operações. Na avaliação das margens de ruído estático, o objetivo é demonstrar e comparar a estabilidade das células durante seus modos de operação. Na análise da robustez à *soft errors*, são apresentados os aspectos relacionados a carga crítica que afeta as células de memória e os circuitos auxiliares, ambos durante os três modos de operação e também na situação de *half-selected*.

### 5.1 Atrasos de Propagação

Os resultados dos tempos de leitura e escrita para as células avaliadas estão disponíveis na Tabela 5.1. Quanto maiores os valores expressos nas tabelas, pior é o desempenho temporal da célula. O maior atraso entre o tempo de leitura e escrita é denominado atraso crítico da célula. Para todas as três topologias, o atraso crítico está associado ao tempo de escrita.

Tabela 5.1 – Tempos de atraso e potência dissipada.

Células SRAM	Tempos de Atraso		Consumo Energético	
	Escrita (ps)	Leitura (ps)	Energia (fJ)	Potência (nW)
6T	11,34	4,39	1,06	265,20
8T	13,04	4,24	0,99	247,54
DICE	20,80	3,79	2,23	557,50

As células 6T e 8T possuem uma topologia muito similar, logo, o principal fator que pode impactar nos atrasos é razão entre o dimensionamento dos transistores das células. O aumento do *Cell Ratio (CR)* implica positivamente no crescimento da estabilidade e na redução do atraso de leitura. Entretanto, o aumento dessa razão, atua negativamente no atraso de escrita, na potência dissipada e na área total da célula. Uma célula que possui um mecanismo de separação da operações, como os *decouple transistors* encontrado

nas topologia 8T, permitem que os nodos internos de armazenamento não sejam conectados diretamente as *bitlines* durante o processo de leitura. Desse forma, o  $CR$  pode ser minimizado, pois a estrutura dedicada a leitura inibe situações de acesso destrutivo aos dados armazenados. A célula 6T não possui um mecanismo que evite essa conexão dos nodos internos com as *bitlines*, necessitando de uma razão  $CR > 1$  para evitar eventuais problemas com a leitura. Dentro das escolhas de projeto, o ajuste da razão  $CR$  tem uma relevância significativa, pois é preciso ponderar entre alcançar níveis de estabilidade seguros, sem impactar drasticamente a área ocupada pela célula e o atraso de escrita. Conforme as escolhas realizada no Capítulo 4, o  $CR$  da célula 6T e DICE foi definido como 1,5, enquanto na célula 8T optamos por 1. A Figura 5.1 apresenta a comparação gráfica dos tempos de atraso das células. Mesmo com o impacto negativo gerado pelo  $CR$  no atraso de escrita, a célula 6T obteve o menor atraso crítico, sendo 15% menor que o atraso da célula 8T. A célula 12TDICE obteve o maior atraso, sendo 83% maior que o obtido pela célula 6T.

O pior resultado da célula 12TDICE está mais relacionado com as peculiaridades da topologia, do que com o dimensionamento dos seus transistores. Durante a execução da operação de escrita, uma das *bitlines* tem a função de baixar a tensão do nodo interno conectado a ela. Na célula DICE as *bitlines* tem mais dificuldade em executar esse função, visto que a célula possui um par de nodos de armazenamento conectados a cada uma das *bitlines*, o que gera esse aumento no atraso.

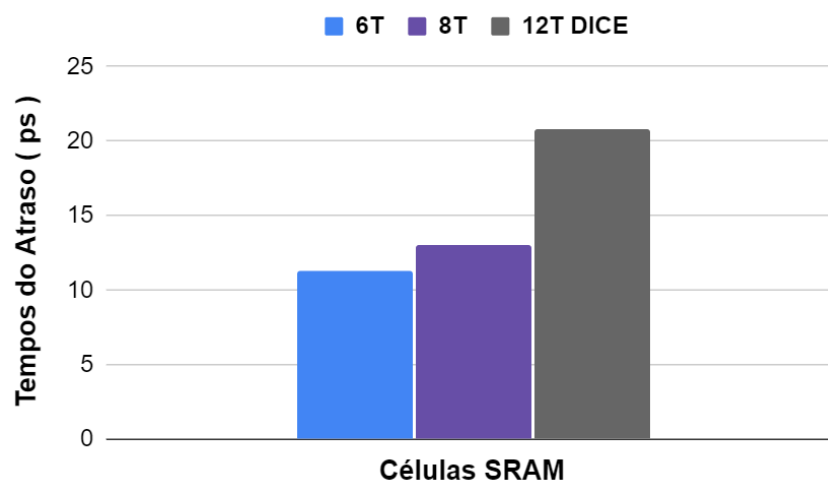


Figura 5.1 – Atraso Crítico das Células.

### 5.1.1 Potência Dissipada

Os resultados do consumo energético, e consequentemente da potência dissipada também estão disponíveis na Tabela 5.1. Quanto maiores os valores, pior é o desempenho energético da célula. A Figura 5.2 apresenta um comparativo gráfico dos resultados. A célula 8T, mesmo apresentando um número maior de transistores que a célula 6T, obteve o melhor desempenho energético. A célula 6T apresentou uma potência dissipada cerca de 7% maior em relação a 8T. A célula 12TDICE demonstrou o maior consumo energético, sendo um gasto energético maior do que o esperado, cerca de 2,3x maior que o consumo da célula 8T.

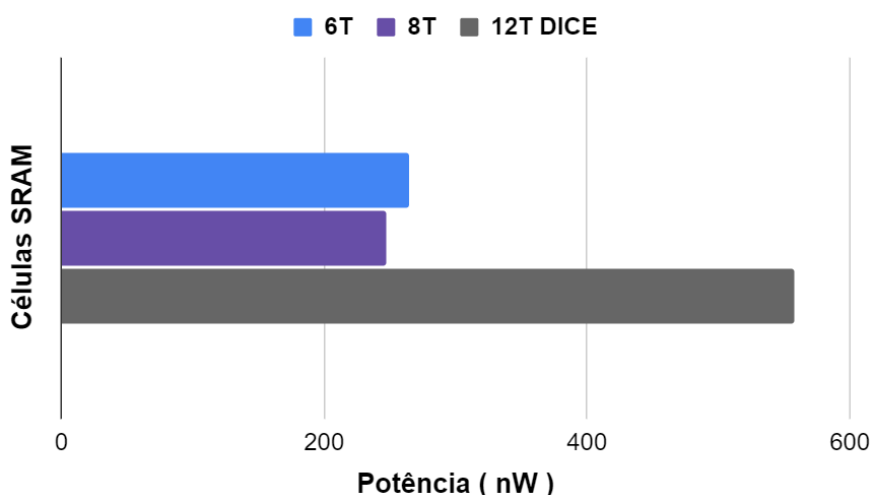


Figura 5.2 – Consumo Energético das Células.

Como mencionado na análise dos tempos de atraso, o  $CR$  afeta o consumo das células. Porém, a os mecanismos implementados pela topologia também afetam os resultados dessa métrica. A célula 6T, mesmo sendo a topologia com o menor número de transistores, não obteve o melhor resultado. Isso ocorre em decorrência do período de consumo crítico, caracterizado pela corrente de curto circuito durante o tempo de condução simultânea entre os inversores retro-alimentados. A Figura 5.3 (a) ilustra de maneira mais clara essa situação. Note que durante as operações de escrita (1º e 3º variações no gráfico da corrente) as células apresentam picos de corrente muito similar. Existem leves diferenças nos valores máximos desses picos, o que está associado às diferenças no  $CR$ . Com um  $CR$  reduzido, o período caracterizado pela corrente de curto circuito é menor. Entretanto, a grande vantagem da célula 8T está relacionada em manter os nodos de armazenamento isolados durante o processo de leitura. Dessa forma, o consumo energético associado a condução simultânea e a manutenção do valor lógico na célula é evitado. Na

Figura 5.3 (b), observamos em destaque essa diferença dos picos de corrente durante a leitura ( $2^{\circ}$  e  $4^{\circ}$  variações na gráfico da corrente).

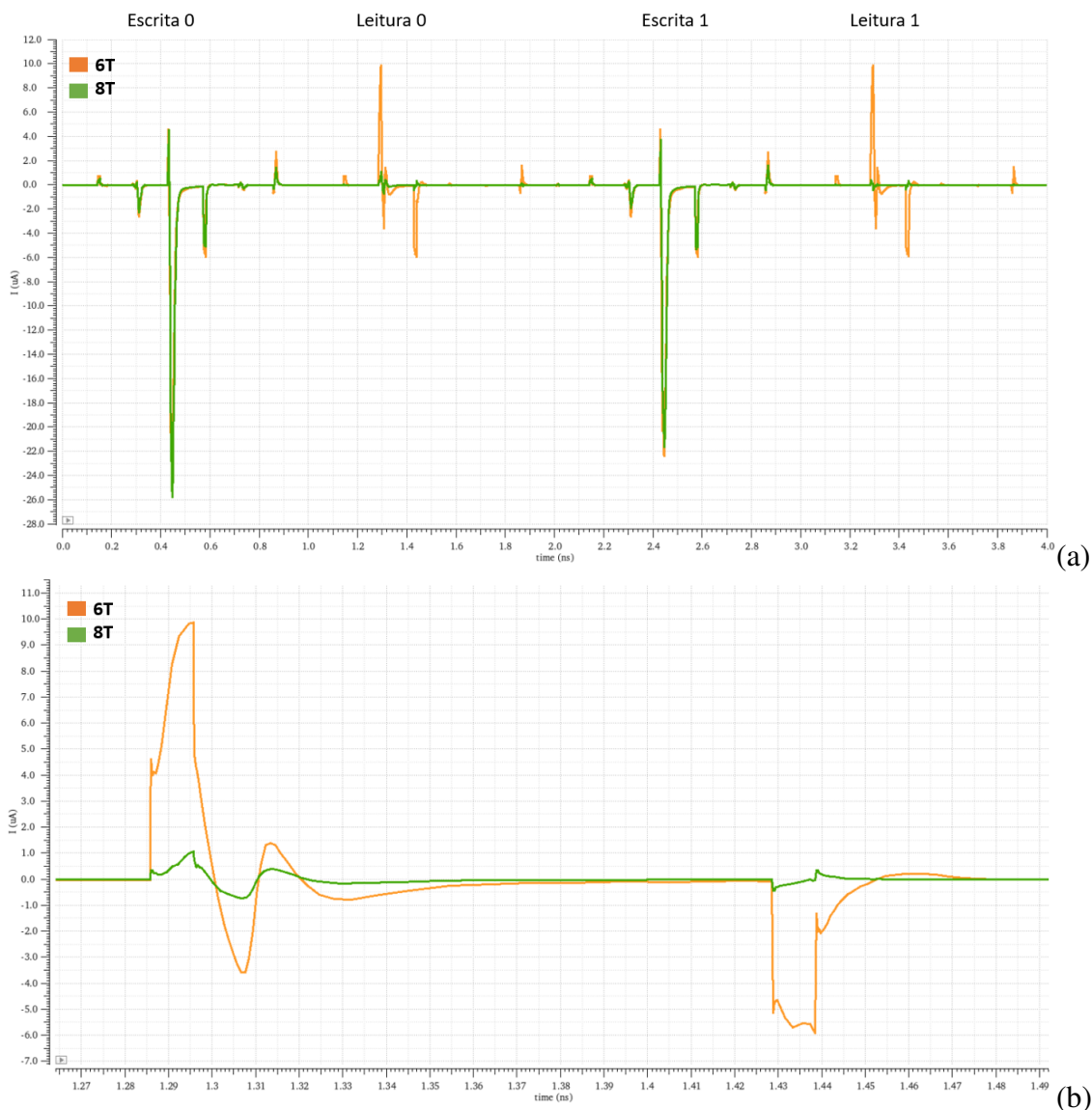


Figura 5.3 – Características da corrente durante o ciclo de operação: (a) Visão geral do ciclo de operação. (b) Destaque no período de leitura

Já o alto consumo apresentado pela célula DICE muitas vezes é associado apenas ao seu maior número de transistores. Entretanto, este consumo é também um reflexo de um maior período de condução simultânea durante a operação de escrita. A Figura 5.4 (a) ilustra essa situação. De um ponto de vista inicial, se a célula DICE possui o dobro de transistores em relação a célula 6T, deveria apresentar um consumo cerca de 2x maior. Entretanto, a topologia da célula DICE apresenta um par de nodos ligados a cada *bitline*. O esforço elétrico para superar a estabilidade de ambos os nodos durante a operação de escrita é maior em comparação com a célula 6T, visto que na topologia da 6T existem apenas 1 nodo ligado a cada *bitline*. Na Figura 5.4 (b), observamos em destaque essa

diferença dos picos de corrente durante a escrita (1<sup>o</sup> e 3<sup>o</sup> variações na gráfico da corrente). Dessa forma, justificando um resultado 2,3x maior.

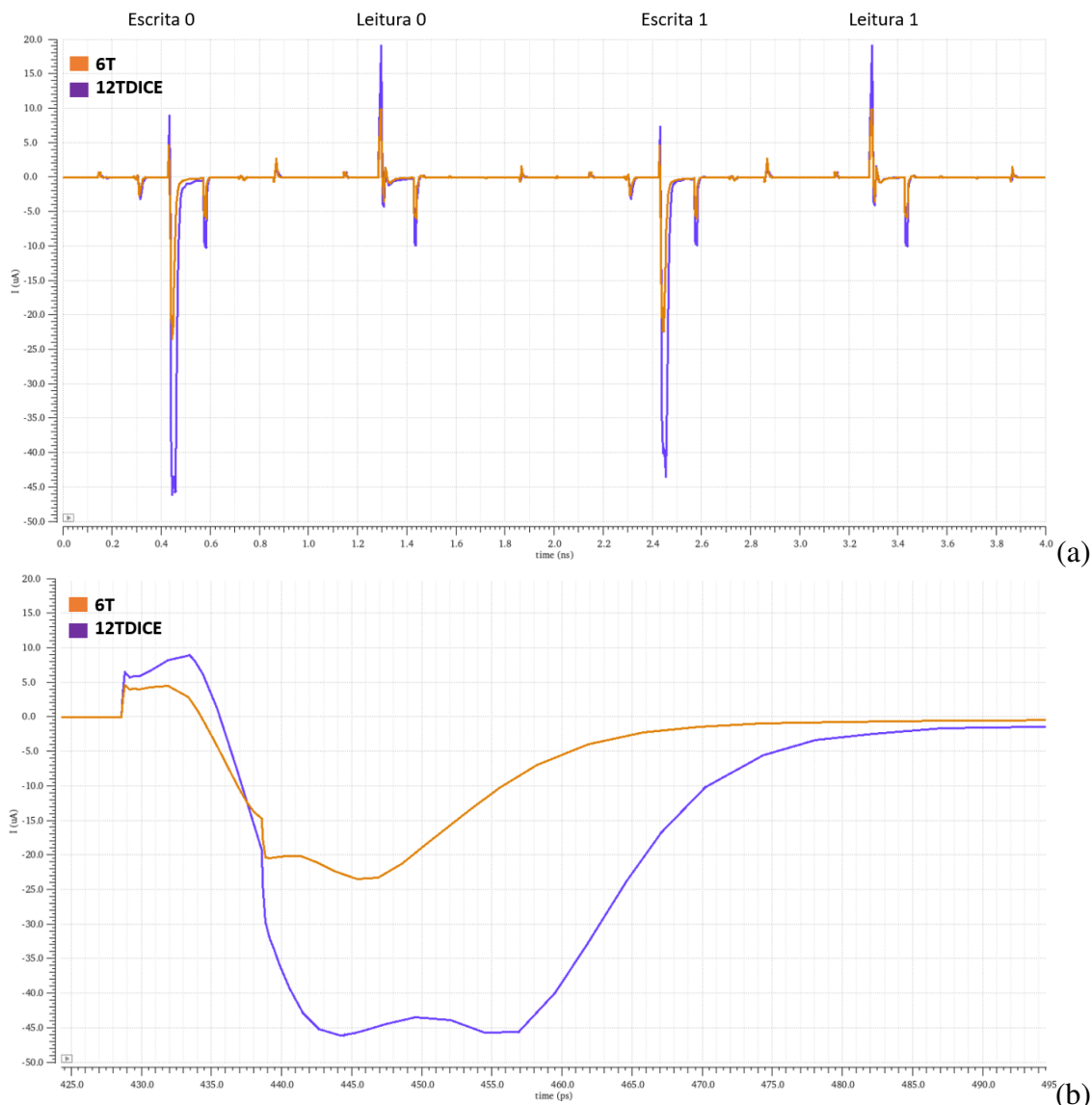


Figura 5.4 – Características da corrente durante o ciclo de operação: (a) Visão geral do ciclo de operação. (b) Destaque no período de escrita

### 5.1.2 Resultados de Estabilidade

Os resultados referentes as margens de ruído estão descritos na Tabela 5.2 e a comparação entre os valores está disponível graficamente na Figura 5.5. Quanto maior os valores apresentados pelas células, melhor é a estabilidade durante as operações. Os resultados compreendem a tolerância ao ruídos durante a fase de *Hold* (*HSNM*), durante a operação de leitura (*RSNM*) e durante a operação de escrita (*WSNM*).

Tabela 5.2 – Resultados das Margens de ruído Estático (mV)

<b>Células SRAM</b>	<b>Hold SNM</b>	<b>Read SNM</b>	<b>Write SNM</b>
6T	331,9	121,8	429,3
8T	335,9	335,9	441,7
DICE	331,9	121,8	429,3

Os experimentos mostraram que as 3 topologias de células apresentaram um nível de tolerância ao ruído muito similar enquanto operam em *Hold*. A operação de escrita apresentou o maior nível de robustez entre todos os modos de operação. Esse melhor resultado na operação de escrita em relação ao modo de *Hold* ocorre pois o circuito de escrita garante a tensão do valor lógico durante toda a operação, dificultando a interferência de fontes de ruído na tensão dos nodos de armazenamento.

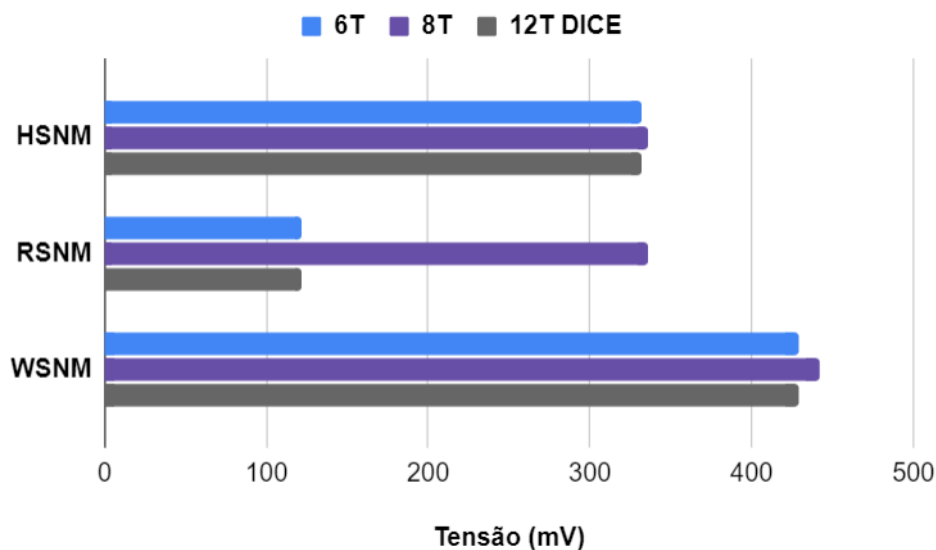


Figura 5.5 – Resultados das Margens de Ruído Estático.

O ponto crítico desse experimento foi a análise de *RSNM*. A Figura 5.6 apresenta a diferença no traçado das curvas borboletas. As células 6T e 12TDICE mostraram margens de ruído preocupantes durante a operação de leitura. A média dos valores de *HSNM* foram cerca de 2,7x maiores dos que valores de *RSNM*. Por outro lado, a células 8T obteve um resultado similar ao de *HSNM*, mesmo tendo seu *CR* minimizado em relação a 6T e a 12TDICE. Esse resultado mostra a sensibilidade das topologias que não implementam mecanismos que isolem os seus nodos internos de armazenados durante a operação de leitura, ou seja, apresentando uma perda drasticamente da estabilidade durante essa operação.



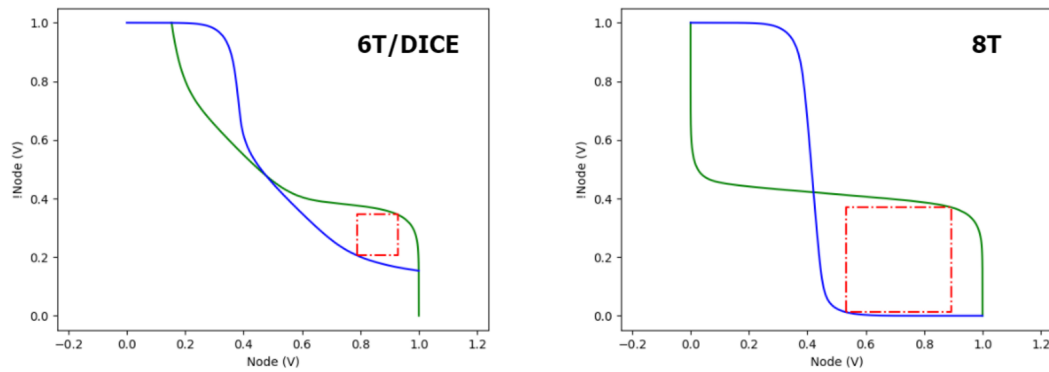


Figura 5.6 – Comparativo entre as curvas borboleta de RSNM das células 6T/DICE e 8T.

### 5.1.3 Resultados de Robustez

Para os resultados relacionados aos eventos de radiação, foram avaliados dois aspectos de robustez: a robustez para falhas injetadas diretamente em uma região sensível da célula de memória (Falhas do tipo *SEU*) e a robustez para falhas que afetam a arquitetura da *SRAM* e são propagadas através das *bitlines* até as células (Falhas do tipo *SET*). A análise dessas falhas considerou as situações de *Hold*, *Read* (Leitura), *Write* (Escrita) e *OAM*. A robustez foi obtida através da carga crítica coletada na região afetada pela falha.

#### 5.1.3.1 Robustez a falhas *SEU*

Na primeira fase de avaliação, os experimentos encontraram os nodos sensíveis das células. A Figura 4.8 apresenta os nodos sensíveis de cada uma das topologias avaliadas no trabalho. Na *SRAM* 6T e 8T existem dois nodos sensíveis:  $Q$  e  $Qb$ . Já na *SRAM* 12TDICE, existem quatro nodos sensíveis:  $Q$ ,  $Q2$ ,  $Qb$  e  $Q2b$ . Os resultados encontrados para cada condição de operação são apresentados na Tabela 5.3. Os resultados descritos pela letra *R* representam que naquele caso de teste a célula obteve uma robustez acima de  $100 \text{ fC}/\mu\text{m}$ . A Figura 5.7 apresenta um comparativo gráfico entre as células durante cada etapa de operação. Quanto maior os valores encontrados, maior é a robustez da célula.

Tabela 5.3 – Resultados baseados na  $Q_{Crit}$  encontrada para as falhas *SEU*. (fC)

Célula SRAM	Hold		Read		Write		OAM	
	010	101	010	101	010	101	010	101
6T	19,2	6,27	16,0	6,08	19,2	6,27	16,0	6,08
8T	13,5	5,89	13,5	5,89	13,5	5,89	13,5	5,89
DICE	R	R	R	12,2	R	89,1	R	12,2

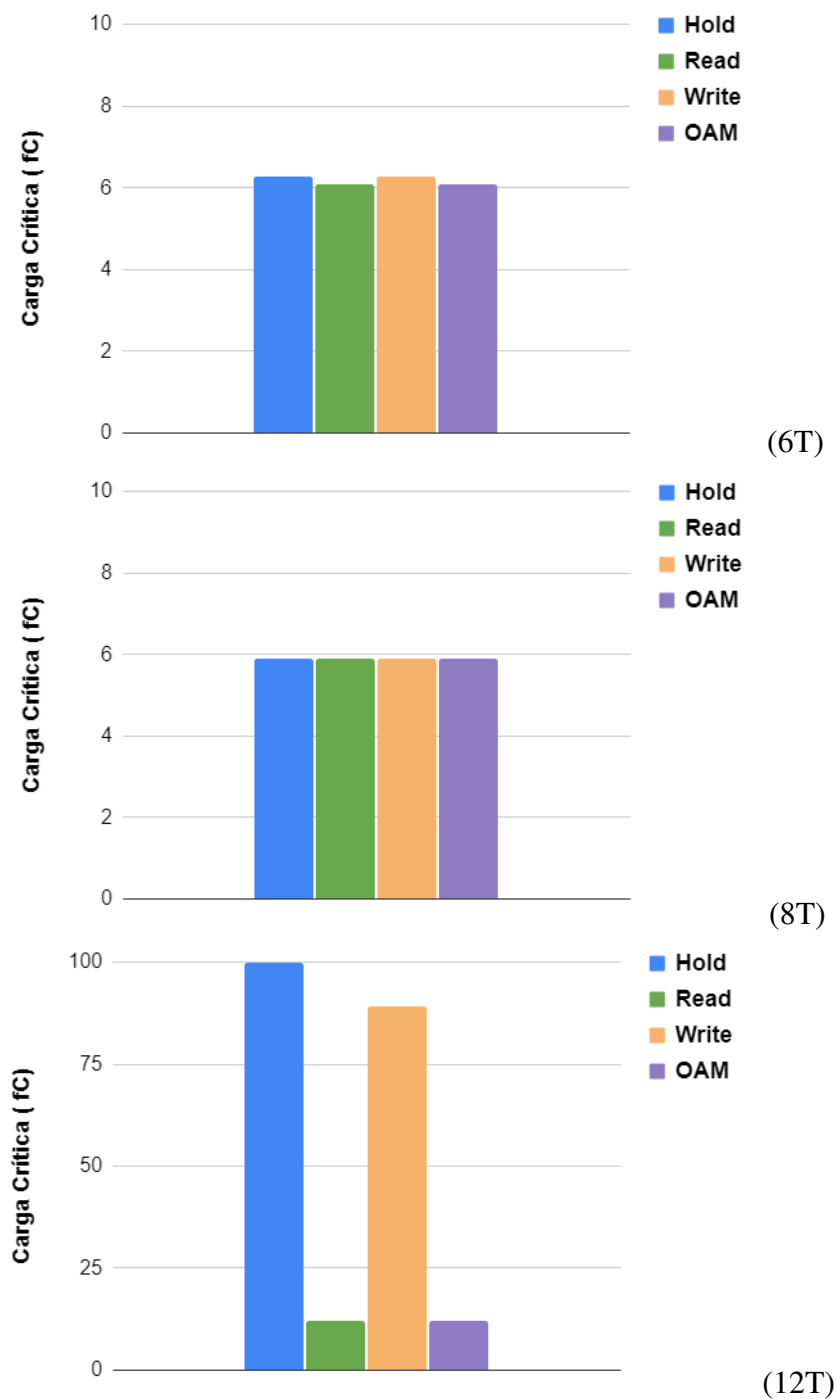


Figura 5.7 – Gráfico da carga crítica considerando falhas SEU e o pior caso em cada operação.

Considerando os resultados durante o *Hold*, a célula 12TDICE foi totalmente robusta, enquanto as células 6T e 8T apresentaram sensibilidade tanto para as falhas do tipo 010, quanto para as falhas do tipo 101. Entretanto, as falhas do tipo 101 se mostram mais críticas, sendo o ponto de maior sensibilidade das células. Avaliando o resultado para as falhas 101, a célula 6T apresentou um carga crítica cerca de 20x inferior a robustez da célula DICE, enquanto a célula 8T obteve um resultado 6% inferior a 6T, sendo a topologia mais sensível durante o *Hold*.

Observando as falhas durante a leitura, a célula 12TDICE foi robusta as falhas do tipo 010 e obteve o melhor resultado para as falhas 101. As células 6T e 8T foram sensibilizadas em ambas as falhas. Assim como durante o *Hold*, a leitura apresenta uma menor robustez as falhas do tipo 101. Observando as falhas do tipo 101, a célula 8T apresentou um robustez 2x menor que a DICE. A célula 6T obteve um valor cerca de 3% superior ao da 8T, que apresentou o pior resultado. É importante notar que mesmo a célula DICE apresentando a maior robustez, existiu uma grande redução no ganho em relação as demais células, quando comparado com os resultados durante o *Hold*.

Para os resultados durante a escrita, novamente, a célula 12TDICE se mostrou a opção mais robusta. Nesse análise, a robustez mínima foi equivalente aos níveis encontrados durante o *Hold*. Como caso excepcional, temos a redução na robustez da célula DICE para as falhas do tipo 101 em comparação ao *Hold*. Esse fenômeno ocorre pois a tensão fornecida para cada *bitline* é dividida entre o par de nodos conectados a elas. Dessa forma, o esforço necessário para a causa o desvio de comportamento na célula é um pouco inferior a situação de *Hold*.

O último ambiente explorado foi a situação de meia-seleção (*OAM*). Os valores de robustez demonstram uma sensibilidade similar aos encontrados durante a operação de leitura. Nesse sentido, podemos caracterizar as operações de escrita e *OAM* como as situações críticas. A célula 6T foi 3% mais sensível nessas situações, quando comparado com os seus resultados de *Hold* e o escrita. Na célula 12TDICE essa maior sensibilidade fica mais evidente, a célula foi cerca de 10x mais sensível em relação ao seu resultado de *Hold* e cerca de 7x mais sensível que seu resultado de escrita. Já a célula 8T, foi a única das topologias que manteve o mesmo nível de robustez durante todas as 4 situações de operação.

#### 5.1.3.2 Robustez a falhas SET

Para avaliação dos resultados referentes as falhas que ocorrem nos circuitos auxiliares, foram consideradas as falhas inseridas nos nodos *BL* e *BLB* de cada coluna. Esses nodos conectam os circuitos auxiliares com a matriz de células, e possibilitam a propagação de uma falha nos circuitos, até as células de memória. A Tabela 5.4 apresenta os resultados obtidos durante essa análise. A Figura 5.8 apresenta um comparativo gráfico entre as células durante cada etapa de operação.

Tabela 5.4 – Resultados baseados na  $Q_{Crit}$  encontrada para as falhas SET. (fC)

Célula SRAM	Hold	Read	Write		OAM
	101	101	010	101	101
6T	63,5	8,2	R	47,9	6,9
8T	64,2	21,7	R	45,8	18,4
DICE	80,6	14,4	R	65,6	13,1

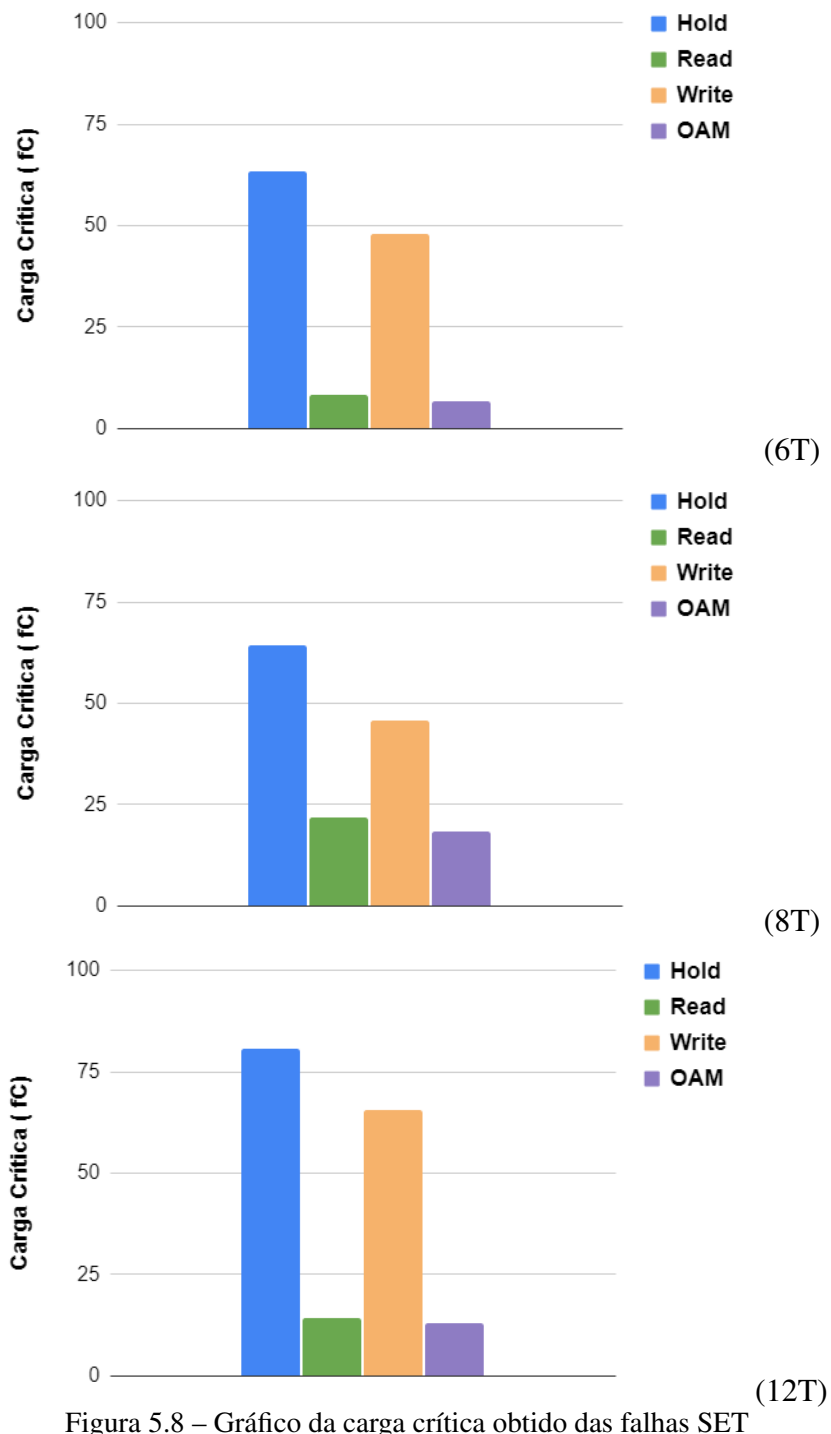


Figura 5.8 – Gráfico da carga crítica obtido das falhas SET

Durante o *Hold*, os transistores de passagem da célula bloqueiam a conexão direta com as *bitlines*. Essa situação implica que uma grande diferença de tensão precisa existir para promover a condução dos transistores de passagem, e assim a propagação da falha para os nodos de armazenamento. Como as *bitlines* são constantemente pré-carregadas antes das operações, na maioria das vezes, ambas as *bitlines* assumem um valor lógico alto. Nesse sentido, os efeitos da partícula não são capazes de gerar uma falha do tipo 010 durante a situação de *Hold*, apenas falhas do tipo 101 serão capazes de afetar o nodo. A célula DICE apresentou a maior robustez, sendo cerca de 25% mais robusta que as demais células. A célula 8T demonstrou um robustez muito similar a da célula 6T, obtendo uma carga crítica apenas 1% maior.

Avaliando a operação de leitura, temos uma situação similar à observada durante o *Hold*. As *bitlines* estão pré-carregadas e não existe as condições que ocasionem as falhas do tipo 010. Considerando então as falhas do tipo 101, a célula 8T apresentou a maior robustez. O resultado obtido pela 8T foi aproximadamente 50% maior que o da apresentada pela célula 12TDICE e cerca de 2,6x superior ao da célula 6T.

Considerando a operação de escrita, as *bitlines* tem sua tensão definida pelo próprio circuito auxiliar de escrita. Dessa forma, existem as condições para a ocorrência da falha 010. Entretanto, o valor necessário para superar a resistência gerada pela tensão fornecida pelo circuito auxiliar de escrita é maior que o limite definido como robusto neste trabalho. Além disso, os transistores de passagem são do tipo NMOS, o que caracteriza a escrita do valor lógico pela redução da tensão no nodo de armazenamento. Assim, todas as três topologias apresentaram robustez para as falhas 010. Observando os valores para as simulações 101, a célula 12TDICE demonstrou a maior robustez, sendo cerca de 40% maior que as demais células. A célula 6T foi aproximadamente 5% mais robusta que a 8T.

Para a situação de OAM, as mesmas características mencionadas durante o *hold* para as falhas 010 são observadas. Avaliando os resultados das simulações 101, a célula 8T apresentou o melhor resultado, sendo uma robustez cerca de 40% maior que a célula DICE e cerca de 2,6x maior que a célula 6T. Através desse resultados, é possível notar que assim como nas falhas do tipo *SEU*, nessa análise também temos os ambientes de leitura e de OAM como os pontos mais críticos de sensibilidade. A célula 6T foi aproximadamente 9x mais sensível nessas situações, quando comparado com o resultado de *Hold*. A célula 12TDICE foi cerca de 5,7x mais sensível em relação ao seu próprio resultado de *Hold*. Por fim, a célula 8T apresentou a menor diferença, sendo aproximadamente 3x mais sensível durante a leitura e OAM em comparação com o *Hold*.

## 5.2 Comparação com Trabalhos Relacionados

Observando os resultados encontrados para a tecnologia  $28\text{ nm FDSOI}$  durante o desenvolvimento deste trabalho, essa seção vai elaborar uma relação comportamental com os estudos apresentados por outros trabalhos que discutem aspectos semelhantes de análise.

Em (BARTRA, 2016; COPETTI et al., 2020) foram realizadas simulações TCAD para modelar os efeitos do impacto da partícula carregada no circuito de uma *SRAM*. Ambos os trabalhos exploraram diferentes angulações para a incidência da partícula, mas consideraram a célula apenas em situação de *Hold*. Este trabalho restringe o escopo a simulação elétrica dos esquemáticos, não explorando o impacto dessas angulações e nem a modelagem 3D do dispositivo, mas expande a análise para diferentes situações operação observando o comportamento das células durante as operações de leitura, escrita e *OAM*.

Em (HUBERT; ARTOLA; REGIS, 2015; MANABE et al., 2019; KOBAYASHI et al., 2019) são realizados experimentos que demonstraram as regiões da *SRAM* que possuem maior probabilidade de sofrer com a interação da partícula carregada. Ambos os trabalhos exploram a taxa de ocorrência de falhas (*Soft Error Rate*), considerando toda a área da célula de memória. Este trabalho não aborda essa taxa de ocorrência das falhas e também não considera os efeitos ao redor da região afetada pela colisão da partícula. Entretanto, implementa toda uma arquitetura de *SRAM* e considera os efeitos da partícula no âmbito dos circuitos auxiliares, avaliando a propagação das falhas através das *bitlines*.

Relacionando os resultados obtidos em trabalhos anteriores que exploraram as tecnologias planar *CMOS* e *FinFET* (MARQUES; MEINHARDT; BUTZEN, 2020; HANG et al., 2021; MARQUES; MEINHARDT; BUTZEN, 2021), os aspectos de robustez a radiação demonstraram um comportamento similar na tecnologia *FDSOI*. Entretanto, o dispositivo *FDSOI* apresentou valores de carga coletada superiores aos encontrados em *bulk CMOS*. Uma das características da tecnologia *FDSOI* que pode contribuir para este aumento das robustez é o menor percurso durante a geração da trilha ionizada.

## 6 CONCLUSÕES

Este trabalho discutiu alguns dos principais aspectos relacionados ao projeto de SRAM. Foram apresentados os principais circuitos ligados ao funcionamento da matriz de células e diferentes abordagens para a implementação desses circuitos. Foram abordados aspectos como o dimensionamento da célula SRAM, relações de estabilidade e o impacto aos efeitos de radiação. Ao todo, três topologia de células foram avaliadas, implementadas e tiveram sua estrutura devidamente validada.

Foi desenvolvida uma análise através dos resultados obtidos pela estimativa dos tempos de atraso, consumo de energético, tolerância ao ruído e robustez aos efeitos de radiação. Toda a arquitetura da SRAM foi considerada, desde os circuitos auxiliares (Decodificadores, Circuito de Escrita, Amplificador de sinal e Pre-carga), até diferentes topologias de célula abordadas no trabalho (6T, 8T e 12TDICE). Os ambientes de simulação implementados compreendem as situações de *Hold*, escrita, leitura e meia-seleção (*OAM*).

Considerando o consumo energético e as margens de ruído, a célula 8T foi a melhor opção. A célula 8T inibe a conexão direta entre os nodos de armazenamento e as *bitlines* durante a leitura. Isso diminui o consumo energético da célula, além de possibilitar a redução do *CR* sem impactos na estabilidade durante a leitura. Com um *CR* menor, o custo em área em relação a 6T também é mitigado. Além disso, a célula 8T obteve um atraso crítico muito próximo do melhor resultado, que foi apresentado pela célula 6T.

Da perspectiva das falhas de radiação, a célula DICE mostrou a maior robustez às falhas do tipo SEU, enquanto a célula 8T teve a maior robustez a propagação das falhas SET. A célula DICE se mostrou robusta aos ambientes de simulação durante o *Hold*, entretanto apresentou uma janela de sensibilidade durante as situações de leitura e *OAM*, sendo 10x mais sensível em relação ao *Hold*. A capacidade da célula 8T de separar as operações de escrita e leitura, garante um considerável ganho na robustez a propagação das falhas SET. Os resultados mostram que a célula 8T foi 50% mais robusta que a célula DICE nessa situação. Porém, quando observamos a robustez às falhas SEU, a célula 8T demonstrou uma sensibilidade similar a 6T

De modo geral, a célula DICE pode ser considerada a melhor opção quando o parâmetros de projeto priorizam a robustez. Entretanto, com o aumento número de acessos a memória por parte das aplicações modernas, as situações de leitura e *OAM* se tornam mais frequentes e a robustez pode ficar abaixo do esperado. Por outro lado, a redução

de área gerada pelo uso da célula 8T em relação a 12TDICE, proporciona uma boa margem para implementar outras técnicas de robustez, que podem viabilizar o uso da 8T em aplicações de robustez.

## 6.1 Trabalhos Futuros

Existem diferentes possibilidades e caminhos a serem seguidos como continuidade do trabalho realizado. Dentre elas, destaca-se:

- Análise a nível de leiaute: as análises realizadas aqui nesse trabalho podem ser comparadas com as implementações à nível de leiaute. Isso permitiria a extração das capacitâncias parasitas e a verificação das diferenças de comportamento em relação aos resultados encontrados.
- Observar o comportamento em outras tecnologias, como por exemplo o FinFET.
- Explorar mecanismos de predição e monitoramento para a ocorrência das falhas de radiação.
- Explorar simulações 3D e considerar outras variáveis de alta relevância, como a angulação de incidência da partícula no dispositivo.
- Considerar diferentes topologias de célula e outras soluções de robustez, como alternar os bits da palavra dentro da matriz de células para evitar que múltiplos bits da mesma palavra sejam afetados pelos efeitos de uma mesma partícula.
- Avaliar o impacto da redução da tensão de alimentação como alternativa explorada em projetos que visam eficiência energética.
- Considerar os aspectos da variabilidade de processo nos resultados de robustez das células.

Também observa-se a relevância recente de avaliar o comportamento de células SRAM no desenvolvimento de aplicações voltadas para *Machine Learning*, principalmente relacionadas ao desenvolvimento de *hardware* para arquiteturas de redes neurais.



## REFERÊNCIAS

- ABOUZEID, F. et al. Scalable 0.35 v to 1.2 v sram bitcell design from 65 nm cmos to 28 nm fdsoi. **IEEE Journal of Solid-State Circuits**, v. 49, n. 7, p. 1499–1505, 2014.
- AGAL, A.; KRISHAN, B. et al. Comparative analysis of various sram cells with low power, high read stability and low area. **International Journal of Engineering and Manufacturing**, Modern Education and Computer Science Press, v. 4, n. 3, p. 1, 2014.
- ALMEIDA, R. et al. Analysis of 6t sram cell in sub-45nm cmos and finfet technologies. **Microelectronics Reliability**, v. 88-90, p. 196–202, 2018. ISSN 0026-2714. 29th European Symposium on Reliability of Electron Devices, Failure Physics and Analysis (ESREF 2018 ). Available from Internet: <<https://www.sciencedirect.com/science/article/pii/S0026271418307169>>.
- ALORDA, B. et al. 8t vs. 6t sram cell radiation robustness: A comparative analysis. **Microelectronics Reliability**, v. 51, n. 2, p. 350–359, 2011. ISSN 0026-2714. 2010 Reliability of Compound Semiconductors (ROCS) Workshop Prognostics and Health Management. Available from Internet: <<https://www.sciencedirect.com/science/article/pii/S0026271410004907>>.
- ALY, R. E.; BAYOUMI, M. A. Low-power cache design using 7t sram cell. **IEEE Transactions on Circuits and Systems II: Express Briefs**, v. 54, n. 4, p. 318–322, 2007.
- ASAI, S. **VLSI Design and Test for Systems Dependability**. [S.l.]: Springer, 2019.
- AUTRAN, J.-L.; MUNTEANU, D. **Soft Errors: from particles to circuits**. [S.l.]: CRC Press, 2017.
- BARTRA, W. C.; VLADIMIRESCU, A.; REIS, R. Bulk and fdsoi sub-micron cmos transistors resilience to single-event transients. In: **2015 IEEE International Conference on Electronics, Circuits, and Systems (ICECS)**. [S.l.: s.n.], 2015. p. 133–136.
- BARTRA, W. C.; VLADIMIRESCU, A.; REIS, R. Fdsoi and bulk cmos sram cell resilience to radiation effects. **Microelectronics Reliability**, v. 64, p. 152–157, 2016. ISSN 0026-2714. Proceedings of the 27th European Symposium on Reliability of Electron Devices, Failure Physics and Analysis. Available from Internet: <<https://www.sciencedirect.com/science/article/pii/S0026271416302773>>.
- BARTRA, W. E. C. **Modelamento do single-Event effects em circuitos de memória FDSOI**. [S.l.]: Thesis (PhD) — PGMICRO/Universidade Federal do Rio Grande do Sul, 2016.
- BAUMANN, R. Radiation-induced soft errors in advanced semiconductor technologies. **IEEE Transactions on Device and Materials Reliability**, v. 5, n. 3, p. 305–316, 2005.
- BAUMANN, R. et al. Boron compounds as a dominant source of alpha particles in semiconductor devices. In: **Proceedings of 1995 IEEE International Reliability Physics Symposium**. [S.l.: s.n.], 1995. p. 297–302.
- BINDER, D.; SMITH, E. C.; HOLMAN, A. B. Satellite anomalies from galactic cosmic rays. **IEEE Transactions on Nuclear Science**, v. 22, n. 6, p. 2675–2680, 1975.

BOHR, M. T.; YOUNG, I. A. Cmos scaling trends and beyond. **IEEE Micro**, v. 37, n. 6, p. 20–29, 2017.

BRUEL, M. Silicon on insulator material technology. **Electronics letters**, IET, v. 31, n. 14, p. 1201–1202, 1995.

CALIN, T.; NICOLAIDIS, M.; VELAZCO, R. Upset hardened memory design for sub-micron cmos technology. **IEEE Transactions on Nuclear Science**, v. 43, n. 6, p. 2874–2878, 1996.

CAUCHY, X. **Fully depleted silicon technology to underlie energy-efficient designs at 28 nm and beyond**. 2013. Disponível em: <https://www.edn.com/fully-depleted-silicon-technology-to-underlie-energy-efficient-designs-at-28-nm-and-beyond/>.

CLERC, S.; GILIO, T. D.; CATHELIN, A. **The Fourth Terminal: Benefits of Body-Biasing Techniques for FDSOI Circuits and Systems**. [S.l.]: Springer, 2020.

COLINGE, J.-P. Subthreshold slope of thin-film soi mosfet's. **IEEE Electron Device Letters**, v. 7, n. 4, p. 244–246, 1986.

COLINGE, J.-P. From gate-all-around to nanowire mosfets. In: **2007 International Semiconductor Conference**. [S.l.: s.n.], 2007. v. 1, p. 11–17.

COPETTI, T. et al. Evaluating the impact of ionizing particles on finfet -based srams with weak resistive defects. In: **2020 IEEE Latin-American Test Symposium (LATS)**. [S.l.: s.n.], 2020. p. 1–6.

CORREAS, V. et al. Analysis and modeling of the charge collection mechanism in 28-nm fd-soi. **IEEE Transactions on Nuclear Science**, v. 65, n. 8, p. 1894–1899, 2018.

DODD, P. et al. Neutron-induced soft errors, latchup, and comparison of ser test methods for sram technologies. In: **Digest. International Electron Devices Meeting**. [S.l.: s.n.], 2002. p. 333–336.

ELWAILLY, A. et al. Radiation hardness study of  $l_G = 20$  nm finfet and nanowire sram through tcad simulation. **IEEE Transactions on Electron Devices**, v. 68, n. 5, p. 2289–2294, 2021.

FEKI, A. et al. Proposal of a new ultra low leakage 10t sub threshold sram bitcell. In: **2012 International SoC Design Conference (ISOCC)**. [S.l.: s.n.], 2012. p. 470–474.

FENOUILLET-BERANGER, C. et al. Low power utbox and back plane (bp) fdsoi technology for 32nm node and below. In: IEEE. **2011 IEEE International Conference on IC Design & Technology**. [S.l.], 2011. p. 1–4.

FENOUILLET-BERANGER, C. et al. Low power utbox and back plane (bp) fdsoi technology for 32nm node and below. In: **2011 IEEE International Conference on IC Design Technology**. [S.l.: s.n.], 2011. p. 1–4.

FREEMAN, L. B. Critical charge calculations for a bipolar sram array. **IBM Journal of Research and Development**, v. 40, n. 1, p. 119–129, 1996.

FRIEDBERG, W.; COPELAND, K. Ionizing radiation in earth's atmosphere and in space near earth. p. 32, 05 2011.

- GRANLUND, T.; GRANBOM, B.; OLSSON, N. Soft error rate increase for new generations of srams. **IEEE Transactions on Nuclear Science**, v. 50, n. 6, p. 2065–2068, 2003.
- GUENZER, C. S.; WOLICKI, E. A.; ALLAS, R. G. Single event upset of dynamic srams by neutrons and protons. **IEEE Transactions on Nuclear Science**, v. 26, n. 6, p. 5048–5052, 1979.
- HANG, M. E. de M. et al. Soft error sensibility window at finfet dice sram. In: **2021 IEEE 12th Latin America Symposium on Circuits and System (LASCAS)**. [S.l.: s.n.], 2021. p. 1–4.
- HUANG, A. P.; YANG, Z. C.; CHU, P. K. Hafnium-based high-k gate dielectrics. In: CHU, P. K. (Ed.). **Advances in Solid State Circuit Technologies**. Rijeka: IntechOpen, 2010. chp. 16. Available from Internet: <<https://doi.org/10.5772/8631>>.
- HUBERT, G.; ARTOLA, L.; REGIS, D. Impact of scaling on the soft error sensitivity of bulk, fdsoi and finfet technologies due to atmospheric radiation. **Integration**, v. 50, p. 39–47, 2015. ISSN 0167-9260. Available from Internet: <<https://www.sciencedirect.com/science/article/pii/S0167926015000048>>.
- ITRS. The international technology roadmap for semiconductors. p. Acessado em: Julho, 2021, 2011. Available from Internet: <<http://www.itrs2.net/2011-itrs.html>>.
- IZUMI, K.; DOKEN, M.; ARIYOSHI, H. Cmos devices fabricated on buried sio2 layers formed by oxygen implantation into silicon. **Electronics Letters, IET**, v. 14, n. 18, p. 593–594, 1978.
- KATO, K.; WADA, T.; TANIGUCHI, K. Analysis of kink characteristics in silicon-on-insulator mosfet's using two-carrier modeling. **IEEE Transactions on Electron Devices**, v. 32, n. 2, p. 458–462, 1985.
- KATUNIN, Y. V.; STENIN, V. Y. The stg dice cell with the decoder for reading data in steady and unsteady states for hardened sram. In: **2017 17th European Conference on Radiation and Its Effects on Components and Systems (RADECS)**. [S.l.: s.n.], 2017. p. 1–8.
- KIM, T. T.-H.; LEE, Z. C.; DO, A. T. A 32 kb 9t near-threshold sram with enhanced read ability at ultra-low voltage operation. **Solid-State Electronics**, Elsevier, v. 139, p. 60–68, 2018.
- KOBAYASHI, D. et al. Process variation aware analysis of sram seu cross sections using data retention voltage. **IEEE Transactions on Nuclear Science**, v. 66, n. 1, p. 155–162, 2019.
- KOLASINSKI, W. A. et al. Simulation of cosmic-ray induced soft errors and latchup in integrated-circuit computer memories. **IEEE Transactions on Nuclear Science**, v. 26, n. 6, p. 5087–5091, 1979.
- LAVANIA, M. et al. Read-decoupled radiation hardened rd-dice sram cell for low-power space applications. In: **2019 IEEE International Conference on Electron Devices and Solid-State Circuits (EDSSC)**. [S.l.: s.n.], 2019. p. 1–3.

LIM, H.-K.; FOSSUM, J. Threshold voltage of thin-film silicon-on-insulator (soi) mosfet's. **IEEE Transactions on Electron Devices**, v. 30, n. 10, p. 1244–1251, 1983.

MAEGUCHI, K. et al. 4- $\mu\text{m}$  lsi on sos using coplanar-ii process. **IEEE Transactions on Electron Devices**, IEEE, v. 25, n. 8, p. 945–951, 1978.

MALHERBE, V. et al. Alpha soft error rate of fdsoi 28 nm srams: Experimental testing and simulation analysis. In: **2015 IEEE International Reliability Physics Symposium**. [S.l.: s.n.], 2015. p. SE.11.1–SE.11.6.

MANABE, S. et al. Estimation of muon-induced seu rates for 65-nm bulk and utbb-soi srams. **IEEE Transactions on Nuclear Science**, v. 66, n. 7, p. 1398–1403, 2019.

MARQUES, C. M.; MEINHARDT, C.; BUTZEN, P. F. Soft error reliability of sram cells during the three operation states. In: **2020 IEEE Latin-American Test Symposium (LATS)**. [S.l.: s.n.], 2020. p. 1–6.

MARQUES, C. M.; MEINHARDT, C.; BUTZEN, P. F. Soft errors sensitivity of sram cells in hold, write, read and half-selected conditions. In: **Journal of Electronic Testing**. [S.l.: s.n.], 2021. v. 37, p. 263–270.

MAY, T. C.; WOODS, M. H. A new physical mechanism for soft errors in dynamic memories. In: **16th International Reliability Physics Symposium**. [S.l.: s.n.], 1978. p. 33–40.

MERELLE, T. et al. Criterion for seu occurrence in sram deduced from circuit and device simulations in case of neutron-induced ser. **IEEE Transactions on Nuclear Science**, v. 52, n. 4, p. 1148–1155, 2005.

MESSENGER, G. C. Collection of charge on junction nodes from ion tracks. **IEEE Transactions on Nuclear Science**, v. 29, n. 6, p. 2024–2031, 1982.

MORAES, M. d. S. Step: planejamento, geração e seleção de auto-teste on-line para processadores embarcados. 2006.

MUMOLA, P. et al. Plasma thinned soi bonded wafers. In: **1992 IEEE International SOI Conference**. [S.l.: s.n.], 1992. p. 152–153.

NAKASHIMA, S.; IZUMI, K. Practical reduction of dislocation density in simox wafers. **Electronics Letters**, IET, v. 26, n. 20, p. 1647–1649, 1990.

NAKASHIMA, S. et al. Thickness increment of buried oxide in a simox wafer by high-temperature oxidation. In: **Proceedings. IEEE International SOI Conference**. [S.l.: s.n.], 1994. p. 71–72.

NASEER, R. et al. Critical charge characterization for soft error rate modeling in 90nm sram. In: **2007 IEEE International Symposium on Circuits and Systems**. [S.l.: s.n.], 2007. p. 1879–1882.

NICOLAIDIS, M. Design for soft error mitigation. **IEEE Transactions on Device and Materials Reliability**, v. 5, n. 3, p. 405–418, 2005.

NIKOLIĆ, B. et al. Circuit design in nanoscale fdsoi technologies. In: **2014 29th International Conference on Microelectronics Proceedings - MIEL 2014**. [S.l.: s.n.], 2014. p. 3–6.

NISHIMURA, T. et al. Three dimensional ic for high performance image signal processor. In: IEEE. **1987 International Electron Devices Meeting**. [S.l.], 1987. p. 111–114.

NOWAK, A. Opportunities and choice in a new vector era. **Journal of Physics: Conference Series**, IOP Publishing, v. 523, p. 012002, jun 2014. Available from Internet: <<https://doi.org/10.1088/1742-6596/523/1/012002>>.

O’GORMAN, T. J. et al. Field testing for cosmic ray soft errors in semiconductor memories. **IBM Journal of Research and Development**, v. 40, n. 1, p. 41–50, 1996.

PATTERSON, D. A.; HENNESSY, J. L. **Computer organization and design ARM edition: the hardware software interface**. [S.l.]: Morgan kaufmann, 2016.

PAVLOV, A.; SACHDEV, M. **CMOS SRAM circuit design and parametric test in nano-scaled technologies: process-aware SRAM design and test**. [S.l.]: Springer Science & Business Media, 2008.

PETERSEN, E. Soft errors due to protons in the radiation belt. **IEEE Transactions on Nuclear Science**, v. 28, n. 6, p. 3981–3986, 1981.

PICKEL, J. C.; BLANDFORD, J. T. Cosmic ray induced in mos memory cells. **IEEE Transactions on Nuclear Science**, v. 25, n. 6, p. 1166–1171, 1978.

PRINZIE, J. et al. An sram-based radiation monitor with dynamic voltage control in 0.18- $\mu\text{m}$  cmos technology. **IEEE Transactions on Nuclear Science**, v. 66, n. 1, p. 282–289, 2019.

RABAEY, J. M.; CHANDRAKASAN, A. P.; NIKOLIĆ, B. **Digital integrated circuits: a design perspective**. [S.l.]: Pearson education Upper Saddle River, NJ, 2003.

RAJENDRAN, A. et al. Noise margin, critical charge and power-delay tradeoffs for sram design. In: **2011 IEEE 17th International On-Line Testing Symposium**. [S.l.: s.n.], 2011. p. 145–150.

RAJPUT, A.; TIWARI, R.; PATTANAIK, M. Estimation of static noise margin by butterfly method using curve-fitting technique. 03 2018.

RASK, J. et al. **Space Faring: The Radiation Challenge Unit**. [s.n.], 2008. Available from Internet: <<https://www.nasa.gov/stem-ed-resources/sf-radiation-challenge-hs-mod1.html>>.

ROCHE, P. et al. Determination of key parameters for seu occurrence using 3-d full cell sram simulations. **IEEE Transactions on Nuclear Science**, v. 46, n. 6, p. 1354–1362, 1999.

ROSSI, D. et al. A 60 gops/w, 1.8v to 0.9v body bias ulp cluster in 28nm utbb fdsoi technology. **Solid-State Electronics**, v. 117, p. 170–184, 2016. ISSN 0038-1101. PLANAR FULLY-DEPLETED SOI TECHNOLOGY. Available from Internet: <<https://www.sciencedirect.com/science/article/pii/S0038110115003342>>.

SAKURAI, T.; MATSUZAWA, A.; DOUSEKI, T. **Fully-depleted SOI CMOS circuits and technology**. [S.l.]: Springer, 2006.

SHAH, J. S.; NAIRN, D.; SACHDEV, M. A 32 kb macro with 8t soft error robust, sram cell in 65-nm cmos. **IEEE Transactions on Nuclear Science**, v. 62, n. 3, p. 1367–1374, 2015.

SILIGARIS, A. et al. 130-nm partially depleted soi mosfet nonlinear model including the kink effect for linearity properties investigation. **IEEE Transactions on Electron Devices**, v. 52, n. 12, p. 2809–2812, 2005.

SINGH, J.; MOHANTY, S. P.; PRADHAN, D. K. **Robust SRAM designs and analysis**. [S.l.]: Springer-Verlag New York, 2013.

STALLINGS, W. **Arquitetura e Organização de Computadores 10a Edição**. [S.l.]: Prentice-Hall, Pearson, 2017.

STMICROELECTRONICS. **Learn More About FD-SOI**. 2021. Available from Internet: <[https://www.st.com/content/st\\_com/en/about/innovation---technology/FD-SOI/learn-more-about-fd-soi.html](https://www.st.com/content/st_com/en/about/innovation---technology/FD-SOI/learn-more-about-fd-soi.html)>. Accessed in: 20 Aug. 2021.

TANENBAUM, A. S. **Organização Estruturada de Computadores, 2013, 6ª Edição**. [S.l.]: Pearson Prentice Hall, 2013.

UZNANSKI, S. et al. Single event upset and multiple cell upset modeling in commercial bulk 65-nm cmos srams and flip-flops. **IEEE Transactions on Nuclear Science**, v. 57, n. 4, p. 1876–1883, 2010.

VITALE, S. A. et al. Fdsoi process technology for subthreshold-operation ultralow-power electronics. **Proceedings of the IEEE**, v. 98, n. 2, p. 333–342, 2010.

WALLMARK, J. T.; MARCUS, S. M. Minimum size and maximum packing density of nonredundant semiconductor devices. **Proceedings of the IRE**, v. 50, n. 3, p. 286–298, 1962.

WEIDE-ZAAGE, K.; CHRZANOWSKA-JESKE, M. **Semiconductor devices in harsh conditions**. [S.l.]: CRC Press, 2016.

WEIMER, P. K. The tft a new thin-film transistor. **Proceedings of the IRE**, IEEE, v. 50, n. 6, p. 1462–1469, 1962.

WESTE, N. H.; HARRIS, D. **CMOS VLSI design: a circuits and systems perspective**. [S.l.]: Pearson Education India, 2015.

WYATT, R. C. et al. Soft errors induced by energetic protons. **IEEE Transactions on Nuclear Science**, v. 26, n. 6, p. 4905–4910, 1979.

XU, J. et al. Supply voltage and temperature dependence of single-event transient in 28-nm fdsoi mosfets. **Symmetry**, v. 11, n. 6, 2019. ISSN 2073-8994. Available from Internet: <<https://www.mdpi.com/2073-8994/11/6/793>>.

YONEHARA, T.; SAKAGUCHI, K.; SATO, N. Epitaxial layer transfer by bond and etch back of porous si. **Applied Physics Letters**, American Institute of Physics, v. 64, n. 16, p. 2108–2110, 1994.

YOSHIMI, M. et al. Two-dimensional simulation and measurement of high-performance mosfets made on a very thin soi film. **IEEE Transactions on Electron Devices**, v. 36, n. 3, p. 493–503, 1989.

YOSHIMI, M. et al. Analysis of the drain breakdown mechanism in ultra-thin-film soi mosfets. **IEEE Transactions on Electron Devices**, v. 37, n. 9, p. 2015–2021, 1990.

ZHU, H.; KURSUN, V. A comprehensive comparison of data stability enhancement techniques with novel nanoscale sram cells under parameter fluctuations. **IEEE Transactions on Circuits and Systems I: Regular Papers**, v. 61, n. 5, p. 1473–1484, 2014.

ZIEGLER, J. F.; LANFORD, W. A. Effect of cosmic rays on computer memories. **Science**, American Association for the Advancement of Science, v. 206, n. 4420, p. 776–788, 1979. ISSN 0036-8075. Available from Internet: <<https://science.sciencemag.org/content/206/4420/776>>.