

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
INSTITUTO DE INFORMÁTICA
CURSO DE ENGENHARIA DE COMPUTAÇÃO

GIOVANO DA ROSA CAMARATTA

**Estruturas de Teste para Avaliação de
Variabilidade Estatística em MOSFETs
Sub-100nm**

Trabalho de Diplomação.

Prof. Dr. Sergio Bampi
Orientador

Eng. Doutorando Juan Pablo Martinez Brito
Co-orientador

Porto Alegre, 4 de dezembro de 2009.

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

Reitor: Prof. Carlos Alexandre Netto

Vice-Reitor: Prof. Rui Vicente Oppermann

Pró-Reitora de Graduação: Profa. Valquiria Link Bassani

Diretor do Instituto de Informática: Prof. Flávio Rech Wagner

Coordenador do ECP: Prof. Gilson Inácio Wirth

Bibliotecária-Chefe do Instituto de Informática: Beatriz Regina Bastos Haro

AGRADECIMENTOS

Agradeço a toda a minha família (a minha mãe, ao meu pai, às minhas irmãs, às minhas tias, meus tios, minhas avós e meus avôs), aos meus amigos e amigas, aos meus colegas e às minhas colegas (que acabaram se tornando meus professores), aos professores e às professoras (que no final se tornaram meus amigos) e a todos aqueles que me motivaram e/ou me ajudaram a chegar até aqui, contribuindo não só nessa minha caminhada desde o início do curso de Engenharia de Computação da UFRGS até o desenvolvimento deste trabalho, mas que também fizeram parte da minha educação e aprendizado.

Não poderia deixar de citar aqui um especial agradecimento e eterna gratidão aos colegas do laboratório 110 do Grupo de Microeletrônica da UFRGS: Felipe Correa Werle, Juan Pablo Martinez Brito, Eduardo Conrad Junior, Dalton Martini Colombo, Guilherme Mauch Freitas, Fernando Paixão Cortes, Luciano Severino de Paula e aos professores Luiz Fernando Ferreira e Sergio Bampi.

SUMÁRIO

LISTA DE ABREVIATURAS E SIGLAS.....	6
LISTA DE FIGURAS	7
LISTA DE TABELAS	12
RESUMO.....	13
ABSTRACT.....	14
1 INTRODUÇÃO	15
1.1 Motivação	17
1.2 Objetivos.....	17
1.3 Protótipos	18
2 ESTUDO BIBLIOGRÁFICO	19
2.1 Circuitos de Seleção e Acesso para a Caracterização MOS	19
2.2 Estudo Bibliográfico.....	20
2.3 Estudo Comparativo de Diferentes Tipos de Decodificadores de Endereços de N bits	30
2.4 Estudo sobre o Conversor de Nível de Tensão: <i>Cascode Voltage Switch Logic (DCVSL)</i> ou “Level Shifter”	38
2.4.1 O “Latch” composto de pFETs.....	39
2.4.2 CVSL “Buffer”/Inversor ou Conversor de Nível de Tensão (“Level Converter” ou “Level Shifter”)	40
2.4.3 Transientes de Chaveamento	40
2.5 Comparativo entre Propostas Diferentes para o “Level Shifter”	42
2.6 Proposta de Trabalho.....	45
3 ESPECIFICAÇÃO E DESCRIÇÃO DO PROJETO	47
3.1 Decodificador de Endereços da Matriz de Circuitos de Acesso para a Seleção e Caracterização MOS.....	47
3.2 O Circuito de Polarização e Acesso de Dispositivos MOSFET e/ou Circuitos MOS	53
3.3 Modificações e Aperfeiçoamentos: uma Nova Abordagem para o Circuito de Polarização e Acesso.....	56

3.4	Descrição Geral do Sistema de Suporte par a Caracterização de Variabilidade Estatística Local de Processo	61
3.5	Metodologia para Implementação, Simulação e Validação.....	64
4	IMPLEMENTAÇÃO	66
4.1	Implementação do Decodificador 6X64 de Dois Estágios.....	66
4.2	Implementação do Conversor de Nível de Tensão (“Level Shifter”).....	67
4.3	Implementação das Chaves CMOS TG.....	71
4.4	Visão Geral da Implementação do Sistema.....	74
5	AVALIAÇÃO DO PROJETO POR SIMULAÇÃO ELÉTRICA.....	79
5.1	Simulação do Decodificador 6X64 de 2 Estágios	79
5.2	Teste e Avaliação do Esquemático e do Leiaute do “Level-Shifter”	80
5.3	Resultados de Simulação Pós-Layout do Decodificador 6X64 de Dois Estágios e do “Level Shifter”	84
5.4	Resultados de Simulação dos Transistores sob Teste com todas as Estruturas de Suporte para a Avaliação Estatística de Processo.....	89
	CONCLUSÃO	96
	REFERÊNCIAS.....	97

LISTA DE ABREVIATURAS E SIGLAS

ASIC	<i>Application-Specific Integrated Circuits</i>
DC	<i>Direct Current</i>
CAD	<i>Computer-Aided Design</i>
CI	<i>Circuito Integrado</i>
CMOS	<i>Complementary Metal-Oxide Semiconductor</i>
DGFet	<i>Regular I/O DG Field-Effect Transistor</i>
DUT	<i>Device Under Test</i>
E/S	<i>Entrada e Saída</i>
FET	<i>Field-Effect Transistor</i>
FPGA	<i>Field Programmable Gate Array</i>
I/O	<i>Input/Output</i>
MOS	<i>Metal-Oxide Semiconductor</i>
MOSFET	<i>Metal-Oxide Semiconductor Field-Effect Transistor</i>
MPW	<i>Multi-Project Wafers</i>
nFET	<i>Field-Effect Transistor N-type Substrate</i>
nMOS	<i>Metal-Oxide Semiconductor N-type Substrate</i>
pFET	<i>Field-Effect Transistor P-type Substrate</i>
pMOS	<i>Metal-Oxide Semiconductor P-type Substrate</i>
RegFet	<i>Regular V_i Field-Effect Transistor (standard da tecnologia)</i>
SMU	<i>Source/Monitor Unit</i>
SMU	<i>Source Measure Unit</i>
TG	<i>Transmission Gate</i>

LISTA DE FIGURAS

Figura 2.1: Implementação da estrutura de teste (MUHOPADHYAY; KIM; JENKINS; CHUANG e ROY, 2008).	21
Figura 2.2: Diagrama de blocos e método de caracterização (YEO; BORDELON; CHU; LI; TRANCHNA; HARWARD; CHAN e SEE, 2002).	21
Figura 2.3: Célula de medida com os transistores de passagem (YEO; BORDELON; CHU; LI; TRANCHNA; HARWARD; CHAN e SEE, 2002).	21
Figura 2.4: Circuito da matriz de transistores (“mismatch array structure”) para avaliação do descasamento (QUARANTELLI et al., 2003).	22
Figura 2.5: Circuito esquemático com os transistores de passagem com transistor “pull down/up” (QUARANTELLI et al., 2003).	22
Figura 2.6: Diagrama do circuito da matriz de transistores com as chaves de seleção de dreno (“drain”) e porta (“gate”) e um registrador de deslocamento serial (KLIMACH; SCHNEIDER e GALUP-MONTORO, 2006).	23
Figura 2.7: Estratégia de estímulo em tensão nas medições dos dispositivos: (a) tradicional e (b) <i>force-sense</i> , em que há um laço de realimentação para balanceamento das quedas de tensão no caminho do estímulo (KLIMACH; SCHNEIDER e GALUP-MONTORO, 2006).	23
Figura 2.8: Configuração do circuito para medições da tensão de limiar. O transistor seguidor de tensão de ganho único mantém fixa a tensão entre dreno (“drain”) e fonte (“source”) por meio do dispositivo sob teste (AGARWAL et al., 2008).	24
Figura 2.9: Esquemático do circuito de uma matriz de dispositivos para caracterização de flutuações na tensão de limiar. A tensão de limiar (V_{th}) é medida passando-se por meio de cada dispositivo da matriz e medindo-se a tensão na fonte correspondente (AGARWAL et al., 2008).	24
Figura 2.10: Esquemático do circuito para medição das variações da tensão de limiar em que o dispositivo sob teste é (a) n-Fet e (b) p-Fet (JI; PEARSON; LAUER; STELLARI; FRANK; CHANG e KETCHEN, 2008).	25
Figura 2.11: Esquemático do circuito da estrutura de teste baseada em um amplificador operacional para medições de variação da tensão de limiar local (com comportamento estocástico): (a) matriz de dispositivos n-Fet e (b) matriz de dispositivos p-Fet (JI; PEARSON; LAUER; STELLARI; FRANK; CHANG e KETCHEN, 2008).	25
Figura 2.12: Diagrama de blocos mostrando o gerador de pulsos (com opção de pulsos externos ou internos), um contador de endereços, decodificadores e chaves	

de linha e coluna e uma matriz de dispositivos FET (JI; PEARSON; LAUER; STELLARI; FRANK; CHANG e KETCHEN, 2008).....	26
Figura 2.13: Diagrama de blocos do circuito de aquisição de dados estatísticos com a matriz de dispositivos MOSFET (“MOSFET array”) (SHIMIZU et al., 2002).	26
Figura 2.14: Esquemático da matriz de 255x64 dispositivos MOSFET. Qualquer um deles pode ser selecionado a partir de um par de linhas de dreno (“drain”) e porta (“gate”) (SHIMIZU et al., 2002).	27
Figura 2.15: Esquemático da estrutura de teste (LEFFERTS e JAKUBIEC, 2003).	27
Figura 2.16: Esquemático da estrutura de seleção contendo registradores de deslocamento (LEFFERTS e JAKUBIEC, 2003).	28
Figura 2.17: Estrutura da célula (circuito de polarização) do circuito de teste com medições feitas nas seguintes condições: tensão de porta (V_G) = 2.0V; tensão de dreno (V_D) = 0.1V e tensão de substrato (V_{Sub}) = 0V (TERADA; CHAGAWA; XIANG; TSUJI; TSUNOMURA e NISHIDA, 2009).....	28
Figura 2.18: Estrutura da célula (circuito de polarização) da nova topologia do circuito de teste proposto no trabalho citado. Os terminais de porta e fonte são similarmente conectados em pinos de prova assim como foi feito para os terminais de dreno em “Drain Sense” e “Drain Force” (TERADA; CHAGAWA; XIANG; TSUJI; TSUNOMURA e NISHIDA, 2009).....	29
Figura 2.19: Decodificador 2X4 convencional de um estágio: (a) com NAND2 e (b) com NOR2 (GOEL e AGARWAL, 2004).....	32
Figura 2.20: Exemplo de um Decodificador 2X4 baseado em árvore, formado por transistores de passagem (RABAEY et al., 2003).....	33
Figura 2.21: Exemplo de um Decodificador 2X4 NAND em linha, usando pré-carga (lógica dinâmica) (RABAEY et al., 2003).	33
Figura 2.22: Exemplo de um Decodificador 4X16 baseado em árvore com pré-carga (lógica dinâmica) (REMEDI, 1979).	34
Figura 2.23: Exemplo de um Decodificador 6X64 sem pré-decodificação (WESTE e HARRIS, 2005).	35
Figura 2.24: Exemplo de um Decodificador 6X64 com pré-decodificação (WESTE e HARRIS, 2005).	36
Figura 2.25: Exemplo de Decodificadores de Dois Estágios com decodificadores menores na pré-decodificação: (a) Decodificador 4X16 (GOEL e AGARWAL, 2004) e (b) Decodificador 5X32 (NAKAMURA, 1998).....	37
Figura 2.26: Estrutura básica da célula lógica CVSL (UYEMURA, 1999).....	38
Figura 2.27: Estrutura básica da célula lógica CVSL (UYEMURA, 1999).....	39
Figura 2.28: CVSL “Buffer”/Inversor (UYEMURA, 1999) também conhecido como conversor de nível “Level Shifter”.	40
Figura 2.29: Chaveamento do par nFET (UYEMURA, 1999).....	41
Figura 2.30: esquemático do “Level Shifter” convencional (KHAN et al., 2006).....	42
Figura 2.31: “Level Shifter” com fonte de alimentação única (KHAN et al., 2006).	43

Figura 2.32: Esquemático do “Level Shifter” com fonte de alimentação única para simulação (KHAN et al., 2006).	43
Figura 2.33: Simulação do circuito “Level Shifter” com fonte de alimentação única (KHAN et al., 2006).	44
Figura 2.34: Esquemático do “Level Shifter” convencional (UYEMURA, 1999) para simulação.	44
Figura 2.35: Simulação do circuito “Level Shifter” convencional (UYEMURA, 1999).	45
Figura 3.1: Diagrama de blocos dos decodificadores de endereços de linhas e de colunas (Decoder 6X64) e da matriz de dispositivos e/ou circuitos MOS.....	48
Figura 3.2: Esquemático do Pré-Decodificador 4X16 (lado esquerdo) com as cinco primeiras NOR4 instanciadas e as 5 primeiras saídas G_i ($G_0, G_1, G_2, G_3, G_4, G_5$).	49
Figura 3.3: Esquemático do Pré-Decodificador 4X16 (lado direito) com as cinco últimas NOR4 instanciadas e as 5 últimas saídas G_i ($G_{11}, G_{12}, G_{13}, G_{14}$ e G_{15}).	50
Figura 3.4: Diagrama de blocos do primeiro estágio (Pré-Decoder 4X16) e do segundo estágio, explicitando-se as quatro portas NAND3.	50
Figura 3.5: Esquemático do segundo estágio (Decodificador 2X4) com quatro NAND3 instanciadas. A_0, A_1 e G_i são as entradas; $SG_{00}, SG_{01}, SG_{10}$ e SG_{11} , as saídas.	51
Figura 3.6: Segundo estágio (Decodificador 2X4) instanciado no esquemático do Decodificador 6X64.	51
Figura 3.7: Esquemático do Decodificador 6X64 com o Pré-Decodificador 4X16 e as saídas G_i ($G_0, G_1, G_2... G_{14}, G_{15}$), no lado esquerdo da figura, e os Decodificadores 2X4 instanciados e replicados com as respectivas entradas G_i e as quatro respectivas saídas $SG_{i_00}, SG_{i_01}, SG_{i_10}$ e SG_{i_11}	52
Figura 3.8: Figura mais detalhada do esquemático parcial do Decodificador 6X64 (lado esquerdo da figura 3.7).	52
Figura 3.9: Figura mais detalhada do esquemático parcial do Decodificador 6X64, apresentando 4 instâncias do circuito do segundo estágio (lado extremo direito).	53
Figura 3.10: Esquemático do circuito de polarização no centro com um dispositivo sob teste (V_8 é o nó da porta e V_7 é o do dreno), com o esquemático parcial do Decodificador 6X64 selecionando linha no lado esquerdo.	54
Figura 3.11: Esquemático do circuito da célula que seria implementada com os transistores de passagem para a porta e para o dreno, sendo dois no dreno para a utilização do <i>force-sense</i> ; e mais uma NOR e um inversor para tratar o sinal de seleção de linha e coluna.	55
Figura 3.12: Bloco instanciado da porta lógica NOR que seria implementada a partir da figura anterior.	55
Figura 3.13: Detalhe do esquemático do par de transistores de passagem do <i>force</i> do terminal do dreno.	56
Figura 3.14: Esquemático do circuito de comparação (V_{10} é a port e V_9 o dreno).	57
Figura 3.15: Simulação para comparar o circuito da figura 3.10 com o da figura 3.14 (corrente no dreno em V_7 e V_9 e corrente na porta em V_8 e V_{10}).	57

Figura 3.16: Esquemático da célula contendo o DUT, decodificador e circuitos de polarização e acesso para simulação $I_{DS} \times V_{GS}$.	58
Figura 3.17: Esquemático do circuito de polarização convencional do DUT (VG_variar é a porta e V9 o dreno).	58
Figura 3.18: (a) resultados de simulação comparativa da curva $I_{DS} \times V_{GS}$ entre os dois circuitos (célula com o DUT e o circuito de comparação com polarização convencional); (b) a mesma curva em escala log.	59
Figura 3.19: Proposta inicial do leiaute do circuito de polarização e acesso.	60
Figura 3.20: Diagrama de blocos do sistema de suporte para caracterização de variação estatística local de processo.	62
Figura 3.21: Sub-matriz 8x8 de transistores MOSFET tipo nMOS.	62
Figura 3.22: Chave CMOS TG de polarização e acesso para <i>force-sense</i> do dreno.	63
Figura 3.23: Chave CMOS TG de polarização e acesso para a porta com “clamp”.	64
Figura 3.24: Chave CMOS TG de polarização e acesso para <i>force-sense</i> da fonte.	64
Figura 3.25: Circuito “Level-Shifter”.	64
Figura 4.1: Leiaute parcial do Decodificador 6X64 de 2 estágios.	66
Figura 4.2: Inversor utilizado em conjunto com o circuito “Level Shifter”.	67
Figura 4.3: “Level Shifter” convencional sem o inversor (UYEMURA, 1999).	68
Figura 4.4: Leiaute do “Level Shifter” sem o inversor.	68
Figura 4.5: Esquemático do “Level Shifter” duplo com dois inversores (LS).	69
Figura 4.6: Leiaute do “Level Shifter” duplo com dois inversores (LS).	69
Figura 4.7: Esquemático do Decodificador e dos 64 “Level Shifters” instanciados.	70
Figura 4.8: Esquemático mais detalhado do Decodificador e dos 64 “Level Shifters” (LS) instanciados.	70
Figura 4.9: Leiaute final do Decodificador e dos 64 “Level Shifters” com os respectivos inversores (LS) instanciados.	71
Figura 4.10: Leiaute final mais detalhado do Decodificador e dos “Level Shifters” com os respectivos inversores (LS) instanciados.	71
Figura 4.11: Leiaute parcial colorido e mais detalhado do Decodificador e dos “Level Shifters” com os respectivos inversores (LS) instanciados.	71
Figura 4.12: Esquemático das chaves CMOS TG do dreno para o caminho do <i>force</i> .	72
Figura 4.13: Esquemático das chaves CMOS TG do dreno para o caminho do <i>sense</i> .	72
Figura 4.14: Esquemático das chaves CMOS TG da fonte para o caminho do <i>force</i> .	73
Figura 4.15: Esquemático das chaves CMOS TG da fonte para o caminho do <i>sense</i> .	73
Figura 4.16: Esquemático da chave CMOS TG da porta com “Clamp”.	73
Figura 4.17: Leiaute da chave CMOS TG.	74
Figura 4.18: Esquemático da visão geral simplificada para simulação de todo o sistema.	75

Figura 4.19: Decodificador 6x64 para linhas; inversores, “Level Shifters” e chaves CMOS TG para a porta com “Clamp”.....	75
Figura 4.20: MOSFETs sob teste dispostos em duas linhas e duas colunas e chaves CMOS TG para <i>force-sense</i> da fonte para as duas linhas.	76
Figura 4.21: Inversores e “Level Shifters” com chaves CMOS TG para <i>force-sense</i> do dreno para as duas colunas.	76
Figura 4.22: Matriz simplificada com quatro MOSFETs sob teste (nMOS e pMOS) e com um par de chaves CMOS TG para <i>force-sense</i> do dreno acima e dois pares de chaves CMOS TG da porta.	77
Figura 4.23: Matriz simplificada com quatro MOSFETs (nMOS e pMOS) em polarização convencional para simulação de comparação.	77
Figura 4.24: Amplificadores operacionais, pinos de E/S e fontes de alimentação.....	78
Figura 4.25: Esquemático interno do amplificador operacional.....	78
Figura 5.1: Simulação dos sinais de entrada do decodificador 6X64 de 2 estágios.....	80
Figura 5.2: Simulação dos sinais de saída do decodificador 6X64 de 2 estágios.....	80
Figura 5.3: Circuito “Level Shifter” proposto por (KHAN et al., 2006).....	81
Figura 5.4: Simulação do circuito “Level Shifter” proposto por (KHAN et al., 2006)..	81
Figura 5.5: “Level Shifter” convencional sem o inversor (UYEMURA, 1999).	82
Figura 5.6: “Level Shifter” convencional com inversor (UYEMURA, 1999).....	82
Figura 5.7: Esquema de teste para simular e comparar o esquemático com o extraído.	83
Figura 5.8: Simulação do esquemático do “Level Shifter”.	83
Figura 5.9: Simulação do leiaute do “Level Shifter” (circuito extraído).....	84
Figura 5.10: Verificação de regras de leiaute (DRC) do decodificador e “Level Shifter”.....	84
Figura 5.11: Resultado da comparação entre esquemático e leiaute.	87
Figura 5.12: Simulação paramétrica da curva $I_{DS} \times V_{DS}$ para diferentes V_{GS}	90
Figura 5.13: Curva $I_{DS} \times V_{DS}$ com diferentes V_{GS} , para nMOS W/L = 180nm/600nm.	90
Figura 5.14(a): Curva $I_{DS} \times V_{GS}$ para nMOS W/L = 180nm/600nm.....	90
Figura 5.14(b): Curva $I_{DS} \times V_{GS}$ em escala log para nMOS W/L = 180nm/600nm.....	90
Figura 5.15: Curva $I_{DS} \times V_{DS}$ com diferentes V_{GS} , para nMOS W/L = 6 μ /60n	91
Figura 5.16(a): Curva $I_{DS} \times V_{GS}$ para nMOS W/L = 6 μ /60n.....	92
Figura 5.16(b): Curva $I_{DS} \times V_{GS}$ em escala log para nMOS W/L = 6 μ /60n.....	92
Figura 5.17: Curva $I_{DS} \times V_{DS}$ com diferentes V_{GS} , para pMOS W/L = 180nm/600nm.	93
Figura 5.18(a): Curva $I_{DS} \times V_{GS}$ para pMOS W/L = 180nm/600nm.....	93
Figura 5.18(b): Curva $I_{DS} \times V_{GS}$ em escala log para pMOS W/L = 180nm/600nm.....	93
Figura 5.19: Curva $I_{DS} \times V_{DS}$ com diferentes V_{GS} , para pMOS W/L = 6 μ /60n	94
Figura 5.20(a): Curva $I_{DS} \times V_{GS}$ para pMOS W/L = 6 μ /60n.....	95
Figura 5.20(b): Curva $I_{DS} \times V_{GS}$ em escala log para pMOS W/L = 6 μ /60n.....	95

LISTA DE TABELAS

Tabela 2.1: Comparação de alguns tipos de Decodificadores de Endereços 6X64..... 31

Tabela 3.1: Tabela de dimensionamento dos transistores das sub-matrizes 8x8..... 63

RESUMO

As variações nas características elétricas de dispositivos MOS são uma preocupação muito importante no projeto, manufatura e operação de circuitos integrados (CIs). Com a redução contínua (escalamento) das dimensões na tecnologia CMOS, variabilidade de processo se tornou um grande problema, afetando o desempenho e o rendimento positivo na produção destes circuitos integrados (CIs) densamente construídos. Nos atuais MOSFETs em escala abaixo de 100nm, a variação estatística de processo está aumentando e impõe um grande desafio para o projeto de circuitos analógicos e digitais. Em uma tentativa de encarar este desafio, veículos de teste estão sendo pesquisados e desenvolvidos para oferecer uma visão quantitativa sobre tais variações elétricas. Veículos de teste para avaliar variabilidade estatística em nanodispositivos CMOS são o foco deste trabalho de graduação. Este estudo irá conduzir à concepção de algumas partes do projeto de um chip de teste que abrange estudos científicos sobre caracterização estatística de variação de processo.

Nesse contexto, este trabalho apresenta uma pesquisa bibliográfica sobre as estruturas de teste utilizadas em avaliações de variabilidade estatística e sobre quais são os circuitos e estruturas de teste mais adequados para um chip de teste CMOS. A partir disso, definiu-se que a área sob teste do chip será uma matriz de dispositivos, compreendendo uma matriz de MOSFETs contendo transistores projetados identicamente, os quais são ativados um de cada vez a partir dos sinais dos decodificadores de linhas e de colunas. Na literatura, comumente são utilizados dois decodificadores para acessar vários dispositivos sob teste. Esta é a melhor maneira de selecionar cada componente dentro da pastilha do chip (permitindo que um pequeno número de pinos do chip seja usado para acessar cada um dos milhares de componentes). Entretanto, os veículos de teste das estruturas devem ser precisos e rápidos para avaliação de mais de mil dispositivos. Por causa disso, um circuito de polarização também precisa ser implementado, já que as perdas de potencial de tensão e de corrente nos acessos deverão ser contornadas. Como resultado, o decodificador de endereços aliado a circuitos de polarização serão a melhor opção para selecionar e acessar vários dispositivos. A pesquisa também abrange um estudo de diferentes topologias de decodificadores, mostrando qual será mais adequada para a implementação do nosso decodificador para o chip teste. Conseqüentemente, diferentes tipos de decodificadores de endereços para seleção de componentes são discutidos e comparados a partir de trabalhos relacionados. Além disso, este trabalho mostra a especificação do projeto de todos esses circuitos e estruturas de teste para a avaliação de variabilidade estatística de MOSFETs em escala abaixo de 100nm.

Palavras-Chave: caracterização estatística de variação de processo, nanodispositivos, MOSFET, estruturas de teste, circuitos de seleção e acesso, decodificador de endereços.

Test Structures for Statistical Variability Evaluation on Ultra-Deep Submicron MOSFETs

ABSTRACT

Variations in the electrical characteristics of MOS devices have long been a concern for the design, manufacturing and operation of integrated circuits (ICs). With the continued scaling in CMOS technology, process variability has become a major issue affecting performance and yield in densely packed ICs. In current sub-100nm MOSFETs, statistical process variations are increasing and they impose a major challenge for digital and analog circuit design. In an attempt to face this challenge, test vehicles have been researched and developed to give quantitative insights about such electrical variations. Test vehicles to evaluate statistical variability on ultra-deep submicron CMOS nanodevices are the focus of this work. This study will lead to the design of parts of a test chip that comprises investigation about statistical process variation characterization.

In this context, this work presents an investigation of how this evaluation had been done in the literature, including which are the best test circuits that may be developed for our test chip. Thus, in the test chip, the area under test will be a matrix of devices that comprises a MOSFET matrix with identical designed transistors, which are activated one at a time using row and column decoder's signals. This is the best way to select each component within the die, allowing for a small number of chip pads for component access. They use two decoders to access many devices under test. Nevertheless, the structure test vehicle must be precise and fast to evaluate about one thousand devices. As a result an address decoder and a bias circuit will be the best option to select and access many devices. The research also comprises a study of which type of topology will be the best to develop our decoder design. Hence, different types of address decoders as a circuit for component selection are discussed and compared from related works. A transistor bias circuit must be developed also, in which potential losses and current leak paths must be circumvented. Also, this work shows the design specification of all this circuits and test structures for the evaluation of statistical variability on deep submicron MOSFET nanodevices.

Keywords: statistical process variation characterization, nanodevices, MOSFET, test structures, selection and access circuits, address decoder.

1 INTRODUÇÃO

Nos últimos anos, observa-se um progressivo escalamento da tecnologia CMOS (*Complementary Metal-Oxide Semiconductor*), o que reduz suas dimensões geométricas a valores submicrométricos, assim como a tensão de alimentação dos transistores, favorecendo a diminuição de consumo.

Se por um lado estes fatores acarretam uma melhora em alguns aspectos elétricos e físicos, em contrapartida geram um aumento na complexidade dos circuitos integrados, com novas dificuldades e desafios para o projeto dos mesmos (KLIMACH, 2007).

Assim, nota-se a grande importância da pesquisa dos fenômenos e das características elétricas e físicas que envolvem o projeto de um circuito integrado, propiciando a utilização e o aprimoramento das técnicas, das metodologias e das ferramentas utilizadas. Para isso, são projetados circuitos que auxiliam a pesquisa e o desenvolvimento da própria tecnologia, com o objetivo de se obter um domínio tecnológico mais aprofundado à medida que o processo de fabricação atinge escalas menores. Nesse caso, relativas ao projeto e à implementação de circuitos integrados em tecnologias submicrométricas utilizando-se nanodispositivos CMOS, é fundamental que sejam obtidos dados de medição de maneira rápida, confiável e precisa.

Neste contexto, a área da micro e nanoeletrônica que estuda a variação estatística de processos de nanodispositivos CMOS vêm ganhando espaço quando se discute as futuras gerações dos circuitos integrados.

Sabe-se que o caráter randômico ou discreto, intrínseco à matéria, é um dos fatores que limitam a tecnologia CMOS de maneira inevitável. Assim, a diminuição crescente na escala dos dispositivos semi-condutores faz surgir implicações para um controle preciso na manufatura de circuitos integrados, tornando-se uma tarefa cada vez mais complexa e dispendiosa. Os processos físico-químicos envolvidos na fabricação de chips estão cada vez mais sujeitos a variações de dimensionamento nas tecnologias abaixo de 100nm. Conseqüentemente, o desempenho das futuras gerações de circuitos integrados também estará submetido a uma grande variação nos seus respectivos parâmetros, causando uma degradação final no rendimento (“yield”) para cada pastilha de um “wafer” produzido. Isso quer dizer que ocorrem variações de parâmetros elétricos entre dispositivos muito próximos. Tal fenômeno envolvendo estas variações independentes do tempo é responsável por afetar tanto os circuitos digitais como analógicos, diferenciando a qualidade, o desempenho e o rendimento requerido para um mesmo projeto de um circuito integrado (BRITO, 2009). O impacto disso na fabricação dos dispositivos atuais ou futuros está relacionado com a otimização da velocidade e dissipação de potência. Para tecnologias abaixo de 100nm, considerando apenas variações randômicas do número e posição dos dopantes por área da região ativa do

canal do transistor, teremos consideráveis variações na corrente de dreno do mesmo. Em circuitos analógicos, uma variação nas características DC de transistores supostamente casados pode produzir uma deterioração do nível de precisão ou relação sinal-ruído não previsto. Em circuitos digitais, variações nos transistores levam a uma variação no atraso intrínseco das portas lógicas onde este pode se propagar para um número maior de portas lógicas e assim por diante. Por esta razão, a pesquisa de metodologias de projeto que usam técnicas de estatística para viabilizar o máximo rendimento por pastilha de um circuito integrado se faz importante e necessário, sendo discutida como peça fundamental no projeto de circuitos de alto desempenho para tecnologia CMOS submicrométricas (BRITO, 2009).

Além disso, para se obter o máximo desempenho do processo de fabricação da tecnologia CMOS, diferentes modelos e estruturas de dispositivos são pesquisados. Vários projetos semi-customizados utilizando associações trapezoidais de transistores mostraram-se viáveis na implementação de circuitos integrados mistos analógico-digitais, sendo demonstrados bons resultados em trabalhos anteriores (CONRAD, 2008) (GIRARDI, 2003). Além disso, outros conceitos de associações de transistores como a associação do tipo T (TST – T Shaped Transistor) foram implementadas, sendo os resultados dessa pesquisa também apresentados em trabalhos anteriores (CONRAD, 2008) (GIRARDI, 2007). Essa associação caracteriza-se pelo formato trapezoidal. A modelagem e a pesquisa dessas estruturas são interessantes para se avaliar os efeitos no desempenho geral de um circuito analógico.

Estudos teóricos e verificações experimentais comparadas com simulações, portanto, são de extrema relevância para a pesquisa destes assuntos. É imprescindível que uma equipe de projetistas de um “chip” tenha um conhecimento bem claro e detalhado de todas as implicações que envolvem as especificações de um circuito integrado, desde a sua idealização, passando pela parte de concepção, dimensionamento, variação dos componentes, verificação, simulação, desenho do leiaute, posicionamento, etc. Independentemente da especificação ser funcional, elétrica ou tecnológica, a parte de teste e validação do projeto após fabricado também são etapas integrantes das atividades do projetista que deve levar em consideração como serão utilizados os instrumentos de medida, o ruído, a largura de banda limitada, os efeitos térmicos, erros de instrumentação, etc.

Relativamente a estes dois assuntos, é necessária a aplicação de métodos e de técnicas eficientes e confiáveis para a realização de medidas para a análise da influência das variações de processo CMOS em tecnologias com transistores MOSFET com comprimento mínimo de porta (“gate”) abaixo de 100nm, assim como para o estudo do desempenho de diferentes modelos de dispositivos.

Considerando-se os instrumentos de medidas de circuitos integrados CMOS (por exemplo, um HP4145 e uma estação de micro-ponteiras com microscópio), sabe-se que é possível tornar mais eficiente e precisa a aquisição dos dados de medições, diminuindo-se o tempo desta etapa, dependendo da estratégia utilizada no leiaute de um chip.

A confiabilidade estatística para esse tipo de avaliação depende da quantidade de dispositivos idênticos medidos sob as mesmas condições (amostra). Como não se dispõe de um grande número de equipamentos de caracterização, ou de pontos de acesso na pastilha, é necessário que haja uma forma de se selecionar cada par de dispositivos ou circuitos MOS equivalentes de um grupo para que se compartilhe o equipamento e o

número limitado de pontos de acesso durante a fase de medição (KLIMACH, 2007). Uma opção viável e inteligente para se fazer a seleção de dispositivos MOS ou circuitos MOS equivalentes dentre vários é por meio de chaves CMOS internas. Essa estratégia exige menor infra-estrutura, pois todo o processo de seleção é feito pelo próprio circuito de teste, através de um conjunto de chaves CMOS acionadas por uma interface digital, conectada com um computador.

Nesse contexto, será projetado e possivelmente prototipado um chip na tecnologia de processo IBM 65nm CMOS contendo projetos de pesquisadores da área de micro e nanoeletrônica, abordando alguns desses assuntos como parte dos seus estudos de pós-graduação na respectiva área.

1.1 Motivação

Considerando-se que os projetos abordarão algum dos assuntos mencionados anteriormente e que envolverão a prototipação de um chip em uma tecnologia bastante atual e avançada (IBM 65nm CMOS), é de extremo interesse para qualquer estudante de engenharia que optou por seguir na área de micro e nanoeletrônica participar de um projeto como esse, desde o início até o final. Infelizmente, muitas das etapas não são contempladas em detalhes durante o currículo do curso de Engenharia de Computação. Nesse caso, esta é uma oportunidade de experiência bastante interessante para o meu aperfeiçoamento acadêmico e profissional, já que eu quero aprofundar meus conhecimentos na área. Assim, aprimorar meus conhecimentos nessa área, participando de todas as etapas possíveis que envolvem a fabricação de um circuito integrado, bem como a participação em tarefas e atividades específicas desse projeto será a principal motivação.

Dessa forma, será realizado neste trabalho uma avaliação de todas as etapas e implicações que envolvem a fabricação de um circuito integrado, bem como a participação em tarefas e atividades específicas que envolverão o projeto e a implementação deste chip. Aprender a utilizar a tecnologia alvo também é uma motivação para este trabalho.

1.2 Objetivos

Sabe-se que a área de micro e nanoeletrônica possui um papel estratégico para o desenvolvimento do país, sendo o domínio do projeto de circuitos integrados fundamental.

Para a realização deste trabalho, um estudo do que será implementado e seus respectivos motivos se faz necessário, assim como um estudo sobre o uso da tecnologia 65nm CMOS e um aprendizado prático das ferramentas de CAD (*Computer-Aided Design*) utilizadas.

Adicionalmente, pretende-se fazer um estudo sobre os dispositivos, bem como um envolvimento no planejamento, implementação de leiaute (com verificação das regras de projeto, checagem e comparação do que foi projetado com o que foi especificado, entre outras fases essenciais do fluxo do projeto) e simulação dos mesmos. Mais especificamente, fazer o desenvolvimento das estruturas de seleção e polarização e acesso para caracterizar e avaliar os efeitos de variabilidade de processo em transistores MOSFET e o leiaute das estruturas para avaliação de dispositivos de diferentes tamanhos. Além disso, um estudo da metodologia de caracterização elétrica dessas

variações poderá também ser realizado para entender melhor o contexto e a finalidade das estruturas de teste, bem como as exigências e os quesitos do projeto de todo o chip de teste.

Para a seleção e acesso com polarização de dispositivos ou circuitos MOS equivalentes, serão estudadas técnicas, métodos e circuitos específicos para a aquisição de medidas de modelos e estruturas de teste, bem como avaliar e implementar as conexões e o circuito de chaveamento de acesso na tecnologia alvo, oferecendo-se suporte para pesquisa na área de variação estatística de processo em escala submicrométrica e para a pesquisa de estruturas de teste de nanodispositivos CMOS abaixo de 100nm.

Por fim, em etapa posterior a este trabalho, também faz parte dos objetivos realizar a prototipação do chip teste e as medições e caracterização dos dispositivos que serão fabricados no mesmo chip (para descasamento e variabilidade intra-chip) e comparados com as variações de chip a chip.

1.3 Protótipos

O objetivo do trabalho também é o de fornecer embasamento teórico para o protótipo de um chip de teste na tecnologia IBM 65nm CMOS de maneira que este seja fabricado pelo serviço MPW da MOSIS. Este protótipo conterà circuitos de teste de interesse do grupo de pesquisa para a aquisição e posterior avaliação dos resultados, sustentando as pesquisas sobre variabilidade dos parâmetros elétricos dos transistores e circuitos CMOS.

2 ESTUDO BIBLIOGRÁFICO

O avanço do processo de fabricação de circuitos integrados está diretamente relacionado com o aumento da miniaturização dos dispositivos. Isso faz com que o seu desempenho seja mais sensível às variações de processo (“die variation”) e ao descasamento (“mismatch”), devido ao caráter randômico da matéria (flutuações microscópicas randômicas no número e no local dos átomos dos dopantes). Em consequência disso, ocorre uma grande variação na tensão de limiar (“threshold voltage” ou V_{th}) dos dispositivos MOS, assim como em outros parâmetros (BRITO, 2009). O dispositivo MOS ou MOSFET (acrônimo de *Metal-Oxide Semiconductor Field-Effect Transistor*, ou transistor de efeito de campo de semicondutor de óxido metálico) será muitas vezes representado nas ilustrações por dispositivo sob teste (“Device Under Test” - DUT). O descasamento entre transistores é verificado pelo cálculo dos erros na diferença entre determinados parâmetros dos transistores, sendo o principal deles a tensão de limiar.

Este capítulo tem o objetivo de apresentar um estudo bibliográfico sobre circuitos de seleção (principalmente decodificadores), polarização e acesso para a caracterização de MOSFETs a partir de trabalhos relacionados e do estado-da-arte na literatura acadêmica para a realização deste trabalho de graduação. Assim, foi realizada uma pesquisa específica sobre decodificadores de endereços para a seleção de dispositivos. Conseqüentemente, conforme o projeto do chip teste foi evoluindo, ocorreram algumas modificações. O circuito de polarização e acesso utilizará transistores de entrada e saída de 2,5V, sendo necessária a implementação de um circuito para a conversão de 1,2V para 2,5V. Assim, foi realizada e adicionada no item 2.4 uma pesquisa sobre o conversor de nível de tensão (*Differential Cascode Voltage Switch Logic* – DCVSL, ou também denominado “Level Shifter”). Mais detalhes dessa nova abordagem também serão apresentados nos itens 3.3 e 3.4 do capítulo Especificação e Descrição do Projeto. Essas pesquisas têm o objetivo de fornecer a base teórica para o projeto do chip teste.

2.1 Circuitos de Seleção e Acesso para a Caracterização MOS

A dificuldade em obter estimativas mais acuradas de descasamento por medições a partir de várias pastilhas de circuitos integrados (“dies”) motivou a necessidade de implementação de estruturas de teste que podem conter um grande número de dispositivos e/ou circuitos MOS em uma mesma pastilha.

Para a realização das medições destes dispositivos e circuitos MOS é necessária a implementação de circuitos de seleção, assim como circuitos de acesso com polarização e chaveamento, de maneira que estas sejam mais eficientes e confiáveis possível. Para a seleção, em alguns casos, são utilizados registradores de endereços com um circuito gerador de pulsos. Em outros, são utilizados multiplexadores e/ou decodificadores de

endereços. Também são encontradas soluções que combinam todos estes citados. Isso se deve ao fato de que, para o estudo de dispositivos e/ou circuitos MOS na área de pesquisa que estuda variações de processo (“die variation”) e descasamento (“mismatch”), são utilizadas matrizes com circuitos de polarização e acesso contendo os dispositivos sob teste (individualmente ou aos pares) e/ou circuitos MOS sob teste (KLIMACH, 2007).

Nos últimos anos, para atenuar significativamente as quedas de tensão intrínsecas das resistências parasitas (adicionadas inclusive pelos equipamentos e instrumentos de medidas), muitos circuitos propostos para os objetivos citados anteriormente são implementados a fim de fornecerem suporte para a realização da técnica de medida *Kelvin* (medição a quatro ponteiros: duas para o estímulo – tensão ou corrente – e outras duas para a medição, chamadas de *force-sense* respectivamente) (KLIMACH, 2007).

Para o acesso (polarização e acesso) individual das células das matrizes contendo dispositivos e/ou circuitos MOS, são utilizados transistores de passagem (“transmission gates”). Assim, cada célula da matriz ou DUT será isolado dos demais, estando sob o controle de um circuito de polarização e acesso para medição e caracterização individual, de forma que os dispositivos e/ou circuitos MOS sob teste sejam avaliados.

2.2 Estudo Bibliográfico

Assim, com a finalidade de embasar o projeto do chip teste, várias publicações foram pesquisadas em periódicos e em anais de conferências que tratam sobre estruturas de teste, variação de processo e descasamento. Algumas delas são descritas em seguida.

Em (MUKHOPADHYAY; KIM; JENKINS; CHUANG e ROY, 2008) são utilizados dois decodificadores de endereços (um para linha e outro para coluna) para o acesso às estruturas sob teste com o objetivo de fazer uma caracterização estatística. Conforme pode-se observar na figura 2.1, este trabalho utilizou métodos de medição embutidos no chip para caracterizações randômicas locais. Seu esquema de caracterização de descasamento (nesse caso, erros na diferença da tensão de limiar dos transistores) utilizou um “Current Latch-type Sense Amplifier” (CLSA) em cada célula da matriz. Na saída, foi utilizado mais um multiplexador de endereços para linhas e colunas.

Em (YEO; BORDELON; CHU; LI; TRANCHNA; HARWARD; CHAN e SEE, 2002) foi utilizada a técnica de medida *Kelvin* (para compensar as quedas de tensão). Além disso, de acordo com a figura 2.2, foram implementados dois decodificadores de endereços para acessar linhas e colunas da matriz de dispositivos sob teste.

A célula de medida (circuito de polarização que contém as estruturas), figura 2.3, consiste em um par de transistores (nMOS ou pMOS) conectados em chaves implementadas com transistores de passagem (“transmission gate”). Assim, isolam os dispositivos sob teste dos outros dispositivos que não foram selecionados; minimizando possíveis interferências (“cross-talk”) e agindo com as células, oferecendo um ambiente simétrico para minimizar o descasamento devido ao ambiente assimétrico. Ou seja, são conectadas na porta (“gate”) para assegurar que uma falha em uma outra porta (“gate”) individual não afete o teste de outros dispositivos sob teste. Conferindo, portanto, proteção, isolamento (excluindo influência de outros fatores que podem prejudicar a precisão das medições) e flexibilidade nos testes.

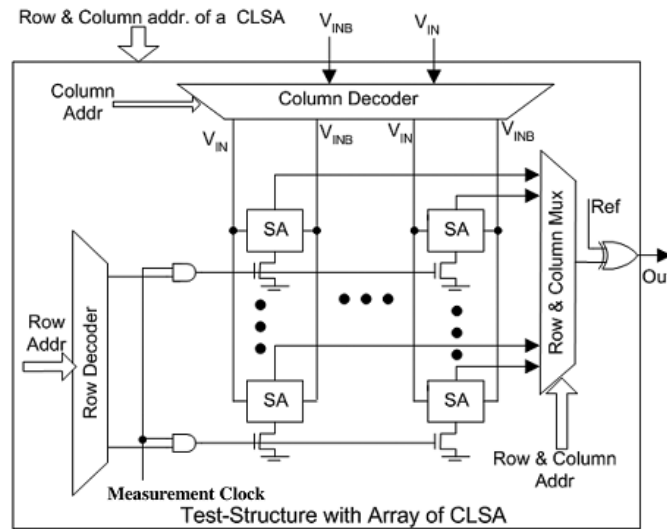


Figura 2.1: Implementação da estrutura de teste (MUHOPADHYAY; KIM; JENKINS; CHUANG e ROY, 2008).

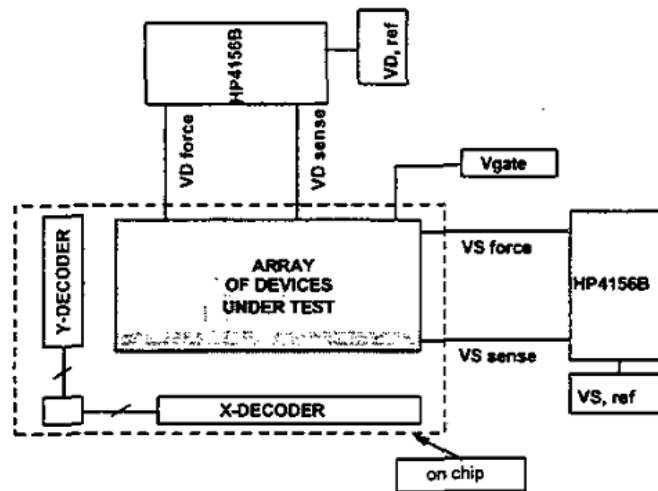


Figura 2.2: Diagrama de blocos e método de caracterização (YEO; BORDELON; CHU; LI; TRANCHNA; HARWARD; CHAN e SEE, 2002).

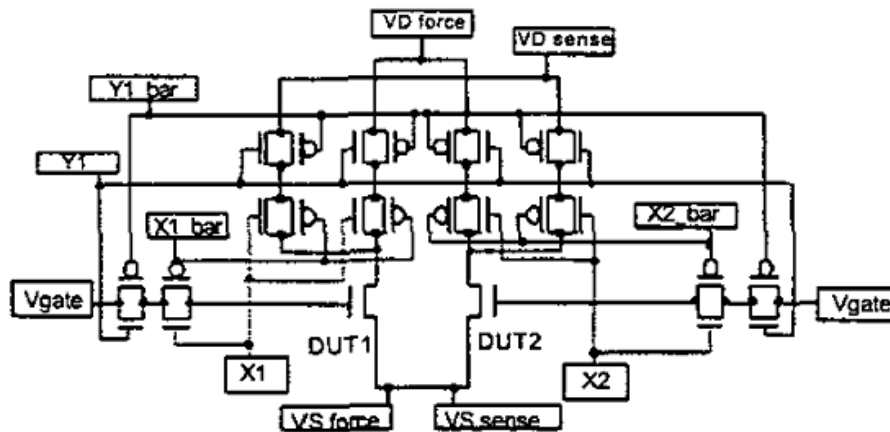


Figura 2.3: Célula de medida com os transistores de passagem (YEO; BORDELON; CHU; LI; TRANCHNA; HARWARD; CHAN e SEE, 2002).

Em (QUARANTELLI *et al.*, 2003), foram projetadas estruturas de testes para consumir uma área mínima com um grande número de amostras de diferentes tipos e tamanhos (“size”). Utilizaram uma matriz de transistores (“mismatch array structure”) para avaliação do descasamento, com registrador de deslocamento (“Shift Register”) para acesso das 32 linhas por meio de chaves de seleção conforme figura 2.4. Estas foram implementadas utilizando-se transistores de passagem com transistor “pull down/up” para selecionarem os dispositivos sob teste pela porta, como mostra a figura 2.5.

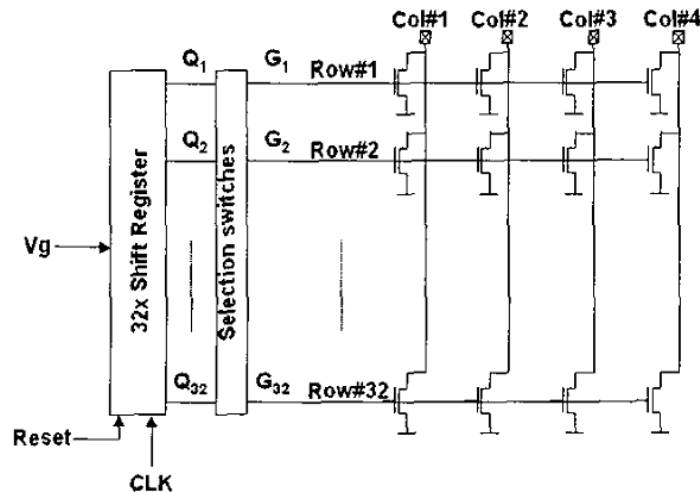


Figura 2.4: Circuito da matriz de transistores (“mismatch array structure”) para avaliação do descasamento (QUARANTELLI *et al.*, 2003).

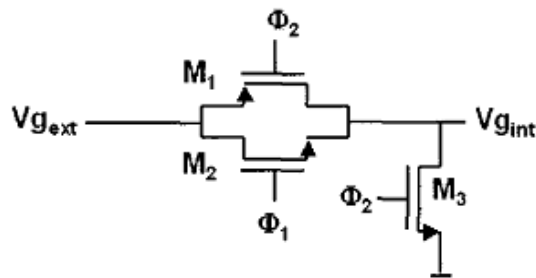


Figura 2.5: Circuito esquemático com os transistores de passagem com transistor “pull down/up” (QUARANTELLI *et al.*, 2003).

Observou-se que, dependendo da abordagem para a tarefa de avaliação de descasamento, o projetista precisa propor um circuito de teste diferente para a caracterização desta. Este foi o caso encontrado em (KLIMACH; SCHNEIDER e GALUP-MONTORO, 2006), em cujo trabalho foi aplicada a técnica denominada “differential pooling” (avaliação de descasamento por pares de transistores). Assim, foi realizada a caracterização de descasamento em transistores MOS utilizando chaves analógicas, registradores de deslocamento para seleção, como pode ser observado na figura 2.6, assim como uma matriz 3X3 com transistores sob teste. É possível verificar na mesma figura as conexões em comum para a fonte (“source”), a qual fornece suporte para acesso de ponteiros *force-sense* da técnica de medida *Kelvin*. O objetivo deste

trabalho foi a obtenção de um suporte experimental para um modelo de descasamento de MOSFETS.

Nas estratégias de medidas, figura 2.7, ilustra e explica didaticamente as diferenças entre o método tradicional e o método *Kelvin* (com *force-sense*) para tirar a influência dos equipamentos de maneira que não existam quedas de tensão indesejadas no caminho por onde passam o estímulo e o canal de medida.

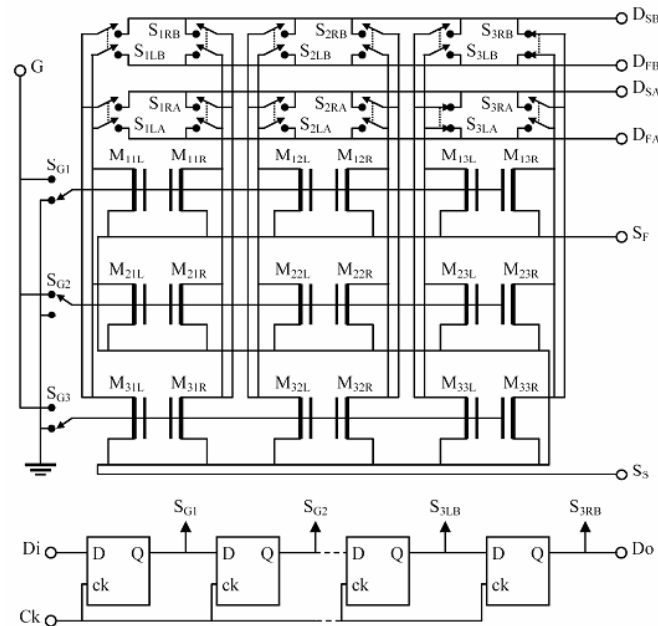


Figura 2.6: Diagrama do circuito da matriz de transistores com as chaves de seleção de dreno (“drain”) e porta (“gate”) e um registrador de deslocamento serial (KLIMACH; SCHNEIDER e GALUP-MONTORO, 2006).

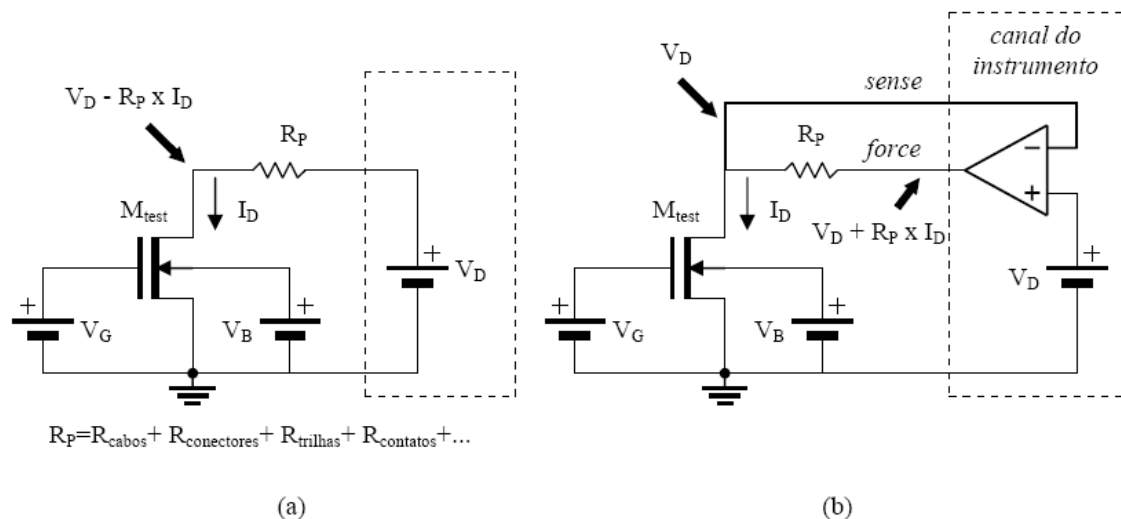


Figura 2.7: Estratégia de estímulo em tensão nas medições dos dispositivos: (a) tradicional e (b) *force-sense*, em que há um laço de realimentação para balanceamento das quedas de tensão no caminho do estímulo (KLIMACH; SCHNEIDER e GALUP-MONTORO, 2006).

Já no trabalho de (AGARWAL *et al.*, 2008), foram apresentadas técnicas para caracterização rápida do descasamento randômico na tensão de limiar em dispositivos MOS. A caracterização foi obtida por medidas de $I_{DS} \times V_{GS}$ e $I_{DS} \times V_{DS}$ tanto para dispositivos de teste fabricados em processo 65nm MOS e processo 65nm SOI. Neste trabalho, foi implementado um circuito para medir as variações de tensão de limiar de maneira dedicada, ou seja, só para os dois tipos de medida citados a cima, como mostra a figura 2.8. Apresenta um esquema com um grande conjunto de dispositivos arranjados em forma de matriz por endereçamento individual, utilizando a técnica de medida *Kelvin*, como mostra a figura 2.9.

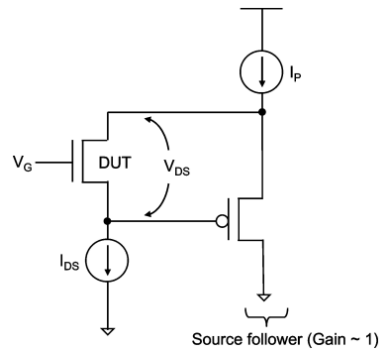


Figura 2.8: Configuração do circuito para medições da tensão de limiar. O transistor seguidor de tensão de ganho único mantém fixa a tensão entre dreno (“drain”) e fonte (“source”) por meio do dispositivo sob teste (AGARWAL *et al.*, 2008).

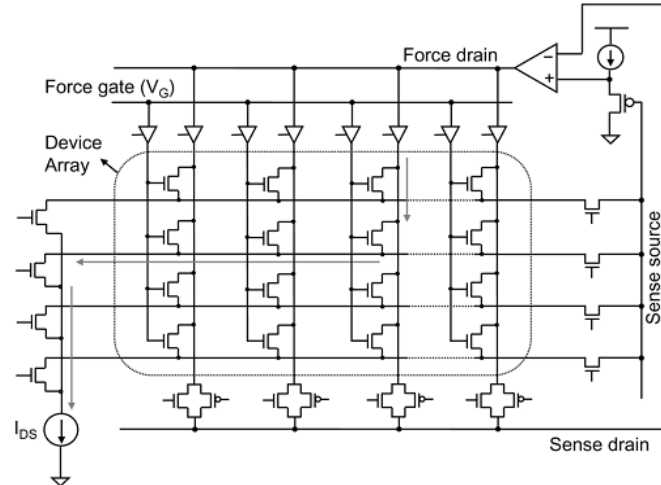


Figura 2.9: Esquemático do circuito de uma matriz de dispositivos para caracterização de flutuações na tensão de limiar. A tensão de limiar (V_{th}) é medida passando-se por meio de cada dispositivo da matriz e medindo-se a tensão na fonte correspondente (AGARWAL *et al.*, 2008).

No trabalho (JI; PEARSON; LAUER; STELLARI; FRANK; CHANG e KETCHEN, 2008) é proposto uma nova estrutura de teste composta por uma matriz de MOSFETS e um amplificador operacional em um laço de realimentação para a medição das variações da tensão de limiar local (figura 2.11). Este trabalho apresentou dois circuitos diferentes para n-Fet (nFET) e p-Fet (pFET), conforme figura 2.10.

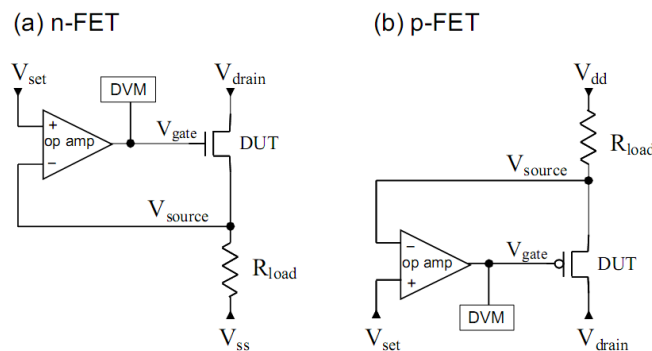


Figura 2.10: Esquemático do circuito para medição das variações da tensão de limiar em que o dispositivo sob teste é (a) n-Fet e (b) p-Fet (JI; PEARSON; LAUER; STELLARI; FRANK; CHANG e KETCHEN, 2008).

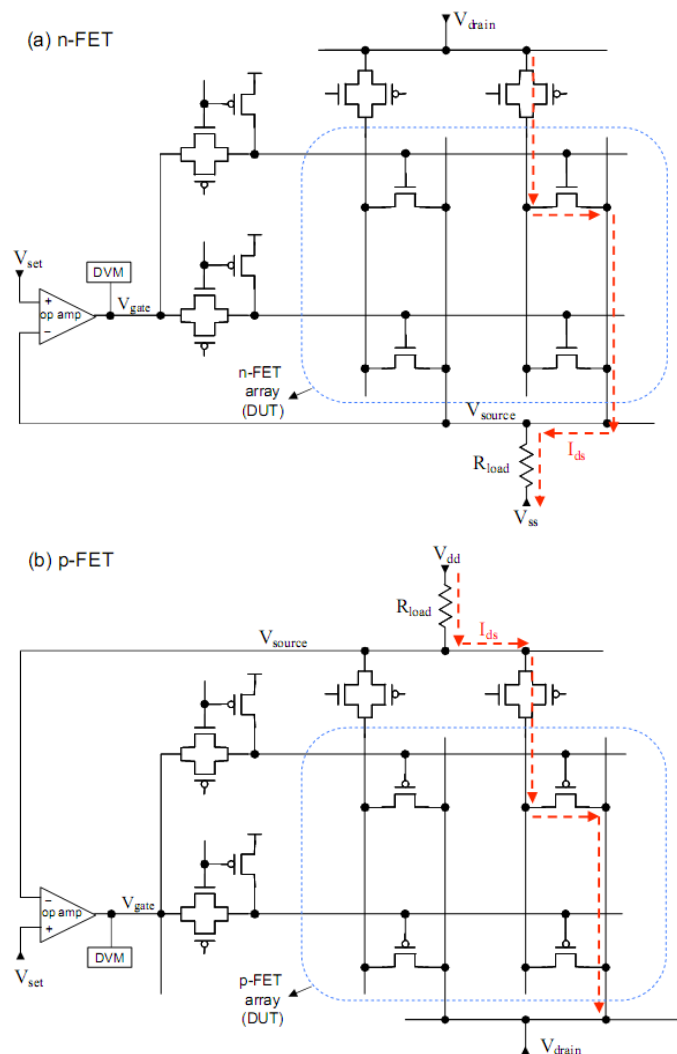


Figura 2.11: Esquemático do circuito da estrutura de teste baseada em um amplificador operacional para medições de variação da tensão de limiar local (com comportamento estocástico): (a) matriz de dispositivos n-Fet e (b) matriz de dispositivos p-Fet (JI; PEARSON; LAUER; STELLARI; FRANK; CHANG e KETCHEN, 2008).

Para o circuito de seleção, utiliza pulsos (“clock”) para gerar o endereçamento dos dispositivos a partir de um contador de endereços, o qual está conectado a dois decodificadores de linha e coluna com chaveamento para acessarem individualmente cada dispositivo da matriz, como é apresentado na figura 2.12.

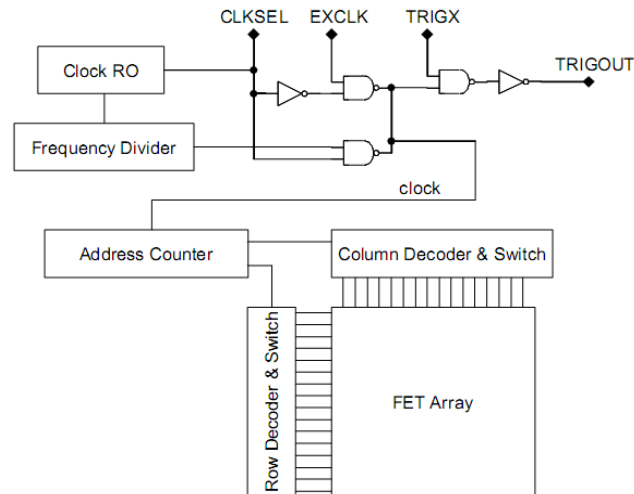


Figura 2.12: Diagrama de blocos mostrando o gerador de pulsos (com opção de pulsos externos ou internos), um contador de endereços, decodificadores e chaves de linha e coluna e uma matriz de dispositivos FET (JI; PEARSON; LAUER; STELLARI; FRANK; CHANG e KETCHEN, 2008).

Em (SHIMIZU *et al.*, 2002) aborda o estudo da variação estatística de processo (descasamento) na caracterização de dispositivos MOSFET, apresentando uma nova estrutura de teste que consiste em uma matriz de dispositivos e decodificadores periféricos. Neste trabalho também foi implementada a técnica *Kelvin* para cancelar as resistências parasitas dos fios de metal pelo qual passa o sinal (roteamento de metal), assim como pelos transistores de passagem, de maneira que qualquer dispositivo da matriz possa ser caracterizado pelas mesmas condições de polarização. Assim, apresenta uma matriz de dispositivos MOSFETS de 255x64, com um decodificador de colunas para acesso pelo dreno (“drain”) e um decodificador de linhas para acesso pela porta (“gate”), como pode ser visto na figura 2.13 e 2.14 a seguir. Dessa maneira, foram obtidos resultados de medidas elétricas mais precisas para derivar variações estatísticas da tensão de limiar e de transcondutância em dispositivos MOSFETS.

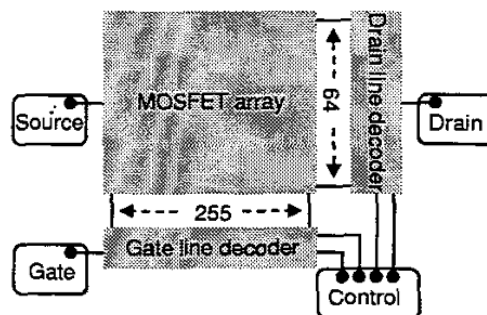


Figura 2.13: Diagrama de blocos do circuito de aquisição de dados estatísticos com a matriz de dispositivos MOSFET (“MOSFET array”) (SHIMIZU *et al.*, 2002).

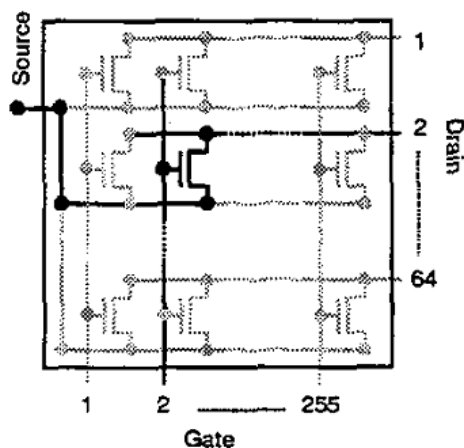


Figura 2.14: Esquemático da matriz de 255x64 dispositivos MOSFET. Qualquer um deles pode ser selecionado a partir de um par de linhas de dreno (“drain”) e porta (“gate”) (SHIMIZU *et al.*, 2002).

No trabalho de (LEFFERTS e JAKUBIEC, 2003), é apresentado uma estrutura de teste que utiliza uma matriz de dispositivos MOS, um registrador de deslocamento simples para o circuito de seleção (“shift register”), chaves de seleção e transistores de passagem em cada dispositivo, como vistos nas figuras 2.15 e 2.16. Assim, quando um deles é selecionado, o seu respectivo transistor de passagem leva o sinal da porta (“gate”) até a ponteira de prova (“pad probe”), e os dos dispositivos não selecionados levam a porta (“gate”) para o zero lógico (“ground”), desligando-os. Além da matriz, integrou um conjunto de capacitores e osciladores em anel que permitiu uma caracterização completa de todos os dispositivos, junções e capacitâncias de interconexão na tecnologia sob teste. Implementou o sistema de caracterização com a técnica de medida *Kelvin*, melhorando a precisão das medidas dos dispositivos. Um amplificador operacional foi utilizado e conectado na fonte (“source”), forçando a fonte de tensão do dispositivo selecionado para zero volts.

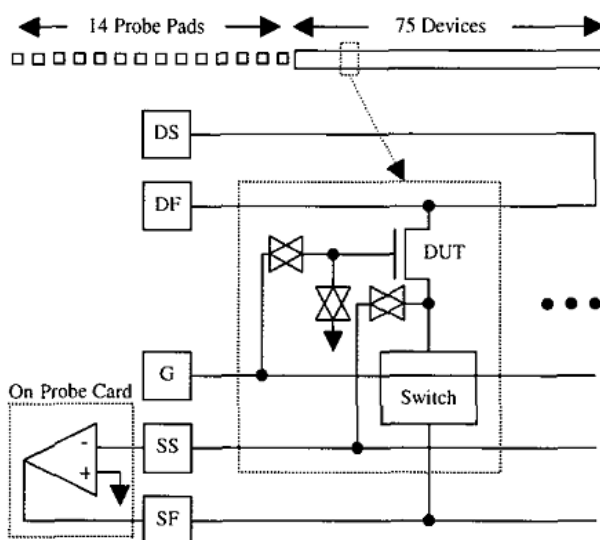


Figura 2.15: Esquemático da estrutura de teste (LEFFERTS e JAKUBIEC, 2003).

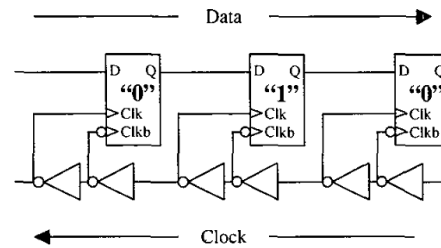


Figura 2.16: Esquemático da estrutura de seleção contendo registradores de deslocamento (LEFFERTS e JAKUBIEC, 2003).

Em (MEZZOMO; MARIN; LEYRIS e GHIBAUDO, 2009) foram apresentados resultados a partir de um estudo de descasamento. Desenvolveu uma estrutura de teste na qual utilizou pares de transistores MOSFET na tecnologia de processo 45nm (tecnologia a baixo de 100nm). Para isso, integrou na estrutura de teste a técnica de medida *Kelvin* para melhor estimar as flutuações elétricas locais nos dispositivos. Assim, avaliou o impacto das conexões de acesso externas na extração do descasamento de três parâmetros: tensão de limiar (V_{th}), fator de ganho (β) e corrente de dreno (I_D).

Por fim, em (TERADA; CHAGAWA; XIANG; TSUJI; TSUNOMURA e NISHIDA, 2009) é estudado um método para a medição precisa da corrente de dreno (I_D) de MOSFETs, os quais são integrados em uma matriz e polarizados por uma tensão alta na porta (“gate”). O laço de retorno da conexão da técnica *Kelvin* é feito por software a fim de obter uma medição estável e acurada. Assim, um circuito de teste foi proposto e projetado na tecnologia de processo 0.35 μ m para investigar a técnica de medição *Kelvin*, comprovando a sua precisão e aplicação para a avaliação da acuracidade de medidas *Kelvin* convencionais usando o laço de realimentação em hardware. As medições foram realizadas com e sem a funcionalidade de medição *Kelvin* do equipamento Agilent 4156A. Foi descoberto que a resistência de canal aumenta monotonicamente com o comprimento das trilhas de metal, mesmo quando a técnica *Kelvin* é empregada. A figura 2.17 apresenta a estrutura da célula (circuito de polarização) do circuito de teste.

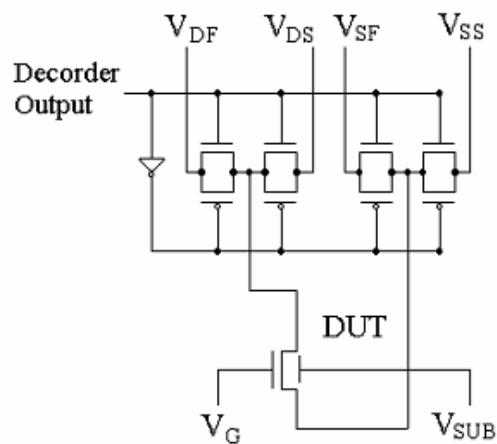


Figura 2.17: Estrutura da célula (circuito de polarização) do circuito de teste com medições feitas nas seguintes condições: tensão de porta (V_G) = 2.0V; tensão de dreno (V_D) = 0.1V e tensão de substrato (V_{Sub}) = 0V (TERADA; CHAGAWA; XIANG; TSUJI; TSUNOMURA e NISHIDA, 2009).

O circuito da figura 2.17 apresenta ainda um dispositivo sob teste (“Device Under Test” - DUT) e quatro chaves do tipo CMOS TG (“transmission gate”); sendo duas para os contatos *force-sense* da tensão de dreno (V_{DF} e V_{DS}), assim como outras duas para os contatos *force-sense* da tensão de fonte (V_{SF} e V_{SS}). Isso permite a seleção e isolamento do dispositivo que está sendo medido, em relação aos milhares de outros dispositivos que não foram selecionados.

Além disso, no mesmo trabalho foi apresentado um novo circuito de teste utilizando tecnologia 65nm. A figura 2.18 ilustra a configuração da célula que contém a topologia deste circuito.

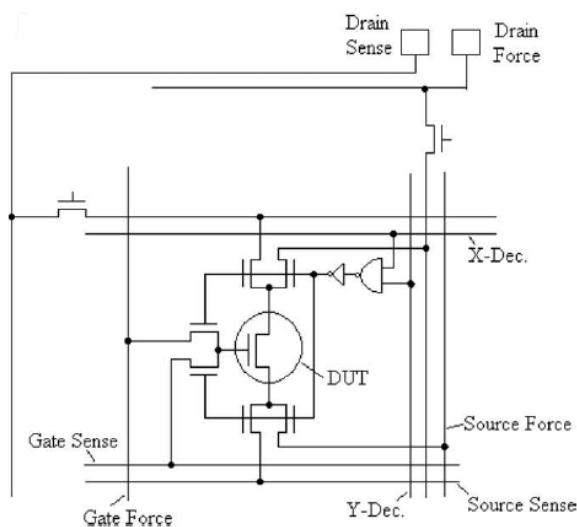


Figura 2.18: Estrutura da célula (circuito de polarização) da nova topologia do circuito de teste proposto no trabalho citado. Os terminais de porta e fonte são similarmente conectados em pinos de prova assim como foi feito para os terminais de dreno em “Drain Sense” e “Drain Force” (TERADA; CHAGAWA; XIANG; TSUJI; TSUNOMURA e NISHIDA, 2009).

Para obterem os resultados desejados, implementaram e avaliaram 16 mil células. Todos os MOSFETs do circuito com exceção dos DUTs foram projetados com 600nm de comprimento de canal e tecnologia de alimentação de 3 volts para fazer o chaveamento de maneira confiável. Os terminais da porta, da fonte e do dreno de um DUT foram conectados em pinos de prova (“probing PADS”) comum por meio de transistores de passagem simples (“transfer gate”). Estes servem para selecionar e acessar um barramento de linha/coluna e o outro para selecionar e acessar uma célula no barramento de linha/coluna. Dois pinos de prova e trilhas de roteamento são providas para um terminal do DUT, os quais são utilizados para os terminais *force-sense* do método de medida *Kelvin* de uma SMU (“source/monitor unit”). Todas as resistências dos transistores de passagem e trilhas foram estimados e considerados no projeto por meio de dimensionamento adequado para que a corrente que passa por meio dos terminais de *force-sense* não seja afetada de maneira indesejada. Os DUTs foram projetados com comprimento de canal de 65nm e tecnologia de alimentação de 1.2 volts, com resistência de canal estimada em mais de 5 mil ohms, quando a razão da largura pelo comprimento do canal for igual a 1 (μm).

Adicionalmente, o circuito de teste inteiro do trabalho citado anteriormente consiste de 16 matrizes, sendo cada uma formada por mil células. Uma matriz de mil células consiste de 32 grupos de 32 MOSFETs com mesmo comprimento e largura de canal, sendo projetados aos pares e posicionados o mais próximo possível um do outro. Ou seja, um grupo consiste de 16 pares de MOSFETs, e 32 grupos correspondem a 32 combinações de valores para comprimento e largura de canal dos MOSFETs. Estas matrizes são ambas para transistores do tipo P e do tipo N e foram assimetricamente posicionados em um chip de teste a fim de investigarem a dependência da variação na direção. O mesmo chip de teste está sendo utilizado com sucesso para o estudo de variações da tensão de limiar dos dispositivos por meio da avaliação da variação da corrente de dreno nos MOSFETs.

2.3 Estudo Comparativo de Diferentes Tipos de Decodificadores de Endereços de N bits

Com a finalidade de apoiar a decisão de uma opção que melhor se enquadre no projeto do chip teste, foi realizado um estudo comparativo sobre alguns tipos de decodificadores de endereços de N bits (mesmo tamanho). Isso se faz necessário, já que teremos que controlar a seleção e o acesso às várias estruturas que serão avaliadas. Esse estudo fornecerá suporte para a proposta e especificação do projeto.

Sabe-se que, baseado nos trabalhos citados anteriormente, neste tipo de avaliação para o estudo de variação estatística de processo e descasamento, são utilizadas matrizes, cujas células que abrigam os dispositivos sob teste devem ser acessados individualmente, assim como outros circuitos que serão avaliados.

Assim, torna-se necessário o uso de alguma forma de multiplexação dos pinos (“PADs”) de estímulo e medida para o acesso às células ou aos circuitos, pois estes pinos são (geralmente) em número muito pequeno e limitado (64 no nosso caso) se comparado aos milhares de endereços de células e circuitos que serão avaliados.

Avaliando-se os circuitos citados no estudo bibliográfico apresentado anteriormente, verifica-se que a implementação de decodificadores de endereços é uma boa opção em relação a outros tipos de circuitos de controle de seleção e acesso. Este tipo de circuito é considerado fundamental para sistemas que utilizam barramentos de acesso. Eles estão representados em todas as famílias de circuitos integrados e processos, assim como em todas as bibliotecas padrão de FPGAs (*Field Programmable Gate Array*) e ASICs (*Application-Specific Integrated Circuits*). Por exemplo, para arquivo de registros de microprocessadores e endereçamento de memórias, decodificadores eficientes são importantes, onde a velocidade é crítica. Entretanto, no caso de memórias, estruturas de decodificação tendem a ter um esforço total (“logical effort”) grande, devido ao “fan-out” dos bits de endereçamento para todos os decodificadores ser grande, assim como o “fan-out” de saída do decodificador para os transistores da palavra de memória ser geralmente grande também (SUTHERLAND, SPROULL e HARRIS, 1999).

No projeto do chip teste, uma das principais preocupações está relacionada com a saída do decodificador à seleção de um único componente (célula contendo MOSFETs) em uma matriz de 64X64 endereços.

As considerações que afetam o projeto do decodificador são várias, tais como a velocidade, o consumo de energia e a área de leiaute disponível. Assim, minimizar a

área do leiaute pode ser importante. Nesse projeto, a área do leiaute é a principal preocupação, pois a área disponível para todo o projeto é limitada e é indesejado que falte para algum circuito. Além disso, considerações sobre o leiaute são importantes quando projetistas querem que um decodificador se encaixe no mesmo “pitch” de leiaute de algum projeto o qual este deverá endereçar como, por exemplo, células de memória ou matrizes de células de MOSFETs (o qual é o caso deste projeto). Globalmente, o tamanho do decodificador e o consumo de energia são importantes (SUTHERLAND, SPROULL e HARRIS, 1999); um projeto que minimiza esforço lógico (“logical effort”) pode exigir demasiado consumo de energia ou muitos transistores na prática. No caso deste projeto, não se estará preocupado com o consumo de energia. Enfim, para reduzir o esforço lógico, várias estruturas de decodificação são projetadas utilizando pré-carga (“pre-charging”). Assim, foram analisados e comparados alguns tipos de decodificadores, considerando-se o número de transistores. Os que utilizam o menor número de transistores consumirão menor área, o que leva a escolha do tipo de decodificador por este critério de maneira a se atingir a menor área requerida. Como já mencionado, a área é a principal restrição para o projeto. Entretanto, existem outros critérios para a escolha, já que também deve-se considerar qual dos tipos de decodificadores terão o projeto de leiaute mais conveniente (alguns tipos de decodificadores podem ter uma área de leiaute irregular ou um roteamento mais complexo, o que pode inviabilizar sua implementação, mesmo que tenha o menor número de transistores). Sabe-se que cada tipo de decodificador possui uma topologia particular de leiaute e isto pode levar a um complexo roteamento das trilhas e/ou difícil posicionamento das células, assim como pode levar a uma área de leiaute muito maior, mesmo considerando o transistor de tamanho mínimo da tecnologia alvo.

Como é objetivo da especificação do projeto, é necessário a implementação de um decodificador de endereços de 6 entradas e 64 saídas (Decodificador 6X64). A seguir, na Tabela 2.1, são apresentados diferentes tipos de decodificadores de mesmo tamanho encontrados na literatura a fim de serem analisados e comparados.

Tabela 2.1: Comparação de alguns tipos de Decodificadores de Endereços 6X64

<i>Decodificador 6X64</i>	<i>Número de transistores</i>
um estágio	780
transistores de passagem	264
com pré-carga	524
transistores de passagem com pré-carga	203
flip-flops	1024
dois estágios	524

Nesse sentido, uma pesquisa foi feita para escolher o tipo de decodificador que melhor se enquadra no projeto. Assim, a partir da Tabela 2.1, começando pelo Decodificador de Um Estágio. Este simples decodificador é uma coleção de portas lógicas NAND com 6 entradas. Considerando os inversores, o número de transistores estimado na tecnologia CMOS foi de 780. Esta estrutura é útil para até 5-6 entradas ou mais, se a velocidade do circuito não for crítica. Os transistores da porta lógica NAND

são geralmente feitos com tamanho mínimo para reduzir a carga nos armazenadores das linhas de endereçamento (“buffered address lines”). É possível também a implementação deste tipo de decodificador usando-se portas lógicas NOR (em (WESTE e HARRIS, 2005) é sugerido o uso da lógica pseudo-nMOS) com inversores (“buffers”) nas entradas. Os respectivos transistores desta porta podem ser feitos com tamanho mínimo e os inversores podem ser escalados apropriadamente para dirigir o sinal (“drive”) nas linhas de palavra (“wordline”) ou saída da porta (WESTE e HARRIS, 2005). Nas duas figuras abaixo (figura 2.19a e figura 2.19b) é possível observar este tipo de decodificador usando tanto portas lógicas NAND de 2 entradas (NAND2), quanto com NOR de 2 entradas (NOR2) (RABAEY *et al.*, 2003) (GOEL e AGARWAL, 2004) (WESTE e HARRIS, 2005). O leiaute deste tipo é grande, considerando-se o número de transistores.

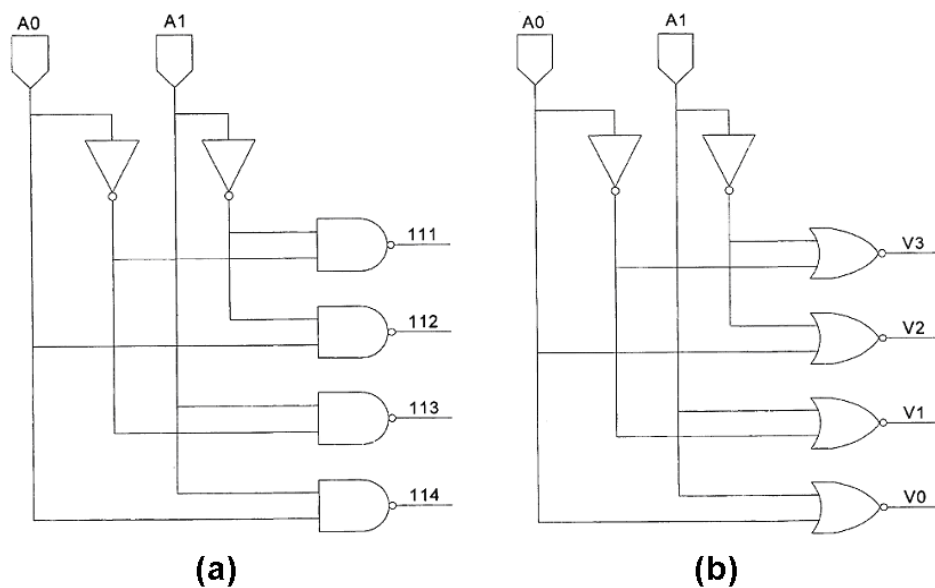


Figura 2.19: Decodificador 2X4 convencional de um estágio: (a) com NAND2 e (b) com NOR2 (GOEL e AGARWAL, 2004).

O segundo tipo de decodificador da Tabela 2.1 é o decodificador que utiliza transistores de passagem (“transmission gates”) em um estilo de topologia baseado em árvore (RABAEY *et al.*, 2003), como exemplificado na figura 2.20.

A vantagem deste tipo é o número de transistores que é drasticamente reduzido para 264. Apesar disso, esse estilo baseado em árvore possui como característica intrínseca a alta impedância de saída e o leiaute pode ser irregular, tendendo a ser pior quanto maior forem as entradas do mesmo. Outra desvantagem deste tipo de decodificador é que o atraso dele aumenta quadraticamente com o número de níveis, ou seja, a medida que aumentam as entradas do decodificador (sendo, portanto, proibitivo para decodificadores grandes) (RABAEY *et al.*, 2003).

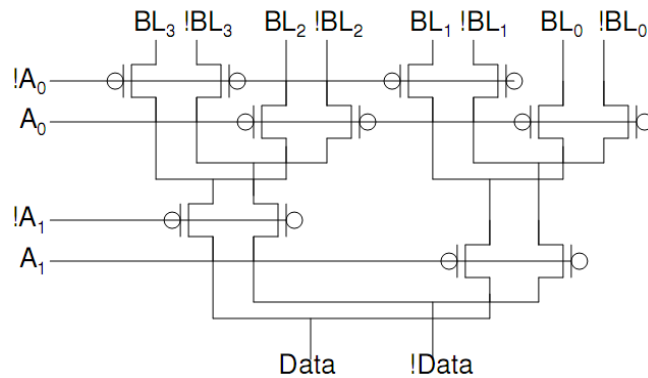


Figura 2.20: Exemplo de um Decodificador 2X4 baseado em árvore, formado por transistores de passagem (RABAEY *et al.*, 2003).

Uma opção seria utilizar lógica com pré-carga (“pre-charge”) (RABAEY *et al.*, 2003), o que torna o decodificador mais eficiente em consumo. Aplicado no primeiro tipo de decodificador da Tabela 2.1, pode-se reduzir um pouco o número de transistores, pois elimina um relativo número de transistores do circuito “pull-up” das portas lógicas. Dessa forma, o número de transistores estimados seria 524, mas o leiaute poderá não ser tão simples de implementar e validar, já que um circuito de sincronismo seria exigido para assegurar que todas as entradas fiquem em “zero lógico”, sem falar que problemas de capacitância possivelmente seriam introduzidos se a capacitância da porta (“gate”) se sobressair diante da capacitância da difusão. Esta opção é exemplificada na figura 2.21.

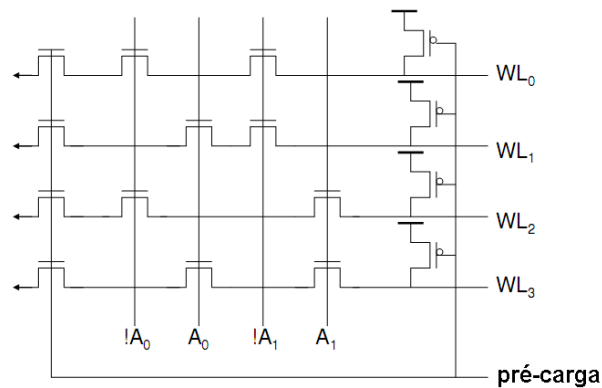


Figura 2.21: Exemplo de um Decodificador 2X4 NAND em linha, usando pré-carga (lógica dinâmica) (RABAEY *et al.*, 2003).

Considerando-se o problema da alta impedância de saída do tipo de decodificador que utiliza o estilo de topologia baseado em árvore (com transistores de passagem), existe uma outra opção. Alternativamente, poderia ser implementado um decodificador que mistura a topologia baseada em árvore (um circuito “pull-down” com transistores nMOS baseado em árvore binária), aplicando-se a idéia da pré-carga (REMEDI, 1979). Novamente, o número de transistores seria reduzido para 203, porém continuariam os problemas citados no parágrafo anterior: com leiaute possivelmente complexo em vários aspectos e introdução de capacitâncias indesejadas. Um exemplo de um decodificador que utiliza essa idéia está ilustrado na figura 2.22.

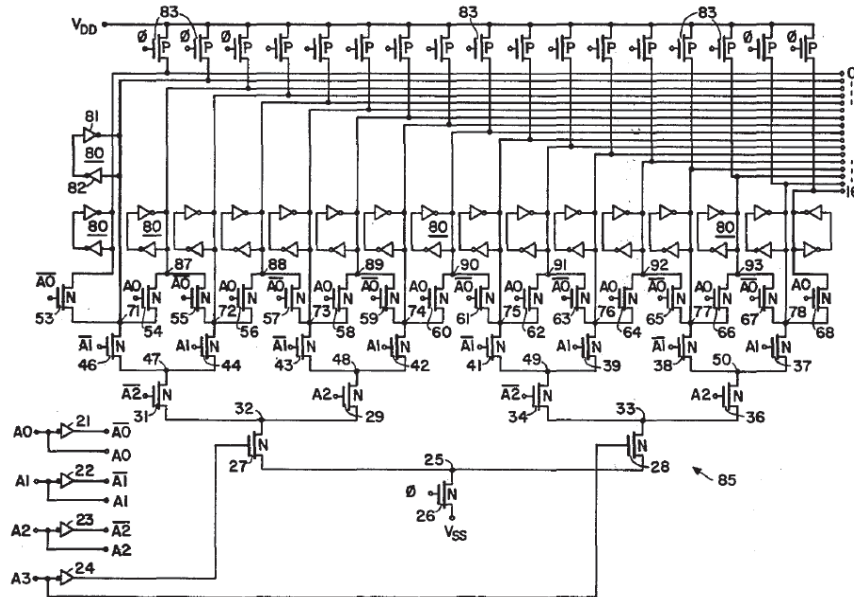


Figura 2.22: Exemplo de um Decodificador 4X16 baseado em árvore com pré-carga (lógica dinâmica) (REMEDI, 1979).

Ainda na Tabela 2.1, outra possível solução é a utilização de Flip-Flops em circuitos como registradores de deslocamento para a seleção de linhas ou colunas (KLIMACH, 2007). Assim, com o uso de registradores de deslocamento, essa seleção seria possível pelo “bit” armazenado nos Flip-Flops encadeados, como mostrado na figura 2.16. Com o sinal lógico alto (“um” lógico) seria selecionada uma determinada linha ou coluna e, com o sinal lógico baixo (“zero” lógico), não seria feita seleção, mantendo-se uma determinada linha ou coluna desativada. Assim, pelo envio de um vetor serial para o registrador de deslocamento, seria possível selecionar qualquer dispositivo contido em uma célula de uma matriz. Esta seria uma boa solução. Seria possível realizar diversas combinações para a medição de elementos em paralelo, por exemplo, e a outra vantagem é que seriam utilizados três pinos de controle (uma para a entrada do vetor serial, outro para os pulsos de sincronismo (“clock”) e outro para re-ler por segurança o vetor serial enviado). Entretanto, a área de leiaute não seria reduzida, já que foram estimados 1024 transistores pra este caso. Além disso, esta solução requer uma grande precisão entre o tempo do sinal dos pulsos de sincronismo (“clock”) e o vetor de entrada serial. No caso da subida (“rise”) e/ou a descida (“descida”) ser muito lenta, o registrador de deslocamento pode ter uma condição de corrida assíncrona e o endereçamento se tornaria errado.

Então, considerando-se o fato de que se quer a menor área possível com segurança de endereçamento de um determinado componente, o quinto decodificador da Tabela 2.1 foi o tipo de decodificador escolhido. Este tipo é denominado Decodificador de Dois Estágios (WESTE e HARRIS, 2005), o número de transistores estimado foi de 524 e os motivos para essa escolha serão comentados a seguir, o que irá justificar a mesma. Também será explicada de modo geral a idéia que embasa esta concepção e como este será desenvolvido.

A escolha para o projeto é baseada na utilização da menor área e na exploração de um menor número de pinos do chip, levando ao uso de dois estágios sem pré-carga. Este tipo circuito apresenta uma área reduzida, uma implementação de leiaute acessível

(projeto é viável e supõe-se que não seria difícil de realizar), uma saída de endereçamento confiável e uma otimizada utilização de pinos (“PADs”) do chip de teste de um a dez. Comparado com outros circuitos, o número de transistores apresenta um resultado satisfatório e, conseqüentemente, um consumo de área de leiaute aceitável. Adicionalmente, é um circuito estático, um tipo de circuito que apresenta uma abordagem confiável e que com apenas 6 pinos é possível selecionar 64 linhas ou colunas. Embora este circuito não tenha o menor número de transistores, o leiaute pode ser implementado de maneira simples e padronizada, o que facilita globalmente o projeto, e os sinais lógicos são fortes (ao contrário do caso em que utiliza chaves CMOS TG (“transmission gate”), o qual os pinos não ativos ficam em alta impedância).

A principal idéia do Decodificador de Dois Estágios (WESTE e HARRIS, 2005) é que decodificadores com várias entradas podem ser formados a partir do cascadeamento de portas lógicas menores. Por exemplo, na figura 2.23 isso é ilustrado com um decodificador de 64 palavras (64 saídas ou 64 “word lines”) no qual a porta lógica AND de 6 entradas (AND6) é construída a partir de um par de portas lógicas NAND de 3 entradas (NAND3), seguida por um porta lógica NOR de 2 entradas (NOR2), o que representa a decomposição de uma porta complexa. A configuração alternativa com pares de NOR de 3 entradas (NOR3) seguida por uma NAND de 2 entradas (NAND2) também funciona. É possível observar que, a porta lógica NOR2 (figura 2.23) é representada por uma porta AND2, com as duas entradas negadas. Aplicando-se a propriedade conhecida como De Morgan, chega-se a uma equivalência lógica de uma porta NOR2 (UYEMURA, 1999) (WAGNER; RIBAS e REIS, 2006).

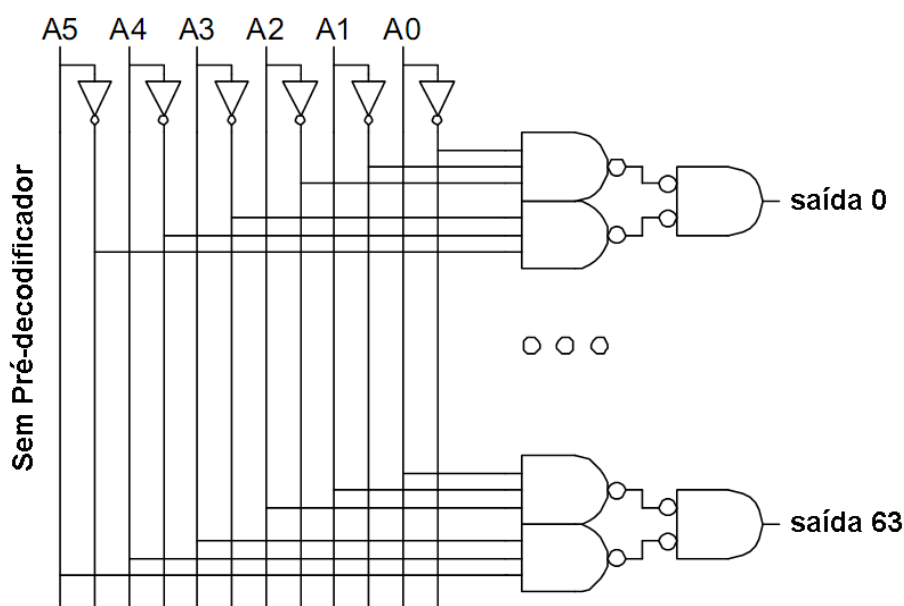


Figura 2.23: Exemplo de um Decodificador 6X64 sem pré-decodificação (WESTE e HARRIS, 2005).

Várias portas NAND compartilham exatamente as mesmas entradas e são, por isso, redundantes. Isso leva a possibilidade de melhorar a área, extraíndo essas portas NAND em comum por fatoração lógica. Isso é ilustrado na figura 2.24. Está técnica é conhecido como pré-decodificação (“predecoding”) e o re-arranjo das portas lógicas ou só essa parte do circuito do decodificador, pré-decodificador (“predecoder”). Isto não

altera o esforço lógico do caminho do decodificador, mas melhora bastante o consumo em área. Em suma, blocos de p bits de endereço podem ser pré-decodificados de 1 até 2^p linhas pré-decodificadas com sinal forte (“1-of- 2^p -hot predecoded lines”) que servem para as entradas do estágio final ou segundo estágio do decodificador (WESTE e HARRIS, 2005). Seguindo o exemplo da figura 2.24, é mostrado uma topologia de circuito em que $p = 3$ bits (cada 3 entradas usadas no projeto do decodificador) servem para decodificar (pré-decodificar) cada tripla de bits de endereçamento em dois grupos de 1 até 8 linhas pré-decodificadas com sinal forte (“1-of-8-hot predecoded lines”).

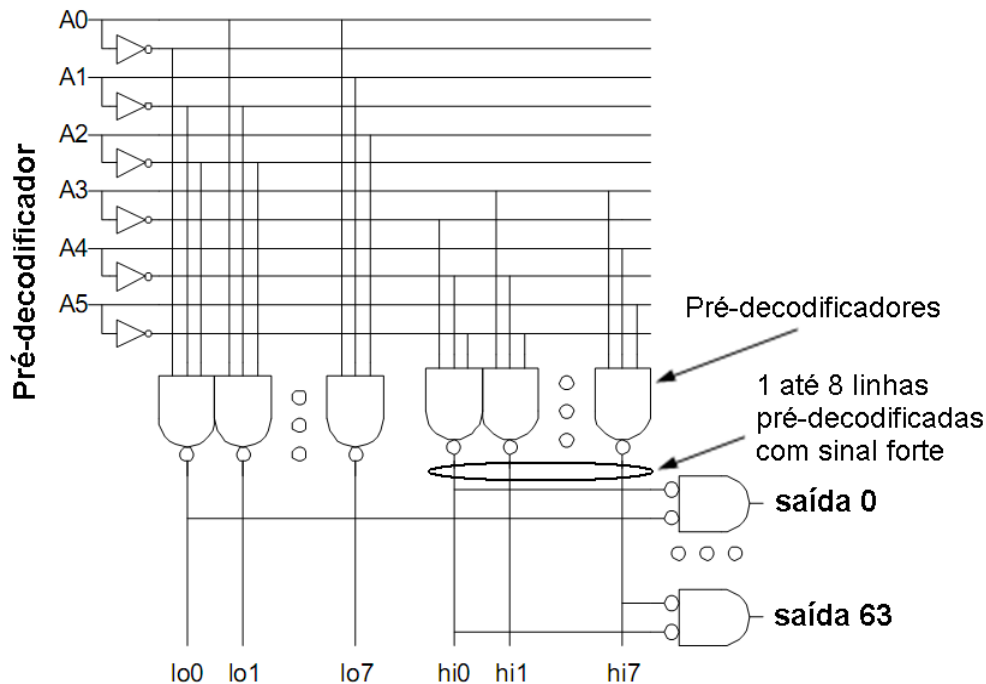


Figura 2.24: Exemplo de um Decodificador 6X64 com pré-decodificação (WESTE e HARRIS, 2005).

De maneira equivalente, seguindo essa idéia, também é possível a implementação com blocos lógicos menores, utilizando decodificadores com número menor de entradas ou de diferentes tamanhos, seguidos por portas lógicas menores ou com número menor de entradas. Ou seja, inicia-se com um ou mais decodificadores simples ou de um estágio (sendo esse o primeiro estágio), como o da figura 2.19a ou 2.19b, e as saídas destes recombinadas em um segundo estágio com portas lógicas menores ou com pequeno número de entradas. Essa implementação alternativa, seguindo a idéia do tipo de decodificador de dois estágios, é encontrada nas patentes (NAKAMURA, 1998) e (GOEL e AGARWAL, 2004). Em (GOEL e AGARWAL, 2004), são usados dois decodificadores 2X4 com portas NAND (pré-decodificador), como o da figura 2.19a, seguido por 16 portas lógicas NOR de duas entradas, resultando em um decodificador 4X16. Essa topologia alternativa está ilustrada 2.25a. Em (NAKAMURA, 1998), como temos 5 bits de entrada (número ímpar), são usados um decodificador 3X8 e um decodificador 2X4 com portas NAND (pré-decodificador), como o da figura 2.19a, seguido por 32 portas lógicas NOR de duas entradas, resultando em um decodificador 5X32. Essa topologia alternativa está ilustrada na figura 2.25b.

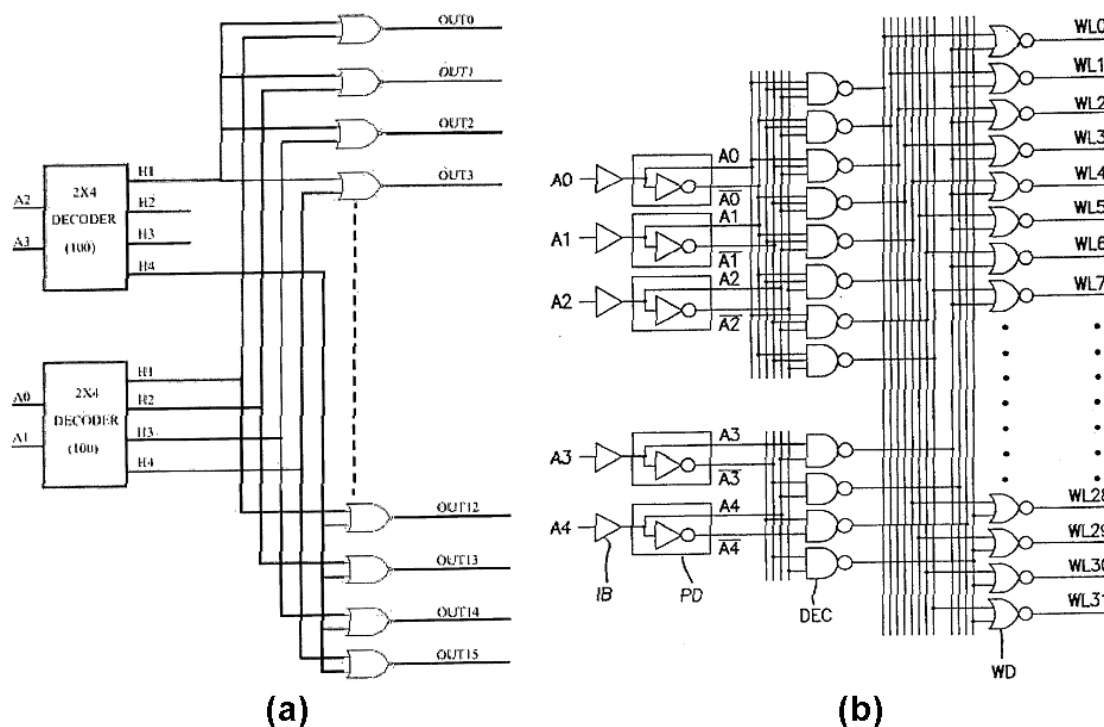


Figura 2.25: Exemplo de Decodificadores de Dois Estágios com decodificadores menores na pré-decodificação: (a) Decodificador 4X16 (GOEL e AGARWAL, 2004) e (b) Decodificador 5X32 (NAKAMURA, 1998).

Conseqüentemente, para o nosso projeto, baseando-se nos conceitos da idéia do decodificador do tipo dois estágios (com pré-decodificador), será utilizada uma topologia parecida com a da figura 2.24, para desenvolver e implementar um Decodificador 6X64; porém, com várias modificações.

A partir disso, para o projeto, será utilizado a idéia do decodificador do tipo dois estágios (com pré-decodificador) para o desenvolvimento e implementação do Decodificador 6X64. Assim, a partir das sugestões técnicas do Eng. Msc. Eduardo Conrad Junior, percebeu-se que o Decodificador 6X64 poderia ser formado com um Decodificador 4X16 (pré-decodificador), consistindo de 16 portas lógicas NOR4, e 16 Decodificadores 2X4, usando-se portas lógicas NAND3. Ou seja, no primeiro estágio serão usadas 16 portas lógicas NOR de 4 entradas (combinando 4 dos 6 bits de entrada), gerando 16 grupos de sinais de saída forte, que serão recombinados no segundo estágio com 16 blocos (decodificadores 2X4) contendo cada um 4 portas NAND de 3 entradas (combinando os 2 bits restantes da palavra de 6 bits com os sinais dos 16 grupos). Dessa forma, o número de transistores estimado é de 524 (considerando-se também os inversores), o que resulta em uma área de leiaute pequena e regular, se comparado com os outros tipos da Tabela 2.1. A explicação para ser considerado regular está no fato de que o circuito será composto por uma topologia NOR-NAND. O desenvolvimento desse leiaute será conveniente e, possivelmente compacto, se projetado com uma abordagem do tipo biblioteca de células-padrão (“standard-cell”). Os detalhes da implementação, bem como do leiaute, serão apresentados no capítulo destinado para isso.

2.4 Estudo sobre o Conversor de Nível de Tensão: *Cascode Voltage Switch Logic (DCVSL)* ou “Level Shifter”

A família de circuitos que utiliza lógica diferencial pode ser bem representada pelo circuito conhecido como “Cascode Voltage Switch Logic” (CVSL) ou também conhecido na literatura por *Differential Cascode Voltage Switch Logic* (DCVSL). Esse circuito é a base para vários circuitos com lógica diferencial como é o caso da lógica “Dual-Rail” (UYEMURA, 1999) ou, no caso do projeto do chip, em que o CVSL “Buffer”/Inversor será utilizado como um conversor de nível de tensão (“Level Converter” ou “Level Shifter”). Este circuito se faz necessário no projeto do chip teste, pois serão utilizados transistores de entrada e saída de 2,5V no circuito de polarização e acesso que será desenvolvido com transistores de passagem (chaves CMOS TG). Assim, o sinal de saída do decodificador (tensão máxima de 1,2V) será convertido para 2,5V a fim de acionar ou não as chaves CMOS TG.

O CVSL “Buffer”/Inversor será descrito e explicado mais adiante no item 2.4.2. Embora seja um circuito robusto, sabe-se que o CVSL é um circuito lento (WESTE e HARRIS, 2005). Isso será melhor explicado no item 2.4.3.

A principal estrutura de um CVSL está mostrada na figura 2.26. Ele consiste de duas partes principais: o “latch” com par de transistores pFET (pMOS) e a rede lógica de transistores nFET (nMOS) com chaveamento complementar ou rede de chaves complementares. Os transistores pFETs (ou pMOS) Mp1 e Mp2 formam um par cruzado compreendendo um “latch” simples (a extremidade do dreno que no caso também é uma das saídas do CVSL está conectada na porta do outro transistor pMOS do par e vice-versa). Esse “latch” simples gera as saídas complementares f e \bar{f} ; o que permite a manutenção do resultado. O “latch” é dirigido por uma rede de transistores nFET que pode ser visto como dois blocos de chaves complementares. Quando um bloco atua como um circuito fechado (do topo para a base), o outro está aberto. O fechamento de um bloco de chaves leva a respectiva saída para o terra (“ground”), forçando o valor desta no nível lógico “0”, enquanto a saída complementar é definida com valor lógico “1” pela funcionalidade do “latch”.

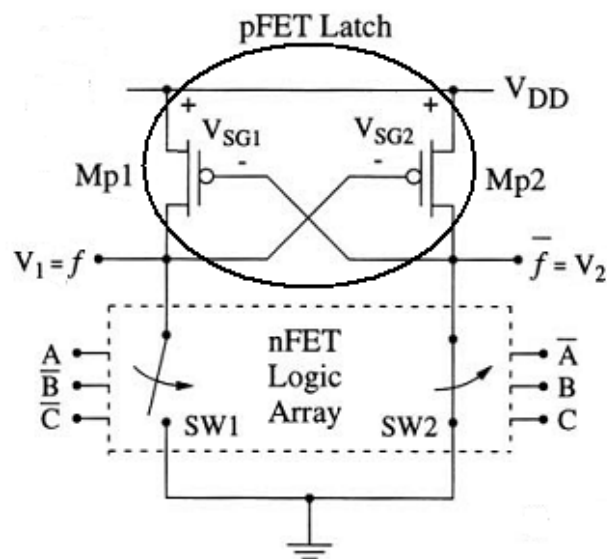


Figura 2.26: Estrutura básica da célula lógica CVSL (UYEMURA, 1999).

2.4.1 O “Latch” composto de pFETs

De maneira mais detalhada, será examinada a operação do circuito “latch” composto de um par cruzado de pFETs com os transistores Mp1 e Mp2 (UYEMURA, 1999). Existem dois estados estáveis como mostrado na figura 2.27. A tensão entre fonte e porta (V_{SG}) nos dispositivos que controlam a condução é dada pelas seguintes equações: $V_{SG1} = V_{DD} - V_2$ e $V_{SG2} = V_{DD} - V_1$, onde $V_1 = f$ e $V_2 = \bar{f}$. O comportamento do “latch” é compreendido observando-se que V_1 e V_2 são tensões complementares neste circuito. Assim, enquanto uma está no nível lógico “1”, a outra está no nível lógico “0”. O funcionamento do “latch” é induzido pela rede de chaves nFET, o qual está dividida em dois blocos distintos denominados SW1 e SW2 na figura 2.26. Primeiramente, supondo-se que SW1 está aberta e SW2 está fechada, como na figura 2.27(a). Nesse caso, SW2 leva V_2 para o nível lógico “0”, ou seja $V_2 = 0V$, como mostrado, o que polariza Mp1 em situação de condução desde que $V_{SG1} = V_{DD}$. Com Mp1 conduzindo, V_1 “sobe” para V_{DD} , o qual leva Mp2 para estado de “cutoff” (aberto ou desligado), já que posteriormente $V_{SG2} = 0V$.

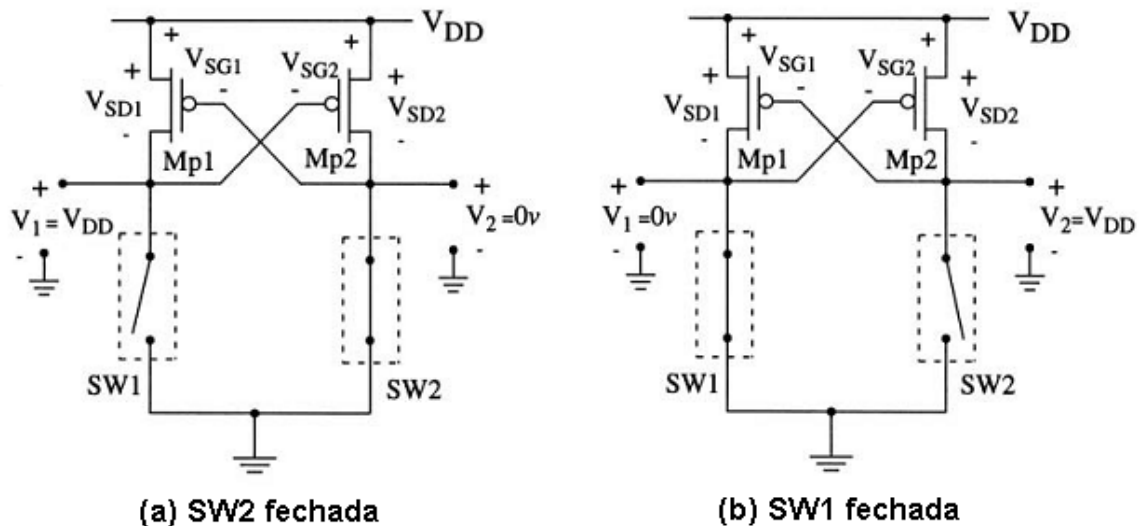


Figura 2.27: Estrutura básica da célula lógica CVSL (UYEMURA, 1999).

Esta situação representa um dos estados estáveis do “latch” (UYEMURA, 1999). O caso oposto (ou complementar), mostrado na figura 2.27(b) é quando SW1 está fechada e SW2 está aberta. Nesse caso, com SW1 aberta, V_1 é levado para o nível lógico “0”, ou seja $V_1 = 0V$, o que torna agora $V_{SG2} = V_{DD}$ e polariza Mp2 em situação de condução. Por sua vez, com Mp2 “ligado”, leva V_2 para V_{DD} , o que posteriormente leva Mp1 para estado de “cutoff” (aberto ou desligado). É possível observar que não há um caminho direto para o fluxo de corrente atual de V_{DD} para o terra (“ground”), em uma ou outra situação, de modo que só existem correntes de fuga.

2.4.2 CVSL “Buffer”/Inversor ou Conversor de Nível de Tensão (“Level Converter” ou “Level Shifter”)

Muitas das características básicas do CVSL pode ser estudada utilizando-se um simples circuito de “Buffer”/Inversor (UYEMURA, 1999), que no caso do projeto do chip será usado como conversor de nível, mostrado na figura 2.28.

Este circuito utiliza entradas complementares \bar{A} e A que são associadas com as tensões $V_{\bar{A}}$ e V_A respectivamente. De maneira ideal, as duas são relacionadas da seguinte forma: $V_{\bar{A}} + V_A = V_{DD}$. As saídas complementares são denotadas por \bar{f} e f e estão definidas como mostradas. Também estão associadas com as respectivas tensões $V_{\bar{f}}$ e V_f , onde a seguinte equação fornece a relação ideal entre as duas: $V_{\bar{f}} + V_f = V_{DD}$. Ao longo da análise, é importante lembrar que o chaveamento desse circuito é baseado na diferença dos sinais $(V_A - V_{\bar{A}})$ e $(V_f - V_{\bar{f}})$, e não nas tensões individuais. A partir do momento em que a lógica dos FETs Mn1 e Mn2 podem ser modeladas como chaves controladas por tensão, a operação é simples e direta.

Entretanto, o projeto do mesmo deve ser realizado com algumas precauções. Existem algumas implicações com relação aos sinais de saída e o dimensionamento dos transistores. Ao contrário do que ocorre no desenvolvimento de um inversor CMOS padrão, em que o transistor pMOS é normalmente dimensionado de maneira que a largura (W_p) tenha duas a duas vezes e meia o tamanho da largura (W_n) do transistor nMOS, nesse circuito ocorre o oposto. Isso porque pode ocorrer uma condição de “corrida” em que, em determinado momento, a saída não consegue ir para o nível lógico zero pela incapacidade do transistor nMOS conseguir “vencer” do pMOS do mesmo ramo. Esta explicação será apresentada no item seguinte.

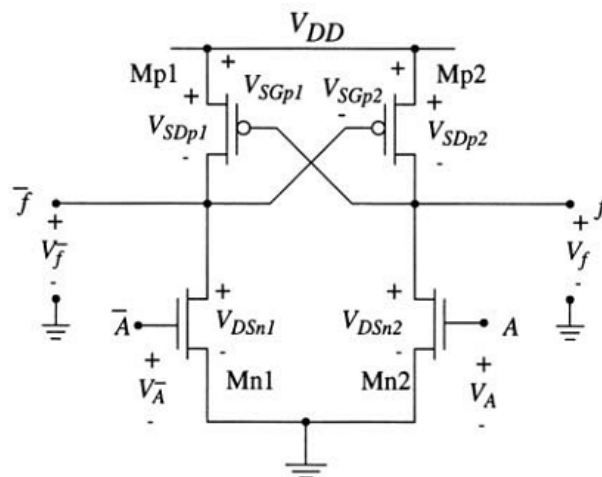


Figura 2.28: CVSL “Buffer”/Inversor (UYEMURA, 1999) também conhecido como conversor de nível “Level Shifter”.

2.4.3 Transientes de Chaveamento

Embora seja um circuito robusto, sabe-se que o CVSL é um circuito lento (WESTE e HARRIS, 2005). Isso se deve ao fato de que um lado do circuito leva a respectiva saída para o terra (“ground”), e então o par cruzado de transistores pMOS leva o outro

lado para V_{DD} . O dimensionamento (principalmente do parâmetro de largura “W”) dos transistores pMOS do par cruzado deve seguir um compromisso inerente entre um tamanho que não pode ser muito grande para não lutar excessivamente contra a rede lógica de transistores nFET com chaveamento complementar para levar a saída do nível lógico “1” para o nível lógico “0”; e um tamanho que não pode ser pequeno de maneira que será lento para levar a saída para o nível lógico “1”. A seguir, será explicado os principais fatores que determinam a velocidade de chaveamento desse circuito lógico.

A presença do laço de realimentação do circuito “latch” composto de pFETs faz a análise da rede não-linear bastante complicada; embora simplificações podem ser feitas, os resultados não são muito esclarecedores. Na prática, o desempenho será melhor analisado por meio de uma simulação de computador, que é a melhor abordagem. No entanto, é possível compreender as características gerais do problema de chaveamento usando uma visão simples (UYEMURA, 1999).

Considere o par de chaveamento do “Buffer”/Inversor mostrado na figura 2.29(a). As tensões de entrada $V_x(t)$ e $V_y(t)$ são levadas a serem tensões complementares ideais como na figura 2.29(b). Com as tensões mostradas, Mn1 está inicialmente em estado de “cutoff” (aberto ou desligado), enquanto que Mn2 estará ativo. As tensões são requeridas para inverter esta situação, com a tensão de limiar V_{Tn} sendo o valor crítico. Mn1 se encontrará no tempo t_1 de modo que $V_x(t_1) = V_{Tn}$.

Na proporção que $V_x(t)$ aumenta, Mn1 torna-se mais e mais condutor de maneira que tenta derrubar a tensão do nó do dreno V_1 para o terra (“ground”). No entanto, Mn2 está ativo até um tempo t_2 quando $V_y(t)$ cai para um valor de V_{Tn} . Depois, uma vez que Mn2 está desligado, o chaveamento pode prosseguir sem entraves.

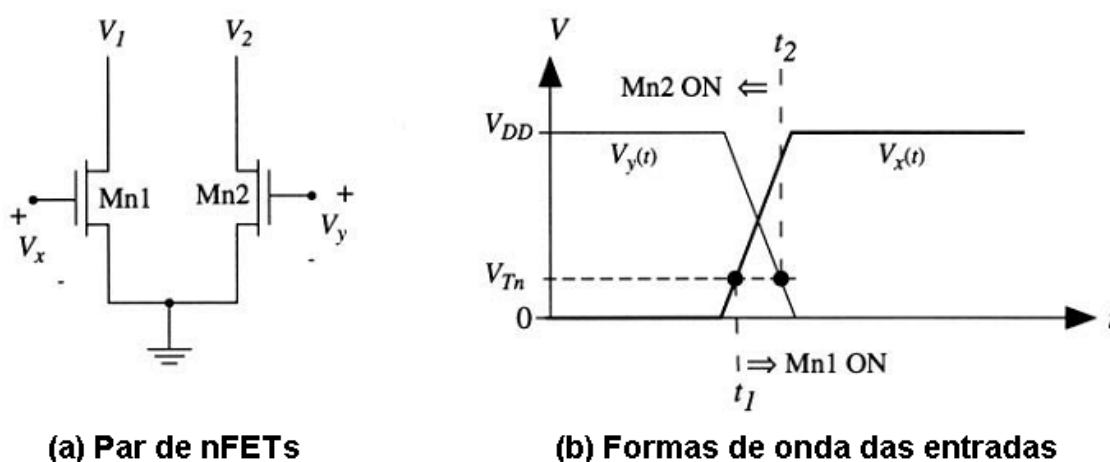


Figura 2.29: Chaveamento do par nFET (UYEMURA, 1999).

Esta explicação simplificada ignora o fato de que o “latch” de transistores pFET tem características de acionamento que contribuem para o chaveamento. Isto implica que Mn2 não precisa estar completamente desligado para mudar o estado que está sendo conservado pelo “latch”.

A tensão de acionamento em si é determinada pelas relações de proporção dos pFETs no “latch” quando dirigidas pela lógica dos transistores nFETs. Se ambos pFETs são escolhidos para ter a mesma relação de proporção $(W/L)_p$, então deveria-se esperar

que a tensão intrínseca de acionamento para o “latch” (sem o nFETs) fosse ser de $(V_{dd}/2)$. Esta define os valores críticos para V_1 e V_2 na rede “pull-down” (pares ou ramos de transistores nFET que levam a saída para o valor lógico zero).

Deve-se sempre testar o projeto da rede de transistores do par cruzado pFET (“latch”) utilizando simulações de computador que fornecem modelos de dispositivos precisos. Timing e a forma de sinais de entrada são muito importantes para produzir resultados válidos.

2.5 Comparativo entre Propostas Diferentes para o “Level Shifter”

Algumas abordagens diferentes foram encontradas para a estrutura do conversor de nível de tensão “Level Shifter”. Duas delas foram encontradas em patentes norte-americanas (CHEN *et al.*, 1990) e (LEE, 1992) em que o circuito conversor de nível de tensão foi desenvolvido com alguns transistores a mais e/ou inversores a mais, apesar de ser muito parecido com o CVSL “Buffer”/Inversor (que é o “Level Shifter” convencional). Por isso, não foram testados e simulados, já que a restrição do projeto é consumir a menor área possível.

As estruturas propostas na literatura acadêmica (KHAN *et al.*, 2006) (HASS *et al.*, 2000) partiram da abordagem do “Level Shifter” convencional (UYEMURA, 1999), que é a mesma da figura 2.28. Em (HASS *et al.*, 2000) ocorreu a mesma situação encontrada nas patentes (CHEN *et al.*, 1990) (LEE, 1992): número grande de transistores para fazer a conversão de nível de tensão e, por isso, não foram testadas.

Já em (KHAN *et al.*, 2006) a idéia foi partir da abordagem convencional, mostrada na figura 2.30, para uma estrutura em que, a partir de uma fonte de alimentação, fossem gerados múltiplas tensões de saída (a mesma estrutura para diferentes blocos que exigiam tensões de saída diferentes). Considerando-se $v_{dd} = 1,2V$ e $v_{ss} = 0V$.

No esquemático proposto neste artigo (KHAN *et al.*, 2006), apresentado mais adiante na figura 2.31, não foi utilizado um circuito inversor nas entradas do “Level Shifter”. Porém, foram utilizados 2 transistores de $W/L(m1) = 5/0.1$ e $W/L(m2) = 3/0.1$, além de um transistor usado como capacitor com dimensão $W/L(mc) = 3/1.6$; onde $v_{dda} = 2,5V$ e $v_{ssa} = 0V$. Com isso, seriam 7 transistores contra 6 (2 do inversor mais 4 do “Level Shifter”) da estrutura convencional.

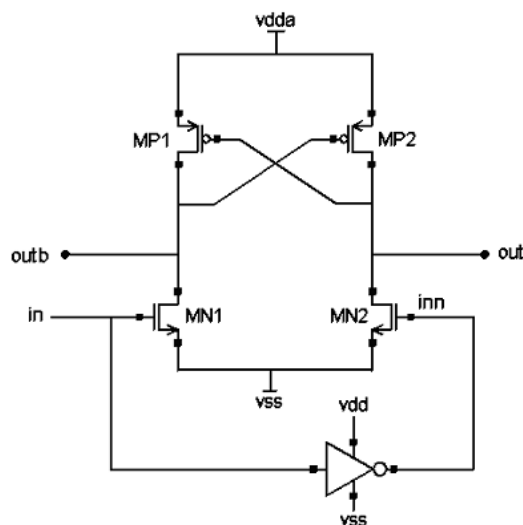


Figura 2.30: esquemático do “Level Shifter” convencional (KHAN *et al.*, 2006).

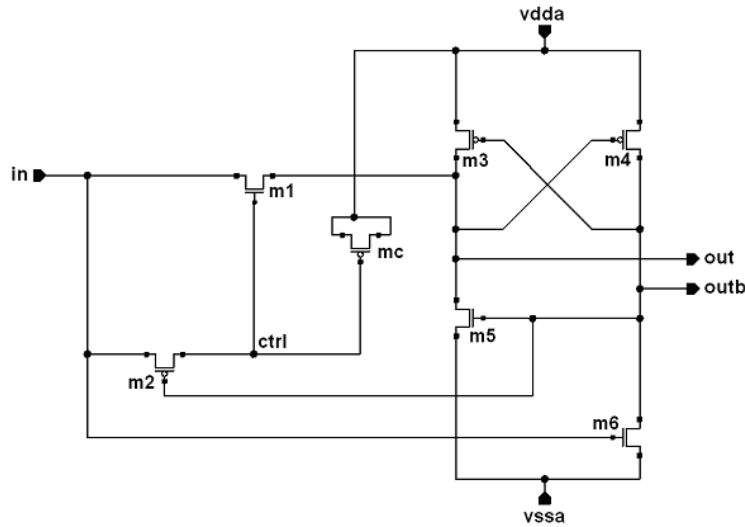


Figura 2.31: “Level Shifter” com fonte de alimentação única (KHAN *et al.*, 2006).

Essa alternativa pareceu interessante, sendo esquematizada (figura 2.32) e simulada (figura 2.33) apenas para auxiliar na decisão da melhor topologia. Nas simulações, verificou-se que os sinais de saída nas duas abordagens ficaram satisfatórios, sendo que na topologia de alimentação única (KHAN *et al.*, 2006), a tensão do nível lógico zero ficou um pouco melhor (entre 1nV e 1,3nV) em relação ao sinal de saída da topologia convencional (~15nV). Estes resultados podem ser melhor observados nas figuras 2.33 e 2.35. O esquemático e simulação da topologia do “Level Shifter” convencional estão apresentados nas figuras 2.34 e 2.35 respectivamente.

Como a diferença não é significativa para justificar o acréscimo em área dos transistores m1, m2 e mc (figuras 2.31 e 2.32), optou-se por utilizar a topologia convencional (UYEMURA, 1999) por questões de restrição de área do chip teste.

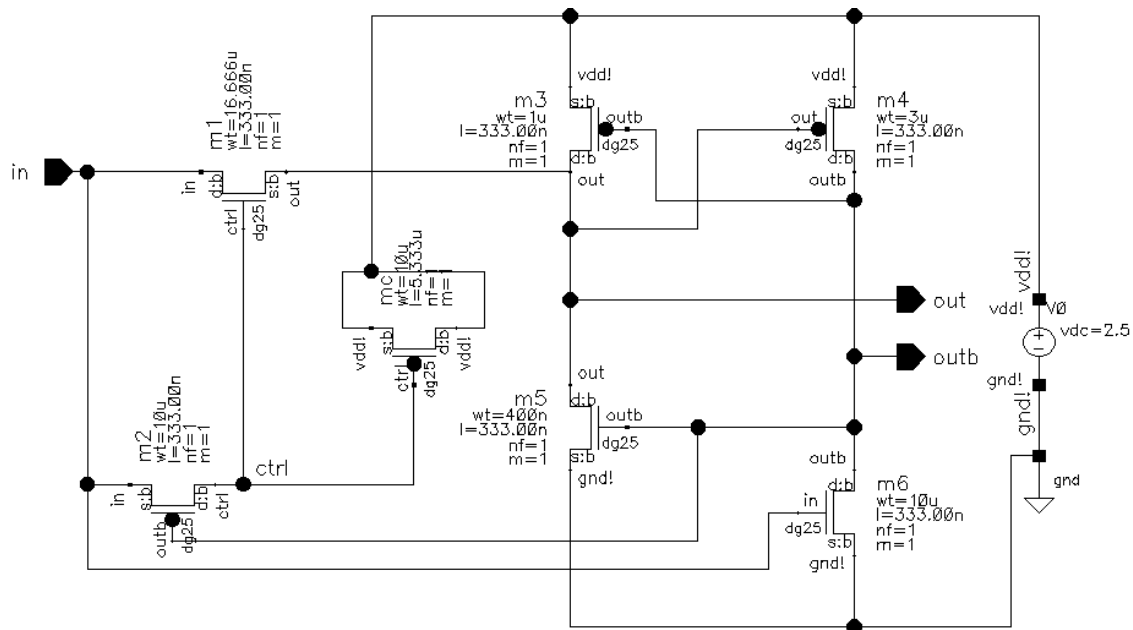


Figura 2.32: Esquemático do “Level Shifter” com fonte de alimentação única para simulação (KHAN *et al.*, 2006).

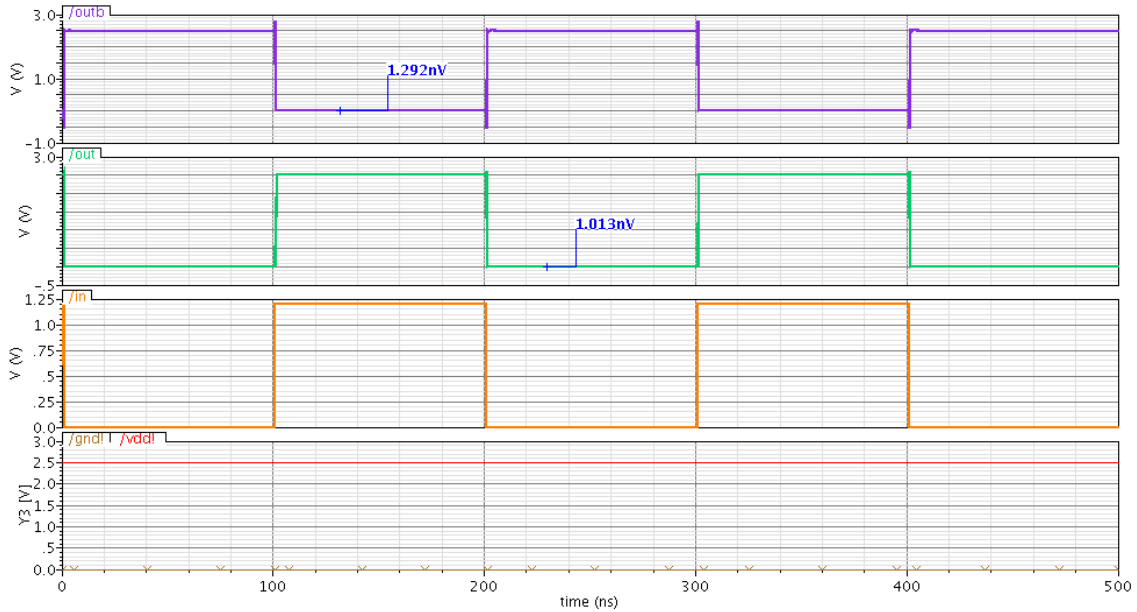


Figura 2.33: Simulação do circuito “Level Shifter” com fonte de alimentação única (KHAN *et al.*, 2006).

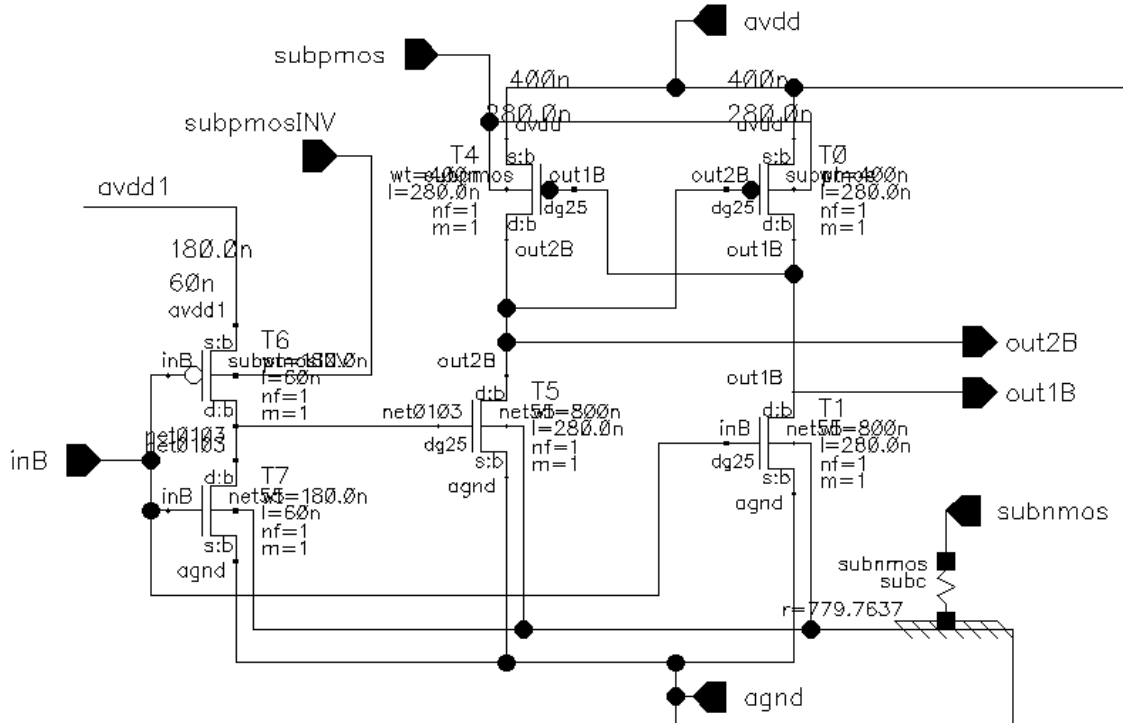


Figura 2.34: Esquemático do “Level Shifter” convencional (UYEMURA, 1999) para simulação.

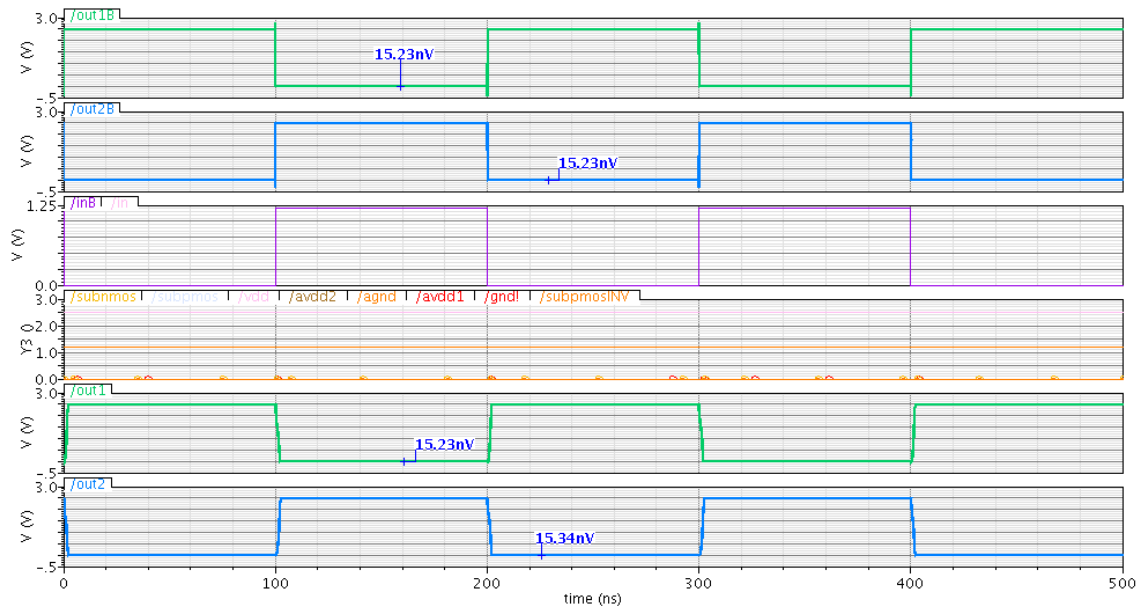


Figura 2.35: Simulação do circuito “Level Shifter” convencional (UYEMURA, 1999).

Outros esquemáticos e leiautes da estrutura do conversor de nível de tensão “Level Shifter” serão apresentados mais adiante, assim como testes e avaliações.

2.6 Proposta de Trabalho

Tendo em vista que a precisão, eficiência e confiabilidade das medições é fator crucial para a avaliação de variações estatísticas de processo e descasamento, é fundamental o projeto e implementação dos circuitos de seleção e circuitos de polarização e acesso para a caracterização de dispositivos e/ou circuitos MOS a serem avaliados entre si.

Assim, como proposta para a realização desta pesquisa sobre variação de processo, será implementado um circuito de seleção capaz de escolher um entre mais de mil dispositivos sob teste e/ou circuitos MOS utilizando-se circuitos de polarização e acesso muito parecidos com o da célula de medida da figura 2.3, porém com algumas diferenças técnicas, baseadas no trabalho referente às figuras 2.17 e 2.18.

Inicialmente, dentro de cada célula, basicamente, seriam implementados dispositivos MOS de diferentes características e dimensões. Junto de cada dispositivo sob teste seria implementado o seu respectivo circuito de polarização e acesso. Porém, com a evolução do projeto do chip teste, essa idéia foi aperfeiçoada, sendo utilizado um único circuito de polarização e acesso para cada coluna e/ou linha da matriz, consumindo menor área já que este será compartilhado por dispositivos de mesma linha e/ou coluna. Nesse caso, esta estrutura será formada por um CVSL “Buffer”/Inversor ou “Level Shifter” conectados com um par de chaves CMOS TG em cada coluna para o dreno. Em cada linha também teremos um “Level Shifter” conectado em um par de chaves CMOS TG para a fonte mais uma chave CMOS TG com “clamp” (AGARWAL *et al.*, 2006) para a porta, o qual servirá para garantir o “desligamento” dos transistores.

Ou seja, ainda serão utilizados transistores de passagem (chaves CMOS TG) para polarização e acesso individual das células da matriz, só que com algumas modificações na maneira como serão dispostos para a matriz, realizando uma polarização mais inteligente e compartilhada. Estas modificações, como citado anteriormente, serão mais bem explicadas no capítulo 3, itens 3.3 e 3.4.

Para a seleção, serão utilizados dois decodificadores de endereços para linhas e colunas (já que dos 4096 endereços possíveis, 1024 serão para endereçar os dispositivos MOSFET sob teste), sendo capazes de selecionar individualmente cada célula da matriz de MOSFETs. A proposta do decodificador foi bastante discutida nos itens anteriores e não será citada aqui novamente. Além disso, os circuitos de polarização e acesso serão implementados para dar suporte a realização da técnica de medida *Kelvin*, por todos os benefícios de precisão que esta oferece. Tanto os circuitos de seleção como os circuitos de polarização e acesso darão suporte para a avaliação de vários parâmetros a fim de embasar o estudo da variação estatística de processo e descasamento de MOSFETs.

Além dos dispositivos MOSFETs sob teste, também serão implementados no mesmo chip circuitos MOS como osciladores-em-anel entre outros circuitos, os quais estão vinculados a um trabalho de doutorado. Assim, embora façam parte do projeto do chip de teste, os detalhes destes fogem ao escopo deste trabalho de conclusão e não serão mencionados neste texto.

3 ESPECIFICAÇÃO E DESCRIÇÃO DO PROJETO

Conforme escrito e ilustrado no capítulo anterior, existem vários trabalhos sobre avaliação de variações estatísticas de processo e descasamento, nos quais foram fundamentais o projeto e a implementação de circuitos de seleção, polarização e acesso para a caracterização e avaliação de dispositivos e/ou circuitos MOS.

Assim, neste capítulo, será apresentada a especificação e descrição do circuito de seleção capaz de oferecer suporte a realização de medições individuais de dispositivos e/ou circuitos MOS sob teste para a realização deste trabalho de avaliação. Este circuito de seleção é composto por dois decodificadores (um para linhas e outro para colunas) de endereços para a matriz que conterá os grupos de dispositivos, sendo cada grupo com diferentes características e dimensões, ou para outros circuitos MOS; bem como pelo circuito de polarização que estaria presente em cada célula da matriz. Ou seja, cada célula da matriz com finalidade de caracterização e avaliação de variação estatística de processo, na especificação anterior, teria um circuito de polarização interno e um dispositivo (sendo a matriz de MOSFETs formada por vários deles de diferentes características e dimensões) e/ou um circuito MOS sob teste.

Entretanto, com a evolução do projeto do chip teste, ocorreram algumas modificações e uma nova estrutura de acesso e polarização para a matriz de MOSFETs foi proposta. Os detalhes dessa nova abordagem serão apresentados nos itens 3.3 e 3.4.

3.1 Decodificador de Endereços da Matriz de Circuitos de Acesso para a Seleção e Caracterização MOS

Considerando-se que este trabalho está inserindo no projeto de um chip teste para caracterização de variabilidade utilizando-se transistores em tecnologia abaixo de 100nm, foi constatada a necessidade de selecionar-se um grande número de dispositivos e/ou circuitos MOS, já que um dos objetivos é o de medir e avaliar diferenças elétricas entre transistores “iguais” da matriz dentre vários de diferentes características e dimensões. Existem outros objetivos para termos um grande número de endereços: selecionar outros projetos que serão implementados na mesma pastilha como, por exemplo, osciladores-em-anel de diferentes tipos, mas isso está fora do contexto deste texto, enquanto trabalho de graduação.

Assim, estimou-se que um decodificador de endereços com 6 entradas e 64 saídas (“Decoder 6X64” ou Decodificador 6X64) para linhas e outro para colunas será mais que suficiente para endereçar todos os circuitos e/ou dispositivos do chip teste. Desta forma, teremos 4096 endereços, conforme ilustrado na figura 3.1.

Essa decisão não foi por acaso. Desde o início do projeto do chip teste, a área do chip disponibilizada foi a primeira restrição (tamanho máximo da pastilha será de 4mm por 4mm). Além disso, inicialmente, foi decidido que teríamos 4 matrizes de 1024 células. Assim, não faria muito sentido um vasto número de endereços, nesse momento.

Considerando-se uma pastilha desta dimensão, estimou-se que o número de pinos (“PADs”) para entradas e saídas será no máximo 64. Dessa forma, utilizando-se os decodificadores, o número de pinos (“PADs”) do chip teste a serem utilizados fica reduzido: 6 para endereçar colunas e 6 para endereçar as linhas; além dos pinos de (V_{DD}) e referência ou “ground” (GND) e os outros pinos de estímulo e saída para o equipamento com suporte para o método de medida *Kelvin*, que são em torno de 8 (2 para o *force-sense* do dreno (“drain”), 2 para o *force-sense* da porta (“gate”), 2 para o *force-sense* da fonte (“source”), ou GND *force* e GND *sense*, e 2 para o *force-sense* do substrato (“bulk”)).



Figura 3.1: Diagrama de blocos dos decodificadores de endereços de linhas e de colunas (*Decoder 6X64*) e da matriz de dispositivos e/ou circuitos MOS.

A partir destes quesitos, restrições e decisões de projeto, foi realizada uma pesquisa, baseada no estudo bibliográfico, para decidir qual tipo de decodificador seria melhor para o projeto do chip teste. Assim, optou-se pela implementação de um Decodificador 6X64 de 2 estágios sem pré-carga.

O primeiro estágio (pré-decodificador ou pré-decoder) foi especificado usando-se 16 portas NOR de 4 entradas (NOR4) para os 4 pinos (4 bits) de endereçamento definidos a partir dos 6 pinos de endereços da palavra de 6 bits. Os 4 bits mais significativos (A5, A4, A3 e A2) são utilizados nesse estágio. Como este estágio é de certa forma um decodificador, portas inversoras devem ser utilizadas para inverter os sinais das entradas, cobrindo as combinações necessárias. Assim, o pré-decodificador

também é conhecido como Pré-Decodificador 4X16 (Pré-Decoder 4X16), como mostrado na figura 3.2, 3.3 e 3.4. A saída de cada porta NOR4 compreende um sinal de habilitação (“enable”) que será utilizado no próximo estágio. Nesse caso serão 16 sinais de saídas, denominado Grupo (“Group”). No esquemático foram denominados G_i , onde “i” varia de 0 até 15. Para a implementação da porta lógica NOR4 e o inversor, bem como para os outros circuitos, portas lógicas e dispositivos que serão apresentados a seguir, foi utilizada a ferramenta Virtuoso[®] Schematic Editor e será utilizado o simulador Spectre por meio da ferramenta Virtuoso[®] Analog Design Environment, ambos da Cadence[®]. O desenho do leiaute será feito com a ferramenta Cadence[®] Virtuoso[®] Layout Suite e validado (verificação, comparação e extração) com a ferramenta Calibre da Mentor Graphics[®]. Todo o projeto do chip teste utilizará estas mesmas ferramentas.

O segundo estágio é formado por 16 blocos, compostos de 4 portas NAND de 3 entradas (NAND3). Os sinais de entrada serão provenientes dos pinos de endereçamento a partir da palavra de 6 bits definidos pelos 2 bits menos significativos (A1 e A0). Estes dois sinais também deverão ser invertidos, já que este segundo estágio é de certa forma um decodificador de 2 entradas (A0 e A1) e 4 saídas (SG00, SG01, SG10 e SG11), sendo o sinal G_i uma entrada vista como um sinal de habilitação (ENB), como consta na figura 3.4.

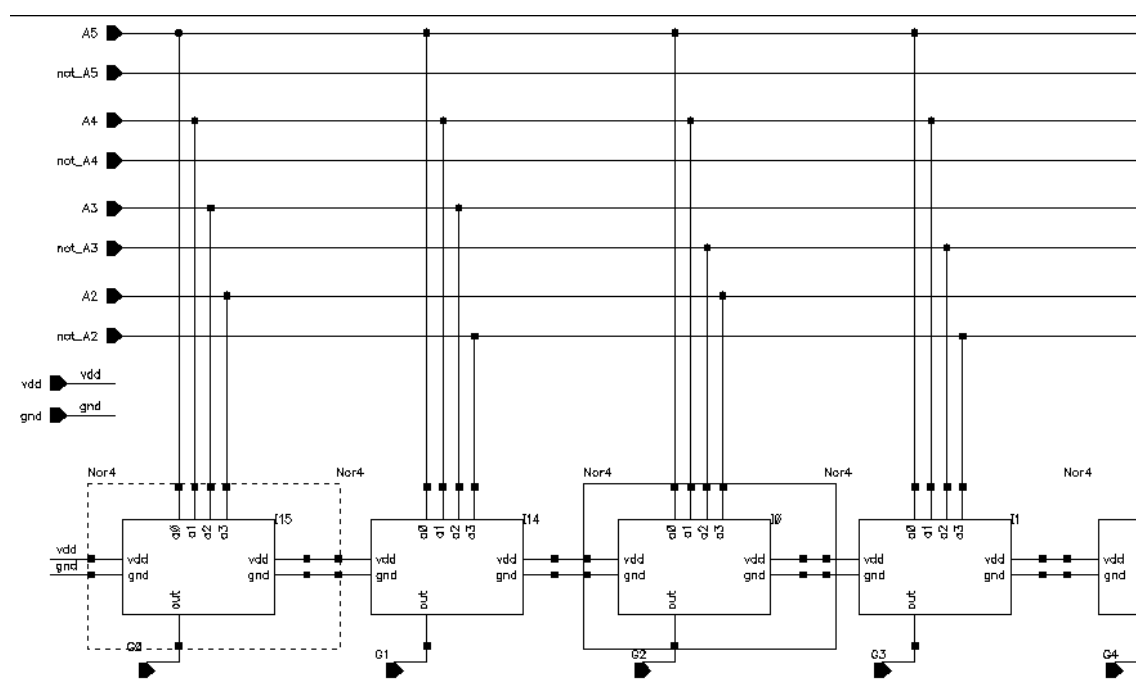


Figura 3.2: Esquemático do Pré-Decodificador 4X16 (lado esquerdo) com as cinco primeiras NOR4 instanciadas e as 5 primeiras saídas G_i (G_0 , G_1 , G_2 , G_3 , G_4 , G_5).

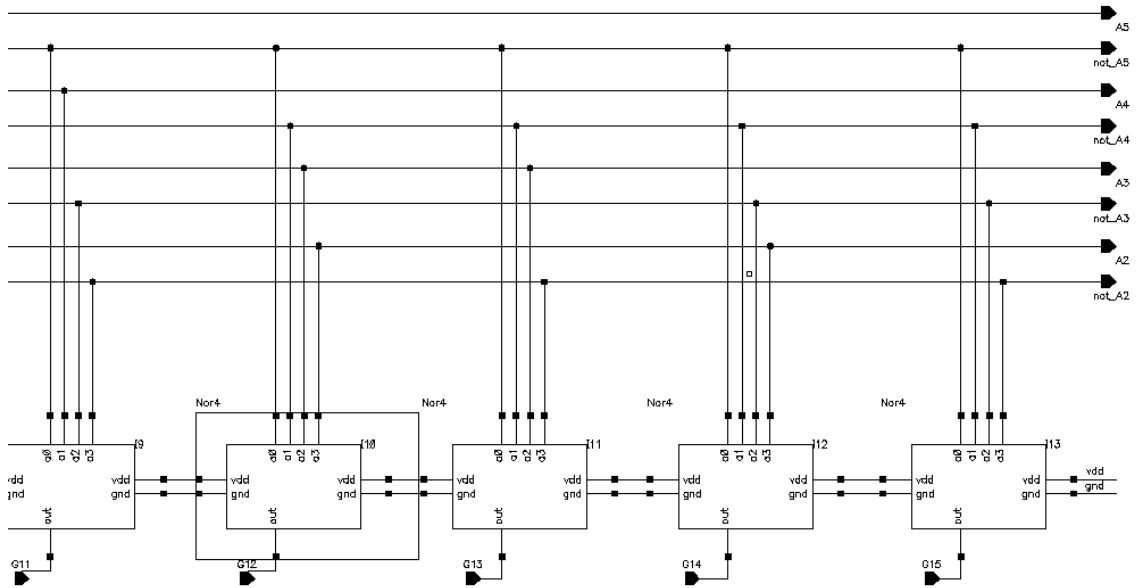


Figura 3.3: Esquemático do Pré-Decodificador 4X16 (lado direito) com as cinco últimas NOR4 instanciadas e as 5 últimas saídas Gi (G11, G12, G13, G14 e G15).

Embora a porta lógica utilizada será a NAND3, este segundo estágio pode ser visto como um Decodificador 2X4 (figura 3.5) e será replicado 16 vezes para que todas as combinações com os 16 sinais dos grupos sejam cobertas (figura 3.6). Como para cada um dos 16 grupos existirá um segundo estágio com 4 saídas, serão obtidas 64 saídas a partir das 6 entradas.

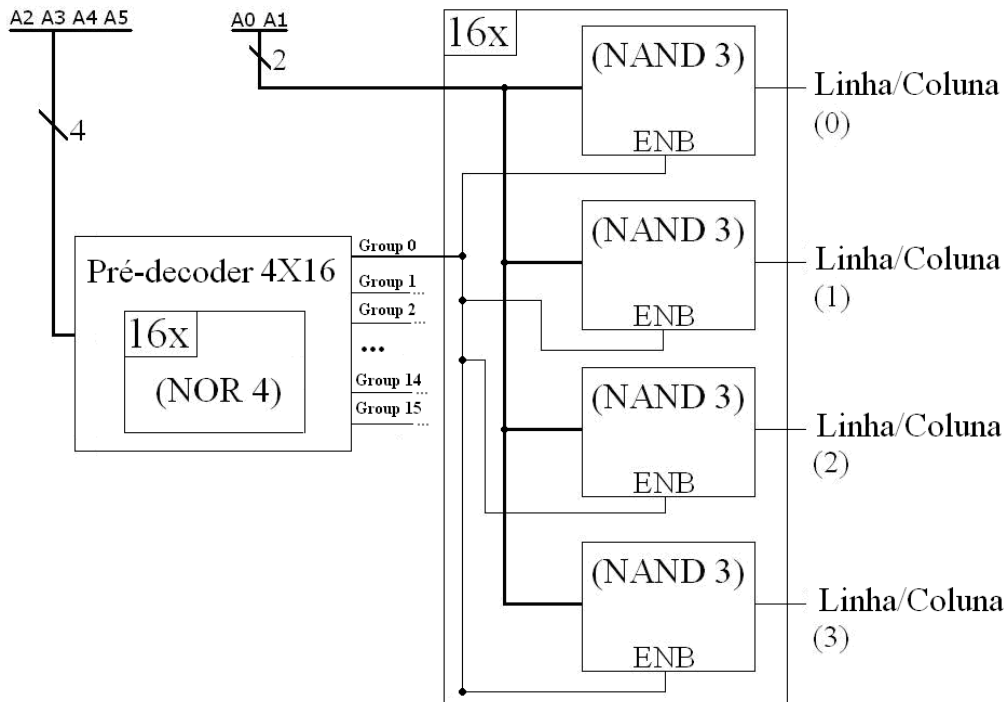


Figura 3.4: Diagrama de blocos do primeiro estágio (Pré-Decoder 4X16) e do segundo estágio, explicitando-se as quatro portas NAND3.

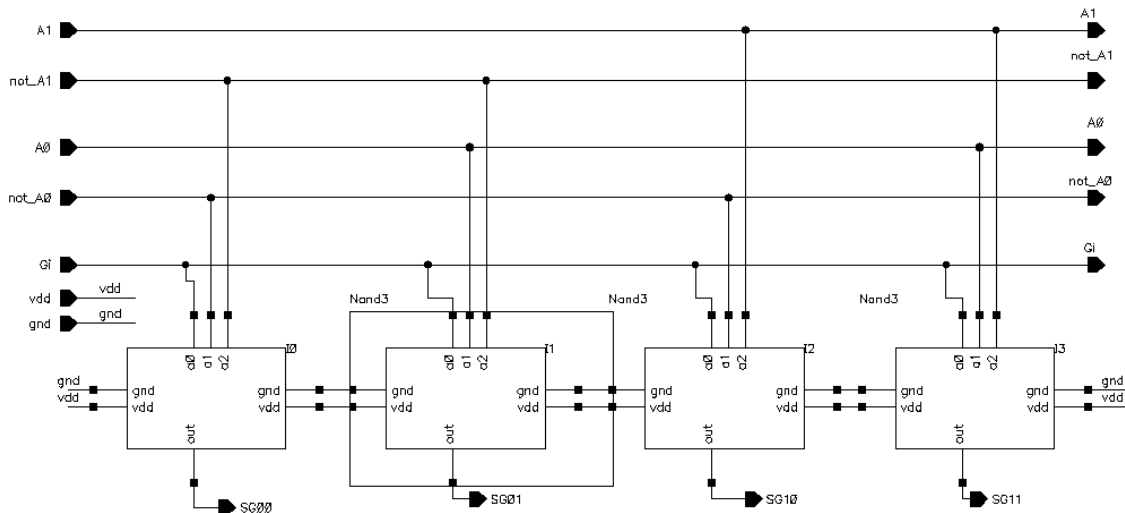


Figura 3.5: Esquemático do segundo estágio (Decodificador 2X4) com quatro NAND3 instanciadas. A0, A1 e G_i são as entradas; SG00, SG01, SG10 e SG11, as saídas.

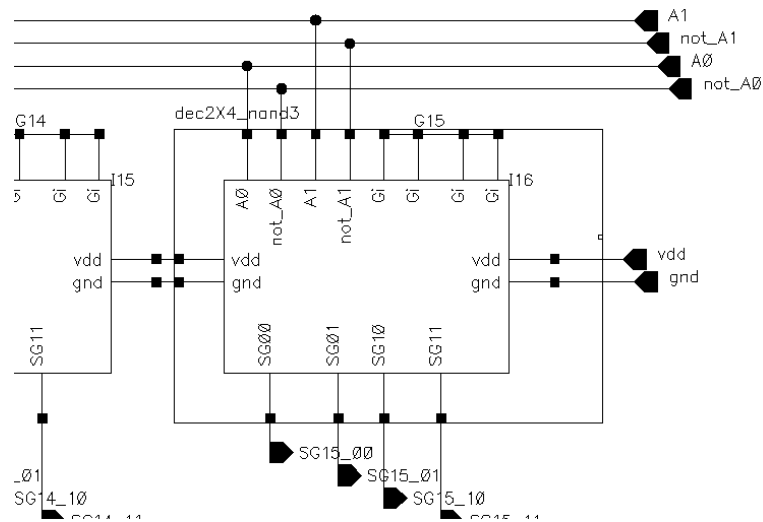


Figura 3.6: Segundo estágio (Decodificador 2X4) instanciado no esquemático do Decodificador 6X64.

O esquemático do Decodificador 6X64 pode ser observado nas figuras a seguir (figuras 3.7, 3.8 e 3.9), com o primeiro estágio (pré-decodificador 4X16) instanciado e o segundo estágio instanciado e replicado 16 vezes. Como cada um dos 16 sinais de saída do pré-decodificador serão combinados com 2 sinais de entrada em cada um dos 16 circuitos de segundo estágio, as saídas foram renomeadas didaticamente para melhor interpretação e entendimento do projeto (SG_{i_00} , SG_{i_01} , SG_{i_10} e SG_{i_11} ; onde “i” varia de 0 a 15).

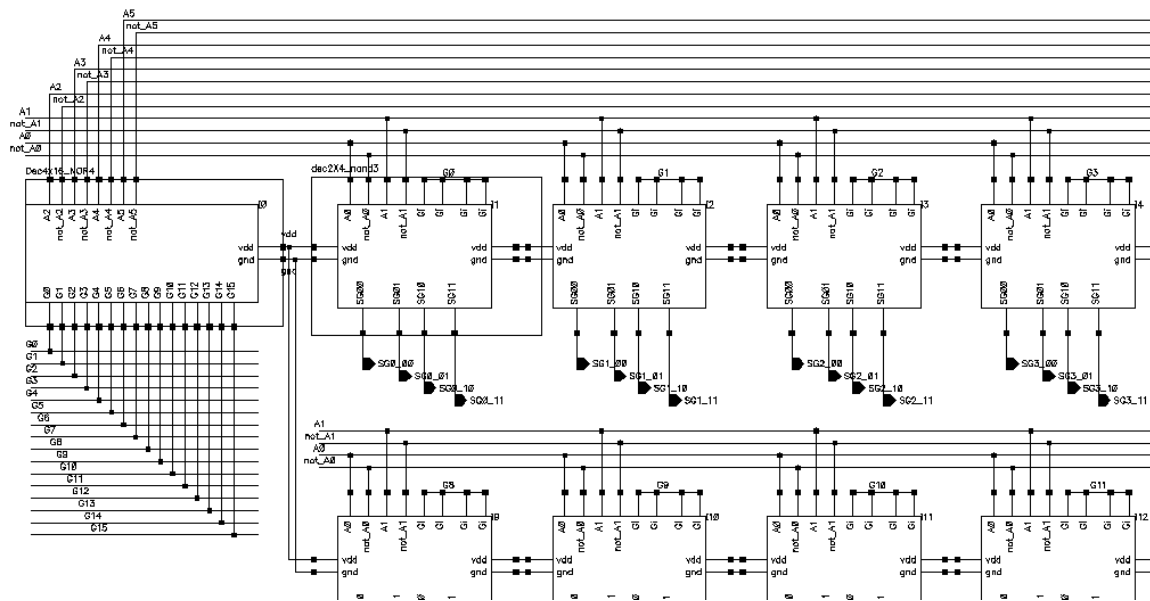


Figura 3.7: Esquemático do Decodificador 6X64 com o Pré-Decodificador 4X16 e as saídas G_i ($G_0, G_1, G_2... G_{14}, G_{15}$), no lado esquerdo da figura, e os Decodificadores 2X4 instanciados e replicados com as respectivas entradas G_i e as quatro respectivas saídas $SG_{i_00}, SG_{i_01}, SG_{i_10}$ e SG_{i_11} .

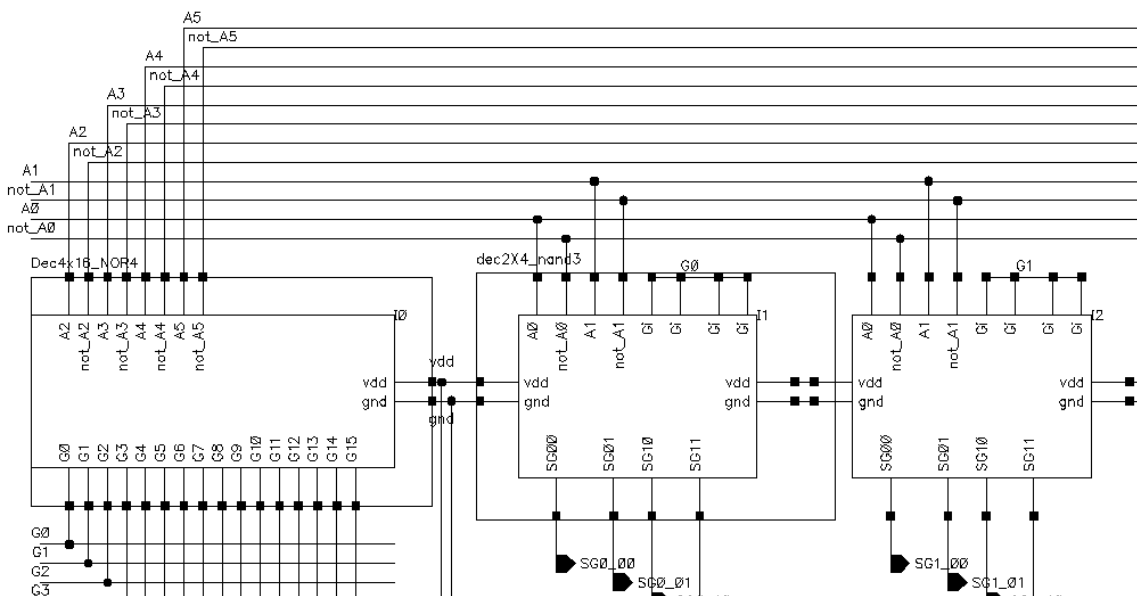


Figura 3.8: Figura mais detalhada do esquemático parcial do Decodificador 6X64 (lado esquerdo da figura 3.7).

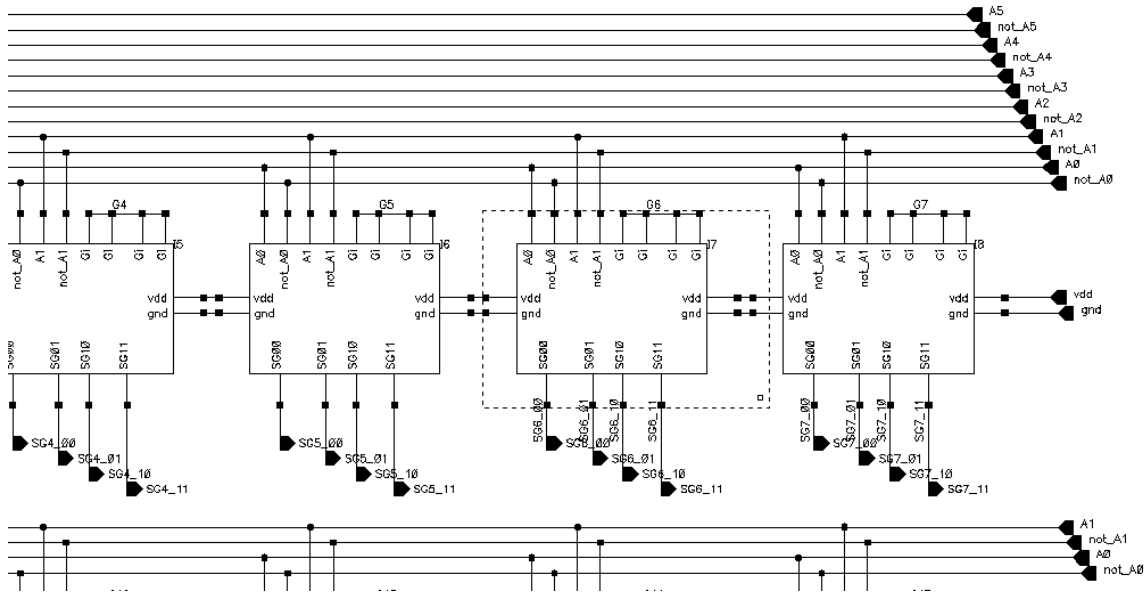


Figura 3.9: Figura mais detalhada do esquemático parcial do Decodificador 6X64, apresentando 4 instâncias do circuito do segundo estágio (lado extremo direito).

3.2 O Circuito de Polarização e Acesso de Dispositivos MOSFET e/ou Circuitos MOS

Na idéia original, cada célula da matriz iria conter um par de dispositivos ou circuito MOS equivalente sob teste, assim como também cada célula iria conter um circuito de polarização e acesso. Conforme explicado nas introduções dos capítulos 2 e 3, este circuito terá uma nova abordagem. Porém, é importante apresentar aqui no item 3.2 a idéia original. O circuito de polarização e acesso deve ser implementado para dar suporte à realização da técnica de medida *Kelvin* (medição a quatro ponteiros: duas para o estímulo – tensão ou corrente – e outras duas para a medição, chamadas de *force-sense*), por todos os benefícios de precisão que esta oferece. Ou seja, durante o momento de obtenção dos dados de medições, com esta técnica é possível atenuar significativamente as quedas de tensão (compensar as quedas de tensão) intrínsecas das resistências parasitas (adicionadas inclusive pelos equipamentos e instrumentos de medidas) no caminho por onde passam o estímulo e o canal de medida.

Os Decodificadores 6X64 farão a seleção individual das células da matriz de MOSFETs, que na nova abordagem consistirá de sub-matrizes 8x8 de transistores (nMOS ou pMOS) de diferentes tamanhos, conectados com chaves implementadas com transistores de passagem (“transmission gates”) no circuito de acesso e polarização. Isso permitirá a medição individual, já que os transistores de passagem farão o isolamento da célula a ser medida em relação às outras células que não devem estar selecionadas; minimizando possíveis interferências (“cross-talk”) e agindo com as células, oferecendo um ambiente simétrico para minimizar o descasamento devido ao ambiente assimétrico. Ou seja, são conectadas na porta (“gate”) para assegurar que uma falha em uma outra porta (“gate”) individual não afete o teste de outros dispositivos sob teste. Da mesma forma, isso será feito no dreno (“drain”). Isso irá, conferir, portanto, proteção, isolamento (excluindo influência de outros fatores que podem prejudicar a precisão das medições) e flexibilidade nos testes. Adicionalmente, qualquer célula da matriz que

conter um dispositivo MOS para avaliação de variabilidade estatística de processo deverá ser caracterizada pelas mesmas condições de polarização.

Assim, será possível realizar e avaliar a caracterização de variação de processo a partir da extração de parâmetros das curvas $I_{DS} \times V_{GS}$, $I_{DS} \times V_{DS}$, etc. de dispositivos e/ou circuitos MOS sob teste, fabricados em processo nanométrico.

A partir dos dois sinais provenientes dos Decodificadores 6X64, selecionando a célula da matriz pela linha e coluna, é seria necessário que cada célula tivesse uma porta lógica (NOR ou NAND). No caso desse projeto, quando uma célula é selecionada, esses dois sinais (linha e coluna) estão com o valor zero lógico, assim seria preciso uma porta NOR de duas entradas. Com o sinal de saída e com a utilização de uma porta inversora, seriam habilitados os transistores de passagem do dreno e da porta do dispositivo e/ou circuito MOS sob teste, conforme ilustrado na figura 3.10. Pode-se observar o bloco ao centro, no qual apresenta a instância do circuito de polarização, em que A e B são as entradas para os sinais de saída dos Decodificadores 6X64, os quais selecionam coluna e linha respectivamente (no exemplo da figura 3.10, SG0_00 e SG0_00Linha). Temos também as entradas de *force-sense* para o dreno e uma para a porta, bem como para a alimentação (V_{DD}) e referência ou “ground” (GND). As saídas para a porta ($V_{Gtransistor}$) e para o dreno ($V_{Dtransistor}$) do dispositivo ou circuito MOS sob teste.

De maneira mais detalhada, na figura 3.11, pode-se observar o esquemático da proposta anterior do circuito de polarização. Neste esquemático é possível observar dois pares de transistores de passagem para o dreno e um para a porta, bem como uma porta NOR de duas entradas instanciada e um inversor. Nas figuras 3.12 e 3.13, detalhe do bloco instanciado da porta NOR e detalhe do esquemático do par de transistores de passagem do *force*.

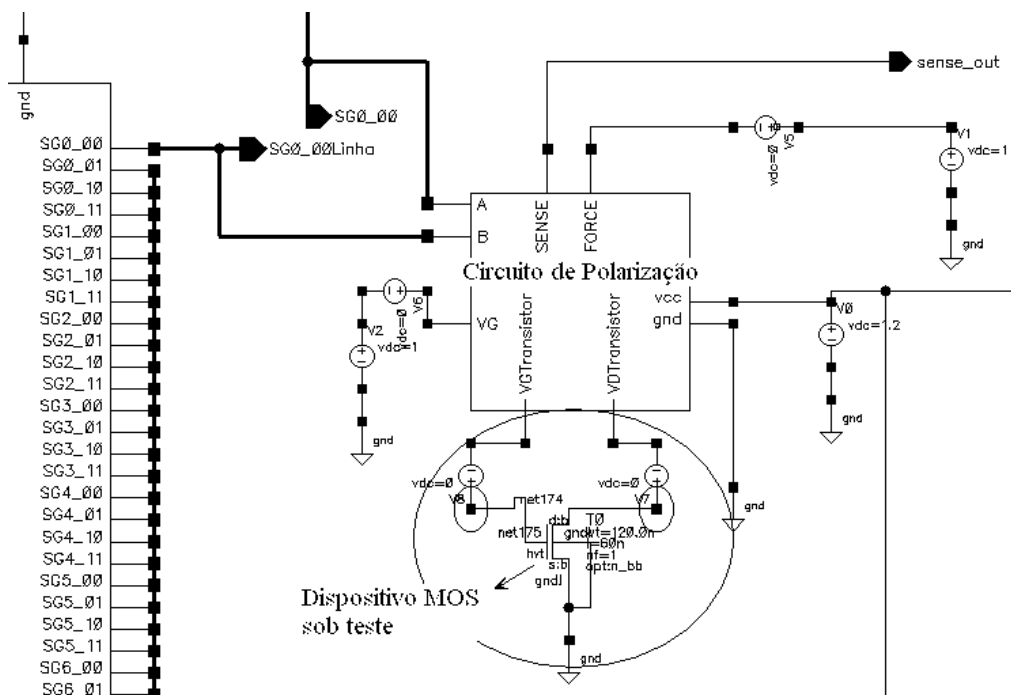


Figura 3.10: Esquemático do circuito de polarização no centro com um dispositivo sob teste (V8 é o nó da porta e V7 é o do dreno), com o esquemático parcial do Decodificador 6X64 selecionando linha no lado esquerdo.

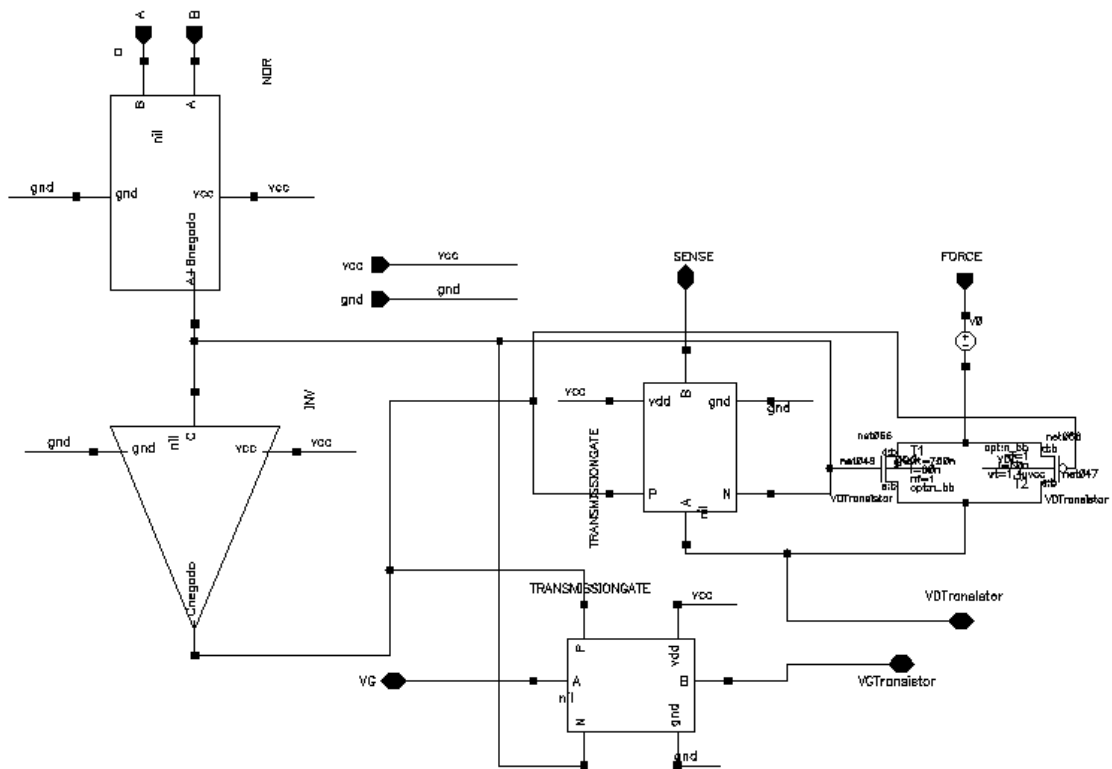


Figura 3.11: Esquemático do circuito da célula que seria implementada com os transistores de passagem para a porta e para o dreno, sendo dois no dreno para a utilização do *force-sense*; e mais uma NOR e um inversor para tratar o sinal de seleção de linha e coluna.

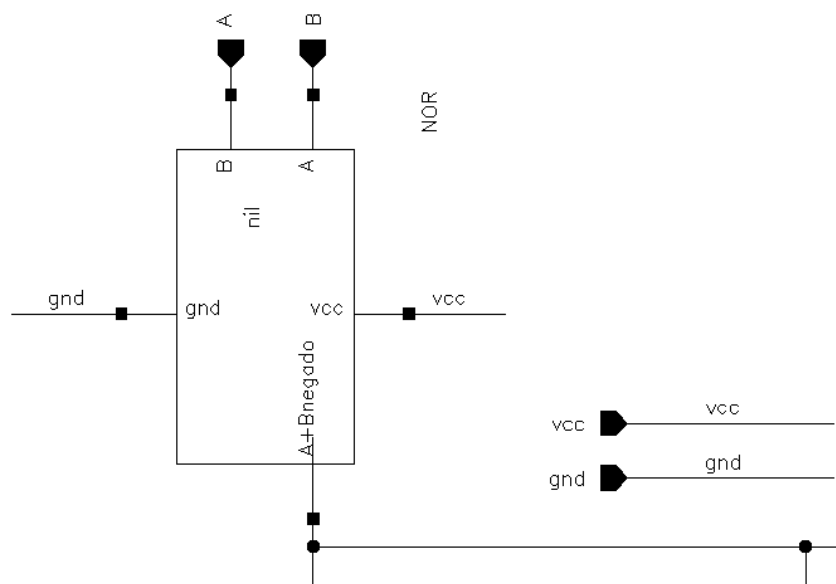


Figura 3.12: Bloco instanciado da porta lógica NOR que seria implementada a partir da figura anterior.

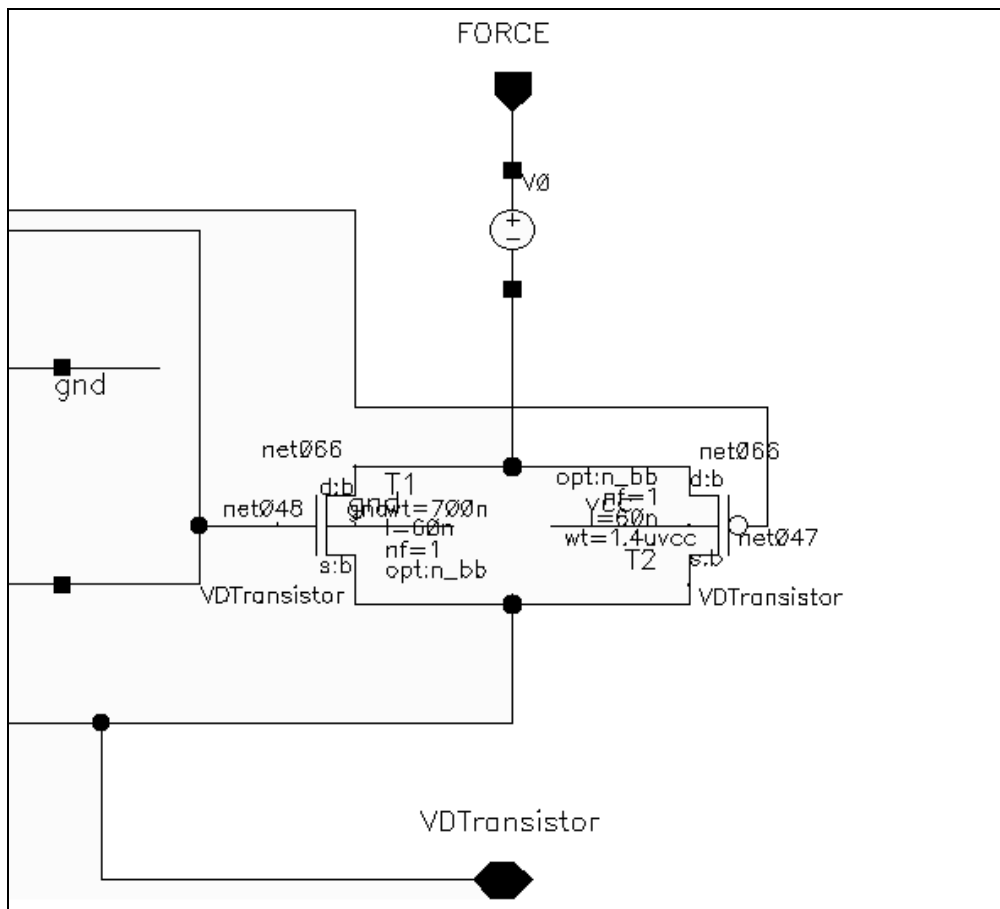


Figura 3.13: Detalhe do esquemático do par de transistores de passagem do *force* do terminal do dreno.

Porém, conforme explicado nas introduções dos capítulos 2 e 3, este circuito terá uma nova abordagem (apresentada nos itens 3.3 e 3.4), a qual será mais precisa, economizará mais área e será implementada de maneira que cada circuito de polarização e acesso será compartilhado por cada dispositivo sob teste de mesma linha e/ou coluna.

3.3 Modificações e Aperfeiçoamentos: uma Nova Abordagem para o Circuito de Polarização e Acesso

Dando continuidade ao projeto, foi realizada uma avaliação detalhada do projeto e sobre a melhor maneira de implementação do circuito de polarização e acesso dos dispositivos MOSFET sob teste a fim de serem obtidos melhores resultados para o estudo de variação de processo. Nesse caso, por exemplo, por meio da extração e caracterização da tensão de limiar entre outros parâmetros elétricos.

Assim, os impactos desses circuitos apresentados de maneira geral na figura 3.10 (diferenças de tensões, correntes, resistência equivalente, quedas de tensão, qualidade do sinal de entrada, dimensionamento, funcionalidade e comportamento esperado, etc.) precisam ser avaliados e simulados frente às simulações de medições que seriam

realizadas sem os mesmos circuitos de polarização e acesso da figura 3.14 (simulação de polarização convencional). Para isso, foram feitas algumas simulações entre o circuito que contém a célula com o DUT, os decodificadores e o circuito de polarização e acesso apresentado na figura 3.10 e o circuito de comparação contendo o DUT sem os circuitos de polarização e acesso, apresentado na figura 3.14, por exemplo. A simulação comparativa está na figura 3.15.

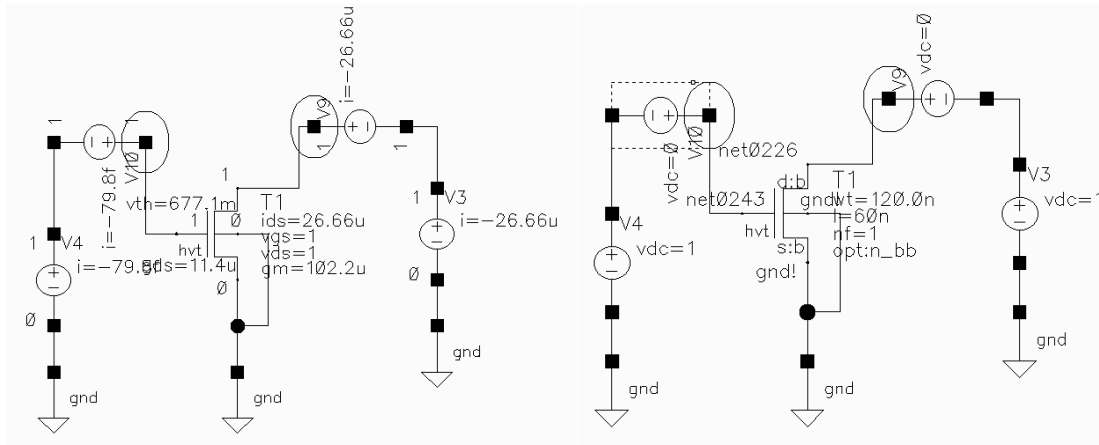


Figura 3.14: Esquemático do circuito de comparação (V10 é a port e V9 o dreno).

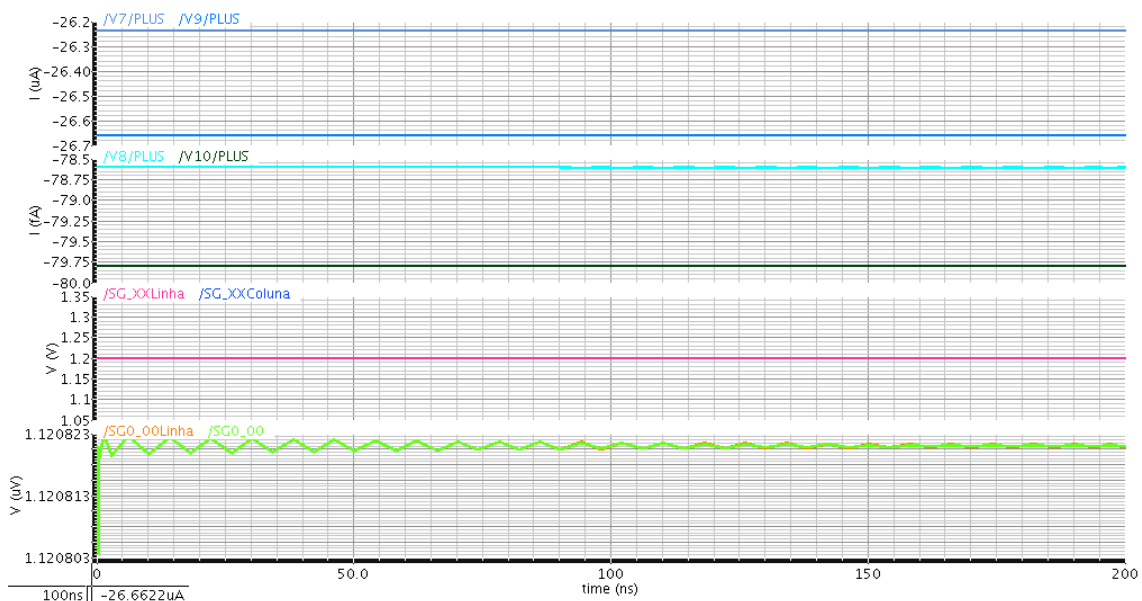


Figura 3.15: Simulação para comparar o circuito da figura 3.10 com o da figura 3.14 (corrente no dreno em V7 e V9 e corrente na porta em V8 e V10).

De acordo com a figura 3.15, considerando-se os resultados de simulação para comparação do circuito da figura 3.10 (célula com o DUT e os circuitos de polarização e acesso) com o circuito da figura 3.14 (circuito de comparação com polarização convencional), a corrente no dreno em módulo no DUT apresentou algumas diferenças. No circuito da figura 3.10 a corrente no dreno do DUT foi de aproximadamente $26.24\mu\text{A}$ e no circuito com polarização convencional no DUT sem os outros circuitos

periféricos foi de $26.66\mu\text{A}$. Ou seja, existe uma resistência entre o DUT e o decodificador (queda de tensão indesejada no circuito de polarização e acesso) que pode levar os resultados de medições futuras a um erro significativo.

A seguir utilizaremos os mesmos circuitos com modificações no esquemático para obtermos a curva $I_{\text{DS}} \times V_{\text{GS}}$. Na figura 3.16 abaixo é mostrado o esquemático representando uma célula contendo o DUT, em volta o símbolo parcial de um dos decodificadores como se estivessem escolhendo a linha 0 e coluna 0, e acima do DUT o símbolo dos circuitos de polarização e acesso (onde V8 é o nó da porta e V7 é o nó do dreno). O esquemático foi ligeiramente modificado em relação ao da figura 3.10 para simulação da curva $I_{\text{DS}} \times V_{\text{GS}}$ e posterior comparação com a situação de polarização convencional (figura 3.17) sem decodificador e circuito de polarização e acesso.

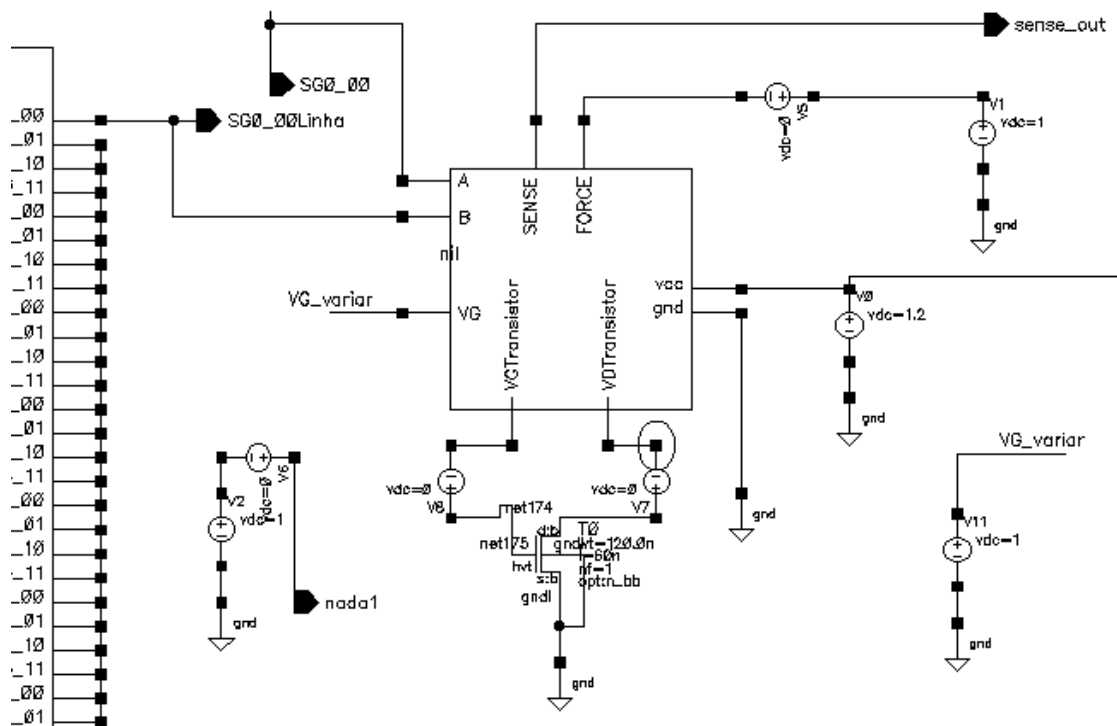


Figura 3.16: Esquemático da célula contendo o DUT, decodificador e circuitos de polarização e acesso para simulação $I_{\text{DS}} \times V_{\text{GS}}$.

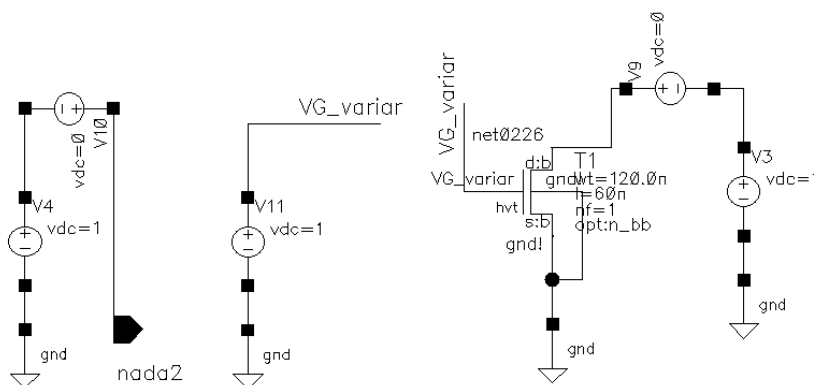


Figura 3.17: Esquemático do circuito de polarização convencional do DUT ($V_{\text{G_variar}}$ é a porta e V9 o dreno).

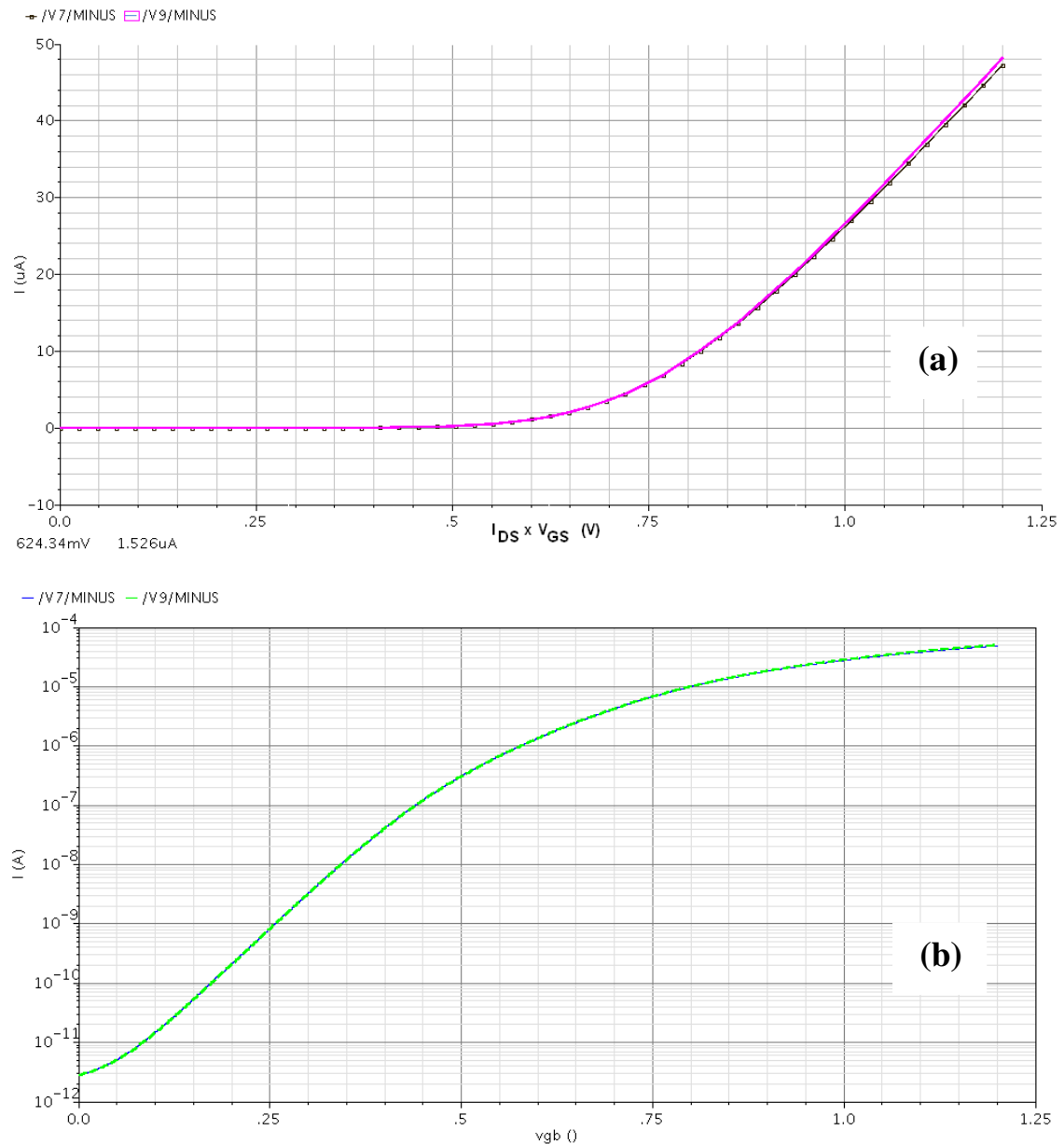


Figura 3.18: (a) resultados de simulação comparativa da curva $I_{DS} \times V_{GS}$ entre os dois circuitos (célula com o DUT e o circuito de comparação com polarização convencional); (b) a mesma curva em escala log.

De acordo com a figura 3.18(a), considerando-se os resultados de simulação para comparação do circuito da figura 3.16 (célula com o DUT, decodificadores e os circuitos de polarização e acesso) com o circuito da figura 3.17 (circuito de comparação com polarização convencional), pode-se observar que a curva $I_{DS} \times V_{GS}$ para os nós de dreno dos dois circuitos apresenta uma certa diferença a medida que a tensão na porta dos dois DUTs varia. Quando a tensão na porta é de 1.2V, a diferença entre as duas correntes I_{DS} nos nós V7 da figura 3.16 e V9 da figura 3.17. Ou seja, muito provavelmente existe uma resistência entre o DUT e o decodificador (queda de tensão indesejada no circuito de polarização e acesso) que pode levar os resultados de medições futuras a um erro significativo.

O circuito de polarização e acesso da versão anterior, apresentado na figura 3.10 e 3.11 do capítulo 3 (versão anterior do circuito apresentada no Trabalho de Conclusão de Curso 1), seria implementado com três chaves CMOS TG (“Transmission Gate”) com transistores de passagem, uma porta NOR e um inversor. Porém, verificou-se que esta estrutura pode trazer uma queda de tensão que pode ser significativa (dependendo do dimensionamento dos transistores) no caminho que leva o sinal de estímulo para o dispositivo sob teste. Assim, por meio dessas simulações que o circuito não iria funcionar de maneira satisfatória como exemplificado nas figuras anteriores 3.15 e 3.18(a).

Além disso, a partir de análises, foi observado que o leiaute do circuito de polarização e acesso como mostrado na figura 3.19 poderia ser otimizado.

Assim, com o objetivo de melhorar os resultados das medições futuras pós-prototipação do chip teste, uma implementação mais flexível e robusta para o transistor de passagem foi especificada, o que exigiu a implementação de uma estrutura conversora de nível de tensão do tipo CVSL “Buffer”/Inversor (conhecido como “Level Shifter”). Por isso, também a necessidade de redefinição do circuito de polarização e acesso dos dispositivos.

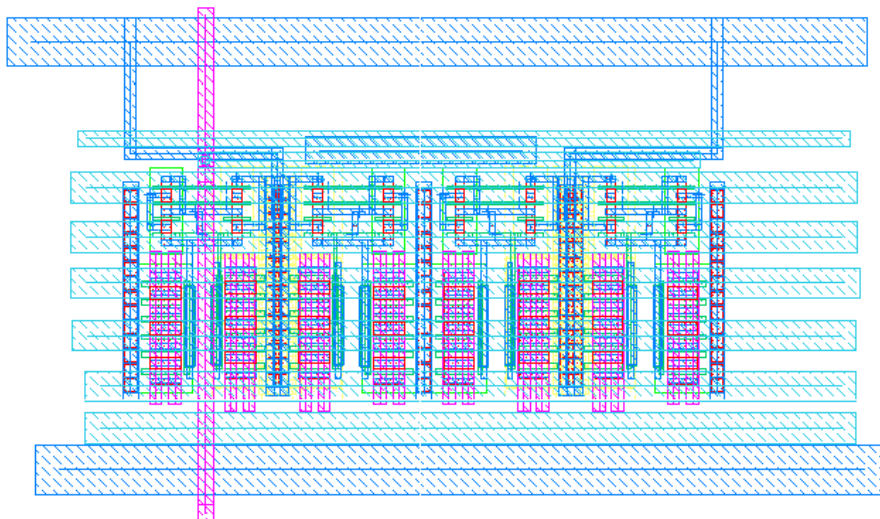


Figura 3.19: Proposta inicial do leiaute do circuito de polarização e acesso.

Sabe-se que vários chips comerciais requerem uma baixa tensão no seu núcleo para a lógica dos transistores, mesmo que ainda devam fazer interfaceamento com outros chips em altas tensões (WESTE e HARRIS, 2005). Os pinos (“PADs”) de E/S podem, portanto, ser interfaceados por circuitos conversores de nível para transladar entre diferentes tensões. Para esses circuitos geralmente são sugeridos a utilização de transistores de canal longo e óxido espesso a fim de suportarem tensões maiores. Assim, normalmente são utilizadas estruturas do tipo CVSL “Buffer”/Inversor (ou “Level Shifter”) com quatro transistores de tensão alta (que no caso do nosso projeto é de 2,5V) em conjunto com um inversor que pode utilizar transistores FET padrão na tecnologia alvo, que utilizam uma tensão de alimentação baixa (que no caso do nosso projeto é de 1,2V).

Nesse caso, especificou-se que os transistores de passagem serão implementados e simulados com transistores de E/S fornecidos pela tecnologia alvo e denominados

conhecidos DGFet (processo IBM 65nm). Apesar de terem dimensões físicas padrão de aproximadamente ($W/L = 400\text{nm}/280\text{nm}$), o que consome uma área maior; por outro lado são mais robustos, considerando-se a tensão de operação de 2,5V, efeitos de correntes de fuga menores, óxido mais espesso, e possuem resistência menor para mesma relação W/L ; em comparação com transistores FET padrão RegFet (processo IBM 65nm), alimentados com 1,2V. Como consequência disso, um circuito para normalizar o sinal de saída dos decodificadores se faz necessário a fim de elevar a tensão de 1,2V para 2,5V e de habilitar os transistores de passagens com os DGFets. Para a implementação desse circuito, conhecido como "Level Shifter", foi realizado um estudo bibliográfico apresentado nos itens 2.4 e 2.5.

O melhor dimensionamento dos transistores de passagem das chaves CMOS TG também foram investigados por simulação com os dois tipos de transistores (DGFets e RegFets). Além disso, uma outra abordagem para a matriz de transistores sob teste foi proposta. Nesse caso, cada coluna terá um "Level Shifter", com seu respectivo inversor, mais um par de chaves CMOS TG com transistores de passagem para o caminho do sinal de "force-sense" para o dreno de todos os transistores da coluna; compartilhando, assim, essas estruturas por todos os transistores sob teste de mesma coluna. Da mesma forma, cada linha terá um "Level Shifter", com seu respectivo inversor, mais uma chave CMOS TG com transistores de passagem (um par de transistores para o sinal de estímulo da porta ("gate") e um transistor de passagem para o sinal de "desabilitação" por tensão em um pino externo denominado "Clamp" (AGARWAL *et al.*, 2006)). Assim como mais um par de chaves CMOS TG com transistores de passagem para o caminho do sinal de "force-sense" para a fonte de todos os transistores da linha; compartilhando, assim, essas estruturas por todos os transistores sob teste de mesma linha. O sistema todo será melhor explicado e apresentado a seguir no item 3.4.

Essa abordagem traz uma economia em área e otimização final do leiaute. Na abordagem anterior (versão entregue do Trabalho de Conclusão de Curso 1) foi apresentada uma matriz, em cujas células seriam incorporadas o circuito de polarização e acesso. Ou seja, uma matriz com 1024 transistores sob teste teria em cada célula 1024 estruturas de polarização e acesso. Agora, na abordagem atual, serão 64 estruturas de polarização e acesso para o dreno (uma em cada coluna) e 64 estruturas de polarização e acesso para a fonte e porta (uma em cada linha), totalizando-se 128 estruturas de polarização e acesso.

Para isso, os impactos desses circuitos (resistência equivalente e quedas de tensão, qualidade do sinal de entrada, dimensionamento, funcionalidade e comportamento esperado, etc.) serão simulados, testados e avaliados, principalmente em comparação com as simulações de medições realizadas sem os mesmos circuitos (simulação de polarização convencional sem as estruturas de polarização e acesso).

3.4 Descrição Geral do Sistema de Suporte par a Caracterização de Variabilidade Estatística Local de Processo

O sistema de caracterização de variação estatística local de processo, ilustrado na figura 3.20, será capaz de oferecer suporte a realização de medições de transistores MOSFETs sob teste para a posterior realização de avaliações e pesquisas nessa área. O sistema é composto por decodificadores, chaves CMOS TG ("transmission gates"), "Level Shifters" e uma matriz de MOSFETs, (para transistores pMOS e nMOS).

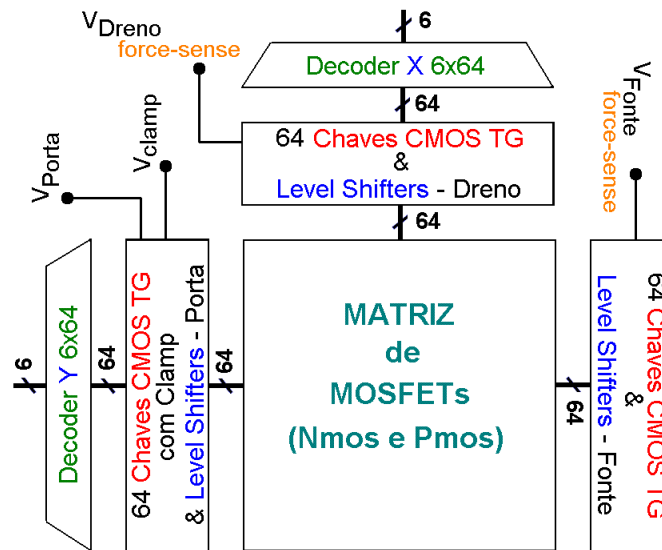


Figura 3.20: Diagrama de blocos do sistema de suporte para caracterização de variação estatística local de processo.

Este trabalho está baseado em vários estudos sobre avaliação de variabilidade estatística e apresenta as estruturas de teste mais convenientes para esta finalidade, o que também fornece base para o projeto do chip teste. Considerando-se que a área disponível do chip foi a primeira restrição, definiu-se uma matriz de MOSFETs formada de grupos de *sub-matrizes* 8×8 de dispositivos nMOS e pMOS, como mostrado na figura 3.21.

Serão oito grupos para os transistores nMOS e oito grupos para os transistores pMOS. Cada um dos oito tipos de grupo tem um dado dimensionamento como mostrado abaixo na tabela 3.1. Entretanto, veículos de teste devem oferecer uma medição eficiente e precisa para uma avaliação de mais de mil dispositivos, de maneira que as perdas de tensão e corrente sejam contornadas. Por isso, foi especificado e/ou definido desde o início que será utilizado o método de medida *Kelvin* (*force-sense*) aliado ao projeto de circuitos de seleção e circuitos de polarização e acesso dos transistores MOSFETs.

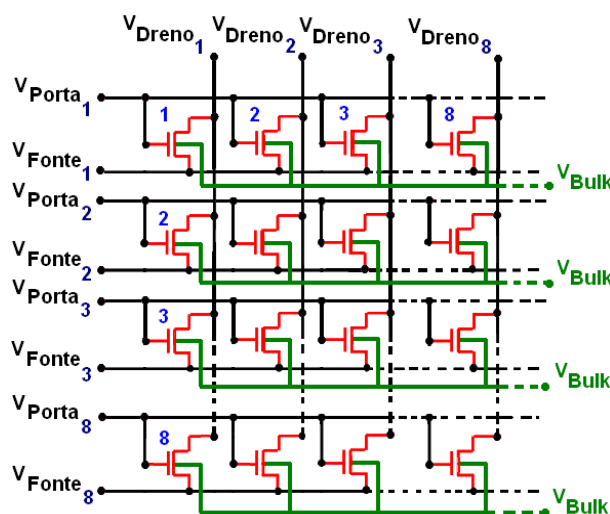


Figura 3.21: Sub-matriz 8×8 de transistores MOSFET tipo nMOS.

O circuito de seleção é composto de dois decodificadores de 2 estágios para linhas e colunas conforme pesquisa bibliográfica e descrição funcional nos capítulos anteriores; utilizando-se, assim, um pequeno número de pinos do chip. Cada MOSFET será selecionado um de cada vez a partir dos bits de endereçamento nas entradas dos decodificadores ao combinarmos um dado endereço de coluna com um dado endereço de linha.

O circuito de polarização e acesso é composto por chaves CMOS TG e “Level Shifters”. As chaves CMOS TG serão utilizadas para o acesso individual entre vários dispositivos: duas no dreno, comum aos dispositivos da coluna, mostrada na figura 3.22; uma na porta com “Clamp” (AGARWAL *et al.*, 2006), mostrada na figura 3.23, e duas na fonte, comum aos dispositivos da linha, mostrada na figura 3.24. Assim, o acesso individual dos transistores será possível, sendo realizado pela seleção combinada de um dado endereço de coluna e um dado endereço de linha. O “clamp” garantirá o desligamento dos transistores que não serão selecionados e o que foi selecionado receberá o sinal para a porta como mostrado na figura 3.23, tendo um funcionamento complementar (ou deixa passar o sinal para a porta ou deixa passar o sinal do “clamp”).

O "Level Shifter", mostrado na figura 3.25, se fez necessário, já que as chaves CMOS TG são alimentadas com 2,5V por utilizarem transistores de entrada e saída (E/S), possuindo óxido mais espesso, menor resistência e menor corrente de fuga, etc.

Tabela 3.1: Tabela de dimensionamento dos transistores das sub-matrizes 8x8

<i>Comprimento (L)</i>	<i>Largura (W)</i>
60nm	6 μ m
90nm	
120nm	
240nm	
600nm	
6 μ m	
600nm	180nm
	360nm

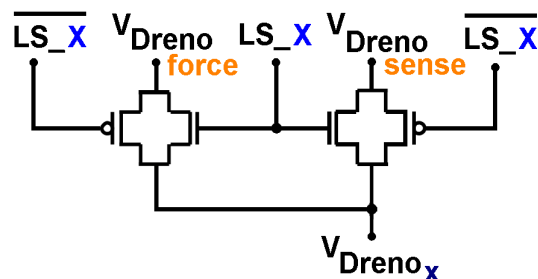


Figura 3.22: Chave CMOS TG de polarização e acesso para *force-sense* do dreno.

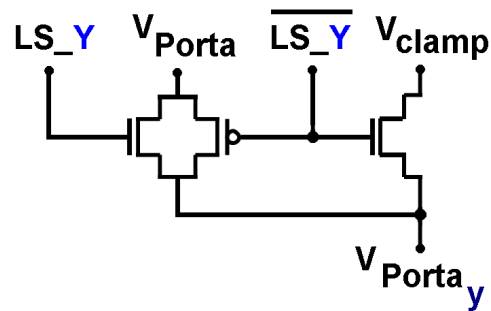


Figura 3.23: Chave CMOS TG de polarização e acesso para a porta com “clamp”.

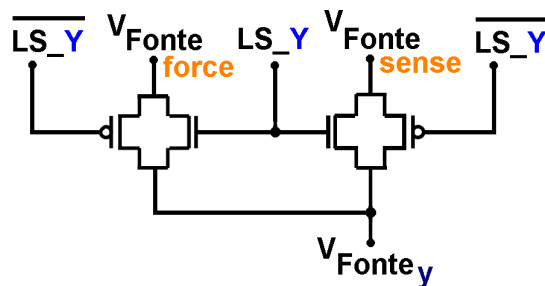


Figura 3.24: Chave CMOS TG de polarização e acesso para *force-sense* da fonte.

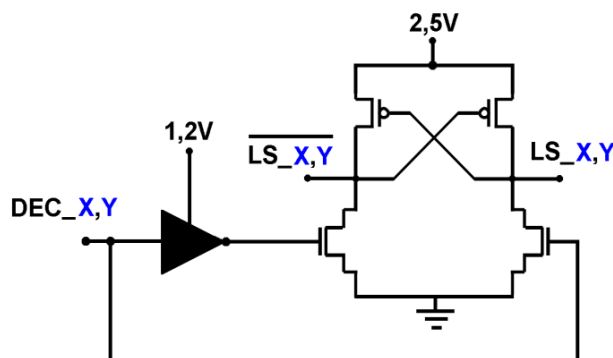


Figura 3.25: Circuito “Level-Shifter”.

Assim, conforme proposto neste capítulo, o circuito de seleção (decodificadores e circuitos de polarização e acesso) possibilitará a medição de dispositivos e/ou circuitos MOS sob teste de maneira rápida, sendo que cada célula da matriz (cada transistor MOSFET sob teste) irão compartilhar estas estruturas em colunas e/ou linhas.

3.5 Metodologia para Implementação, Simulação e Validação

A partir da descrição detalhada, considerando-se as restrições, quesitos e especificações do projeto do chip teste, todos os dispositivos, portas lógicas e circuitos MOS serão implementados, simulados, testados e validados com as ferramentas da Cadence®, versão IC6.1.3.500.7, e da Mentor Graphics®. Para o desenvolvimento do esquemático de todos os decodificadores, do circuito de polarização e acesso (“Level

Shifter” e chaves CMOS TG), das portas lógicas e dos dispositivos MOS foi utilizada a ferramenta Virtuoso[®] Schematic Editor e será utilizado o simulador Spectre por meio da ferramenta Virtuoso[®] Analog Design Environment, ambos da Cadence[®] para a simulação dos mesmos. Assim como para o desenho do leiaute será utilizada a ferramenta Virtuoso[®] Layout Suite. A validação e verificação de regras de leiaute (“Design Rules Check” - DRC) serão realizadas com a ferramenta Calibre[®] da Mentor Graphics[®], versão v2008.4_37.26. Para a verificação e comparação da topologia física com o leiaute (“Layout vs. Schematic” - LVS) e para a extração do circuito com resistências e capacitâncias parasitas será utilizada a ferramenta Assura[™] Physical Verification, versão av3.2. Isso se deve ao fato de que todo o projeto do chip teste está utilizando estas mesmas ferramentas, entre outras para validação pós-leiaute.

Considerando-se que o objetivo é conseguir precisão, eficiência e confiabilidade das medições para a avaliação de variações estatísticas de processo, todas essas etapas precisam ser minuciosamente verificadas. Aliás, o projeto do circuito de polarização com suporte a técnica de medida *Kelvin* por si só está inserida na projeção da metodologia de teste e validação de todo o projeto do chip teste, considerando-se todos os benefícios que esta oferece, citados repetidas vezes em parágrafos anteriores.

No próximo capítulo será apresentada a implementação dos circuitos e no capítulo seguinte a parte de teste e avaliação.

4 IMPLEMENTAÇÃO

Variações nas características elétricas de dispositivos MOS são de importância no projeto, manufatura e operação de circuitos integrados (CIs) conforme escrito nos capítulos anteriores. Hoje, podemos observar o contínuo escalamento dessa tecnologia entre 100nm e 45nm (sub-100nm) de maneira que o impacto da variabilidade de processo se tornou crítico por afetar o desempenho e o rendimento na produção de CIs. Devendo ser, portanto, considerado pelos projetistas, já que esse fenômeno impõe um desafio para o projeto de circuitos analógicos e digitais.

Para avaliar a variabilidade estatística de processo em nanodispositivos MOSFET, foram implementadas estruturas de teste que fornecerão uma visão quantitativa sobre tais variações elétricas, o que inclui a concepção de parte do projeto de um chip teste em 65nm CMOS. Inserindo-se, assim, em um trabalho de pesquisa científica sobre caracterização estatística de variação de processo e suas respectivas avaliações. Assim, neste capítulo, será apresentada uma implementação mais detalhada dos circuitos, que inclusive já foram apresentados parcialmente em capítulos anteriores.

4.1 Implementação do Decodificador 6X64 de Dois Estágios

Inicialmente, será apresentado aqui a continuação da implementação do circuito de seleção, que será composto por dois decodificadores do tipo Decodificador 6X64 de 2 estágios (WERLE; CAMARATTA; BRITO e BAMPI, 2009), cuja idéia e base teórica já foi apresentada, conforme pesquisa bibliográfica no capítulo 2 (sub-capítulo 2.3), e cuja implementação parcial, conforme descrição funcional em nível esquemático, foi apresentada no capítulo 3 (sub-capítulo 3.1).

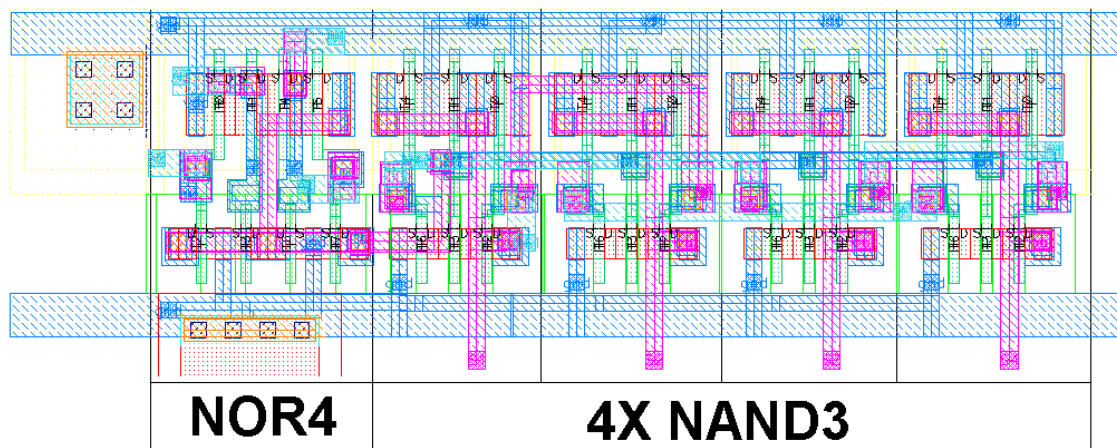


Figura 4.1: Leiaute parcial do Decodificador 6X64 de 2 estágios.

Como já mencionado no capítulo 3 (sub-capítulo 3.4), um decodificador cobrirá o endereçamento das linhas e outro, das colunas, o que permitirá a utilização de um reduzido número de pinos do chip teste. O leiaute parcial do decodificador pode ser observado na figura 4.1 mostrada antes. Na figura pode-se observar que este circuito é composto por uma porta lógica NOR4 (proveniente do pré-decodificador o qual contém 16 destas) e quatro portas lógicas NAND3 (que formam um dos dezesseis blocos lógicos do segundo estágio do decodificador).

O leiaute teve uma abordagem do tipo “standard-cell”, com as portas lógicas NOR4 do primeiro estágio intercaladas com os blocos do segundo estágio (4 portas NAND3), possibilitando um roteamento mais simples. Como resultado, originou um leiaute compacto.

A simulação do decodificador será apresentada no próximo capítulo. O leiaute deste junto com o leiaute do “Level Shifter” será apresentado mais adiante.

4.2 Implementação do Conversor de Nível de Tensão (“Level Shifter”)

Como ocorreram modificações no projeto original, foi necessária a realização de uma breve pesquisa bibliográfica e comparativa, ocorrendo uma re-estruturação do circuito de polarização e acesso, originando a necessidade de implementação do circuito “Level Shifter”. Parte dessa pesquisa bibliográfica está relacionada com este circuito, sendo que uma implementação parcial e uma breve simulação teve que ser apresentada no sub-capítulo 2.5 para fins de comparação e apoio à decisão de projeto.

Inicialmente, para este circuito é necessário o uso de um inversor. Na figura 4.2 pode-se ver o circuito inversor, o qual foi implementado com dimensões mínimas ($W/L_N = 180n/60n$ e $W/L_P = 300n/60n$), já que apenas envia e/ou inverte o sinal do decodificador para as portas dos transistores nMOS da rede “pull-down” do “Level-Shifter”.

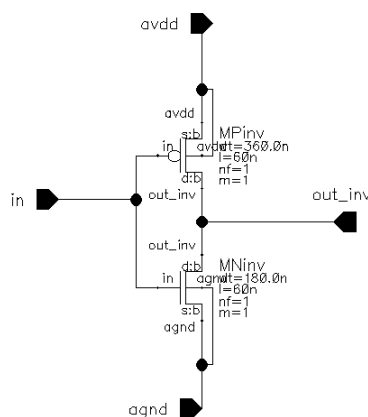


Figura 4.2: Inversor utilizado em conjunto com o circuito “Level Shifter”.

Para a implementação do circuito “Level Shifter”, foi utilizada a topologia convencional, já apresentada e discutida em capítulos anteriores (sub-capítulo 2.4 e 2.5). Para o dimensionamento dos transistores (transistores de E/S) foi utilizado o tamanho mínimo de canal (280n), por restrições de consumo de área. Para a obtenção da funcionalidade operacional satisfatória do circuito e respeitando-se a restrição de área, os transistores pMOS foram implementados com a largura mínima ($W = 400n$) e os

transistores nMOS, com duas vezes o valor da largura do pMOS ($W = 800n$). Assim, temos que $W/L_N = 800n/280n$ e $W/L_P = 400n/280n$. A topologia desse circuito sem o inversor é apresentada na figura 4.3 abaixo. O esquemático completo com o inversor já foi apresentado na figura 2.34 do sub-capítulo 2.5 e não será repetido aqui.

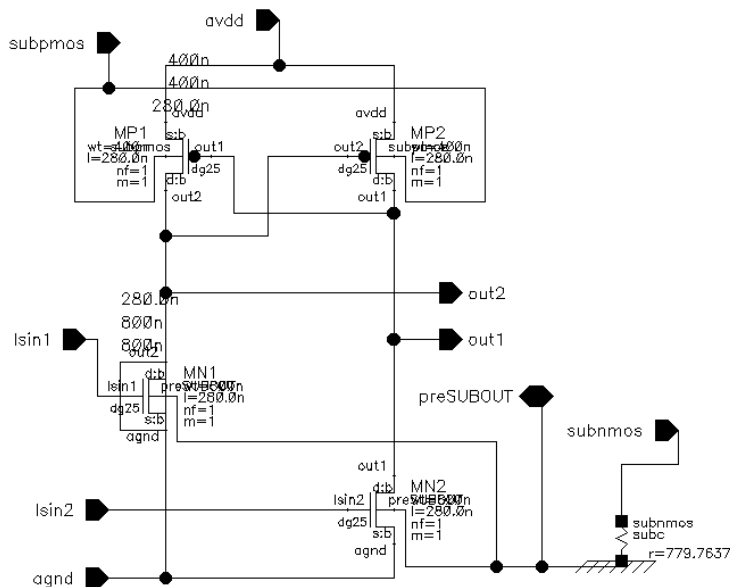


Figura 4.3: “Level Shifter” convencional sem o inversor (UYEMURA, 1999).

A topologia desse circuito sem o inversor é apresentada na figura 4.3 abaixo. O esquemático completo com o inversor já foi apresentado na figura 2.34 do sub-capítulo 2.5, assim como algumas simulações e não será repetido aqui. No próximo capítulo a simulação deste será discutida novamente.

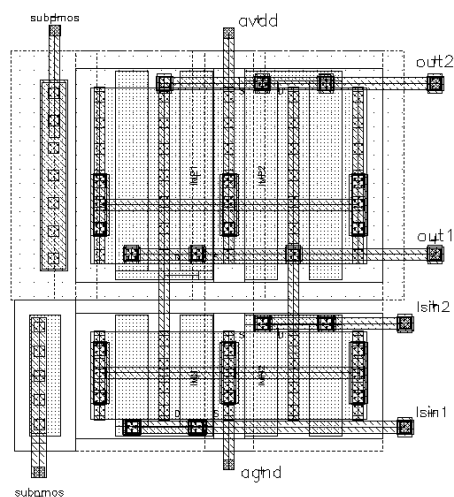


Figura 4.4: Leiaute do “Level Shifter” sem o inversor.

Inicialmente, o leiaute foi desenvolvido como na figura 4.4, mas na disposição final de todos os circuitos isso não iria ajudar muito. Para a realização de um leiaute mais inteligente e compacto, o que inclui o inversor, foi utilizada uma abordagem duplamente espelhada, para que os circuitos pudessem compartilhar regiões de poço do tipo N (“n-Well”) e compartilhar o contato de substrato com o

decodificador. Assim, com essa estratégia de disposição dupla e espelhada, foi desenvolvido o esquemático conforme figura 4.5, permitindo um leiaute compacto conforme figura 4.6. Os dois “Level Shifters” espelhados mais dois inversores (sendo depois instanciado) permitiu o desenvolvimento de um leiaute em linha, acompanhando a mesma idéia usada no leiaute do decodificador. Mais adiante isso será melhor ilustrado com o leiaute final do decodificador junto com o leiaute final de todos os 64 “Level Shifters”.

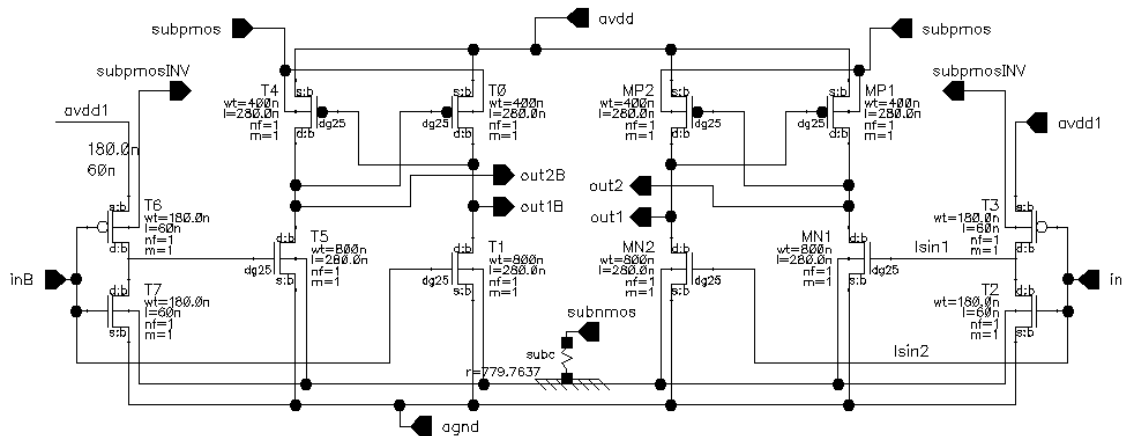


Figura 4.5: Esquemático do “Level Shifter” duplo com dois inversores (LS).

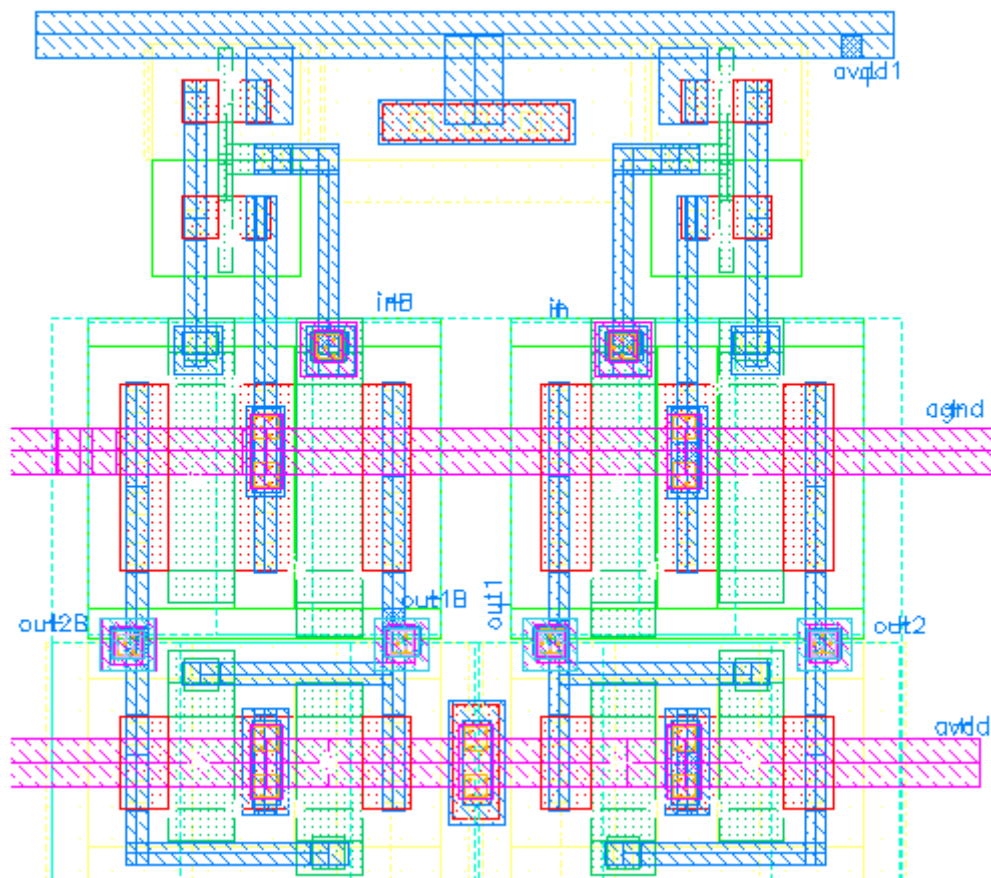


Figura 4.6: Leiaute do “Level Shifter” duplo com dois inversores (LS).

Para permitir a simulação do decodificador e dos 64 “Level Shifters”, foi desenvolvido o esquemático dos dois juntos, possibilitando teste de leiaute dos dois juntos inclusive. Na figura 4.7 pode-se observar o símbolo do decodificador instanciado e os 64 “Level Shifters” instanciados. Na figura 4.8 pode-se observar com mais detalhes as conexões.

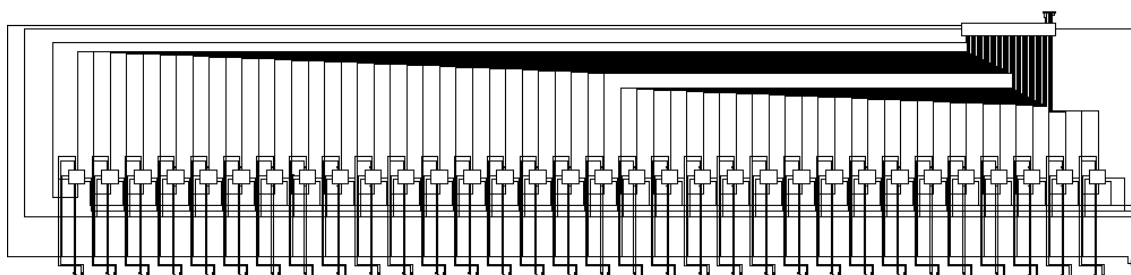


Figura 4.7: Esquemático do Decodificador e dos 64 “Level Shifters” instanciados.

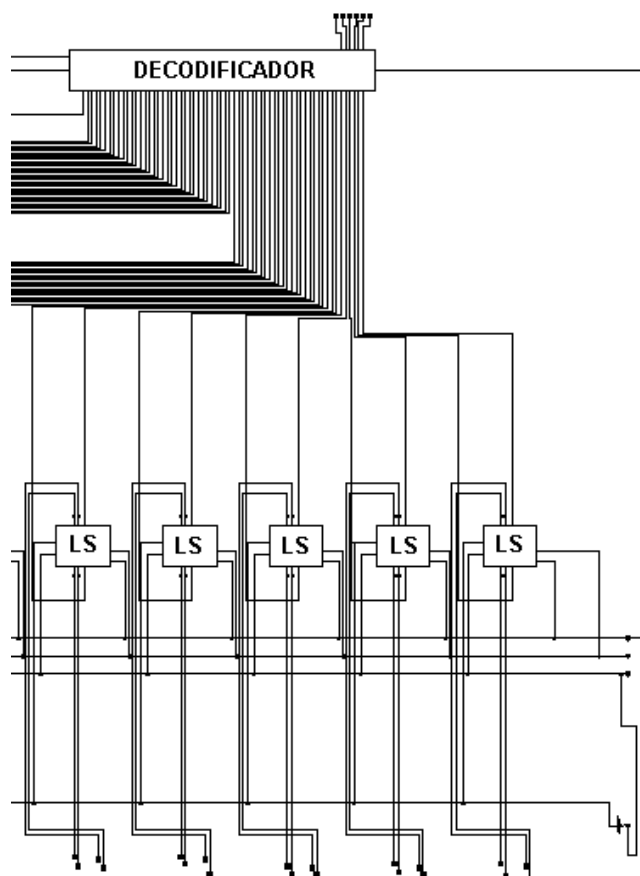


Figura 4.8: Esquemático mais detalhado do Decodificador e dos 64 “Level Shifters” (LS) instanciados.

Assim, o leiaute final do Decodificador mais o leiaute dos 64 “Level Shifters”, como podem ser observados na figura 4.9, ficou com 106 μ m de comprimento por aproximadamente 7 μ m de altura. O leiaute mais detalhado está ilustrado na figura 4.10 e 4.11



Figura 4.9: Leiaute final do Decodificador e dos 64 “Level Shifters” com os respectivos inversores (LS) instanciados.

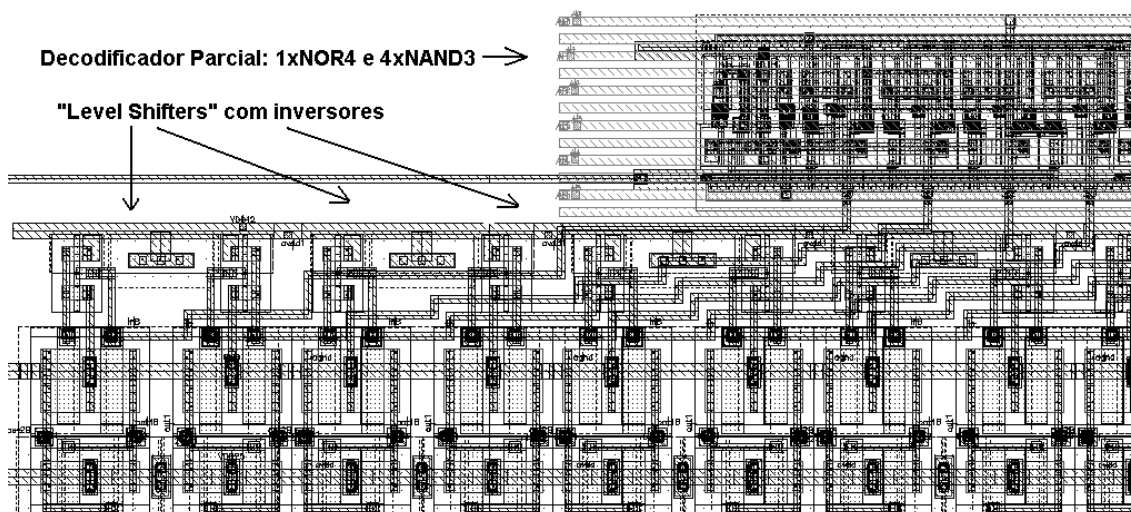


Figura 4.10: Leiaute final mais detalhado do Decodificador e dos “Level Shifters” com os respectivos inversores (LS) instanciados.

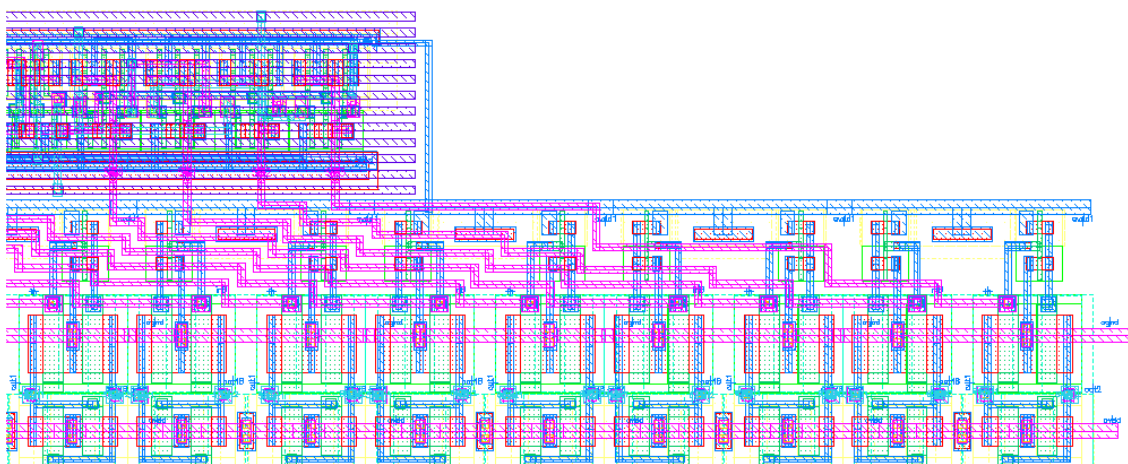


Figura 4.11: Leiaute parcial colorido e mais detalhado do Decodificador e dos “Level Shifters” com os respectivos inversores (LS) instanciados.

4.3 Implementação das Chaves CMOS TG

Conforme especificado no sub-capítulo 3.4, o circuito de polarização e acesso também é composto por chaves CMOS TG, que serão utilizadas para o acesso individual entre vários dispositivos. Assim, para a finalidade de polarização e acesso dos transistores MOSFETs pelo dreno foi implementado um par de chaves CMOS TG, comum transistores sob teste da coluna, sendo uma para o *force* e outra para o *sense*, como mostrado nas figuras 4.12 e 4.13 respectivamente. Os sinais de estímulo e medida

são provenientes do equipamento de medição e serão diretamente conectados nos pinos (PADs) reservados para isso (vd_force_pad e vd_sense_pad). Os transistores de E/S fornecidos pela tecnologia alvo (IBM 65nm) foram utilizados de maneira que aqueles que serão caminho de estímulo do *force* terão tamanho de largura (W) de $12\mu\text{m}$ para o nMOS e $24\mu\text{m}$ para o pMOS, com comprimento mínimo ($L = 300\text{nm}$), e os que serão caminho de medida do *sense* terão tamanho de largura mínimo de $450\mu\text{m}$ para o nMOS e $900\mu\text{m}$ para o pMOS, já que no caminho do *sense* não passará corrente.

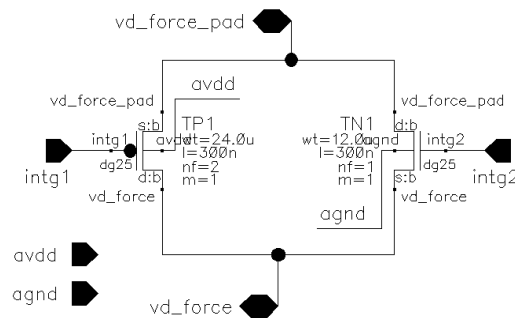


Figura 4.12: Esquemático das chaves CMOS TG do dreno para o caminho do *force*.

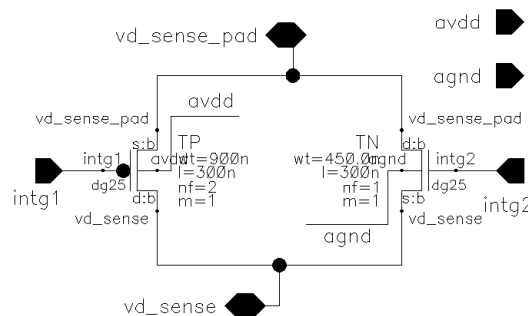


Figura 4.13: Esquemático das chaves CMOS TG do dreno para o caminho do *sense*.

Para conectar os transistores pela fonte foi implementado um par de chaves CMOS TG, comum aos transistores sob teste da linha, sendo uma para o *force* e outra para o *sense*, como mostrado nas figuras 4.14 e 4.15 respectivamente. Os sinais de estímulo e medida são provenientes do equipamento de medição e serão diretamente conectados nos pinos (PADs) reservados para isso (vs_force_pad e vs_sense_pad). Os transistores de E/S fornecidos pela tecnologia alvo (IBM 65nm) foram utilizados de maneira que aqueles que serão caminho de estímulo do *force* terão tamanho de largura (W) de $12\mu\text{m}$ para o nMOS e $24\mu\text{m}$ para o pMOS, com comprimento mínimo ($L = 300\text{nm}$), e os que serão caminho de medida do *sense* terão tamanho de largura mínimo de $450\mu\text{m}$ para o nMOS e $900\mu\text{m}$ para o pMOS, já que no caminho do *sense* não passará corrente.

Para habilitar os transistores pela porta foi implementada uma chave CMOS TG, comum aos transistores sob teste da linha, com um transistor de passagem para o “Clamp” (AGARWAL *et al.*, 2006) que servirá para desabilitar o transistor sob teste, quando não estiver mais selecionado. Esta estrutura está mostrada na figura 4.16. Os sinais de estímulo e “Clamp” são provenientes do equipamento de medição e de gerador de tensão externa, respectivamente, sendo diretamente conectados nos pinos (PADs) reservados para isso (vg_pad e vclamp_pad). Os transistores de E/S fornecidos pela

tecnologia alvo (IBM 65nm) foram utilizados de maneira que aqueles que serão caminho de estímulo do gate terão tamanho de largura (W) de 450nm para o nMOS e 900nm para o pMOS, com comprimento mínimo (L = 300nm), e o que será usado para o “Clamp” (nMOS) terá tamanho de largura mínimo de 450nm, com comprimento mínimo (L = 300nm). Para o sinal de estímulo na porta não passará corrente, por isso as dimensões mínimas, o que economizará em consumo de área.

As chaves CMOS TG são alimentadas com 2,5V por utilizarem transistores de entrada e saída (E/S), possuindo óxido mais espesso, menor resistência e menor corrente de fuga, etc.

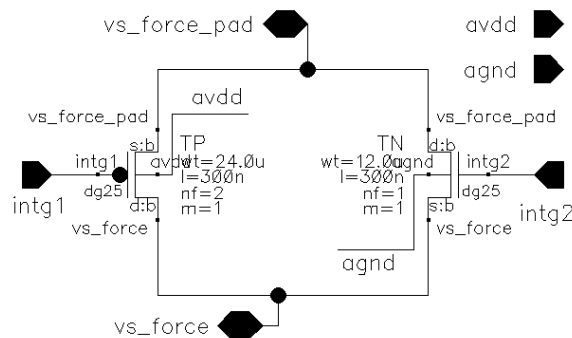


Figura 4.14: Esquemático das chaves CMOS TG da fonte para o caminho do *force*.

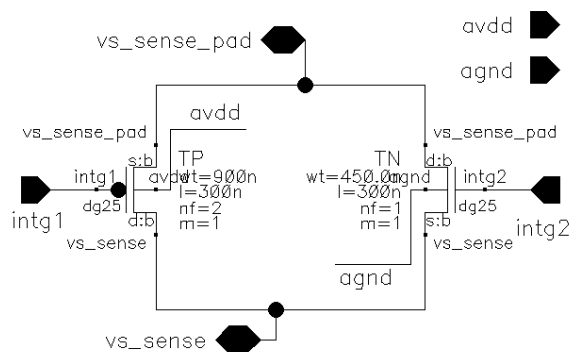


Figura 4.15: Esquemático das chaves CMOS TG da fonte para o caminho do *sense*.

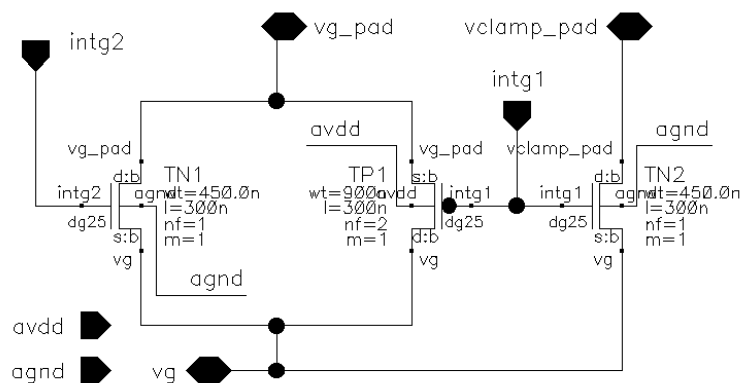


Figura 4.16: Esquemático da chave CMOS TG da porta com “Clamp”.

O leiaute das chaves CMOS TG também será otimizado. Com transistores “entrelaçados”, será utilizada a técnica de “fingers” (4 no pMOS e 2 no nMOS). Será mantido o comprimento de canal mínimo ($L = 300\text{nm}$) e o dimensionamento da largura (W): $W_P = 24\mu\text{m}$ para o pMOS e $W_N = 12\mu\text{m}$ para o nMOS. Na figura 4.17 é possível observar com mais detalhes o leiaute deste circuito.

Isso permitirá o desenvolvimento de um leiaute bem compacto e otimizado. O tamanho final aproximado será de $7\mu\text{m}$ de altura por $4,6\mu\text{m}$ de largura.

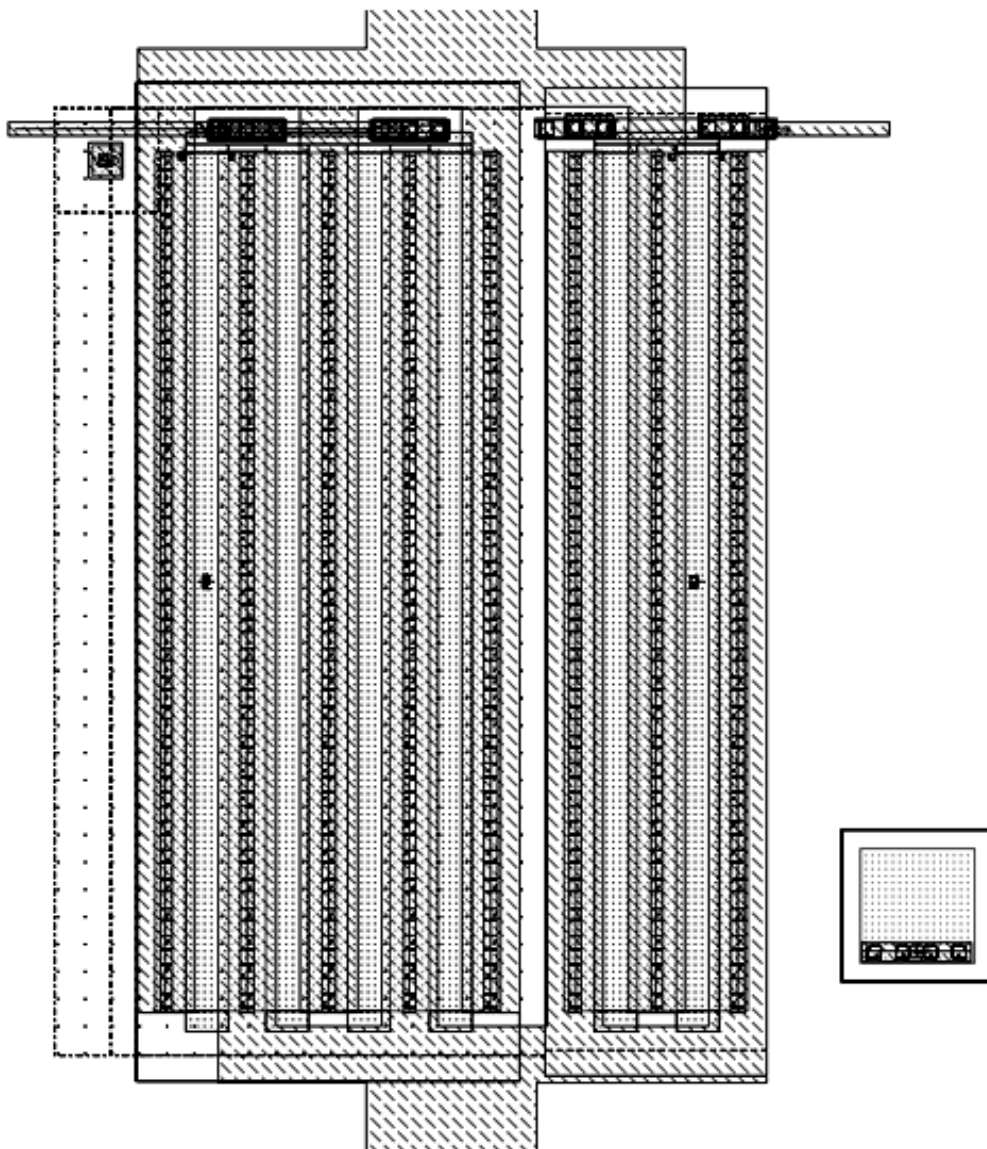


Figura 4.17: Leiaute da chave CMOS TG.

4.4 Visão Geral da Implementação do Sistema

Estes esquemáticos das chaves CMOS TG para polarização e acesso foram instanciados para simulação e teste (“test bench”). Assim, pode-se observar uma visão

geral simplificada com 2 colunas e 2 linhas de como será a estrutura na figura 4.18 abaixo. Assim, tem-se quatro MOSFETs sob teste (nMOS e pMOS com maior W/L e menor W/L), quatro MOSFETs com polarização convencional para comparação (nMOS e pMOS com maior W/L e menor W/L); dois decodificadores, inversores e “Level Shifters”, fontes de alimentação e Amplificadores Operacionais (AMP OP) do equipamento de estímulo e medida e chaves CMOS TG para *force-sense* do dreno e fonte assim como chave CMOS TG da porta com “Clamp”. Na prática, serão 64 colunas e 64 linhas, sendo 8 linhas para os MOSFETs tipo pMOS e 8 linhas para os MOSFETs tipo nMOS (16 linhas para a matriz). As outras linhas servirão para endereçamento de outros circuitos que fogem ao escopo deste trabalho.

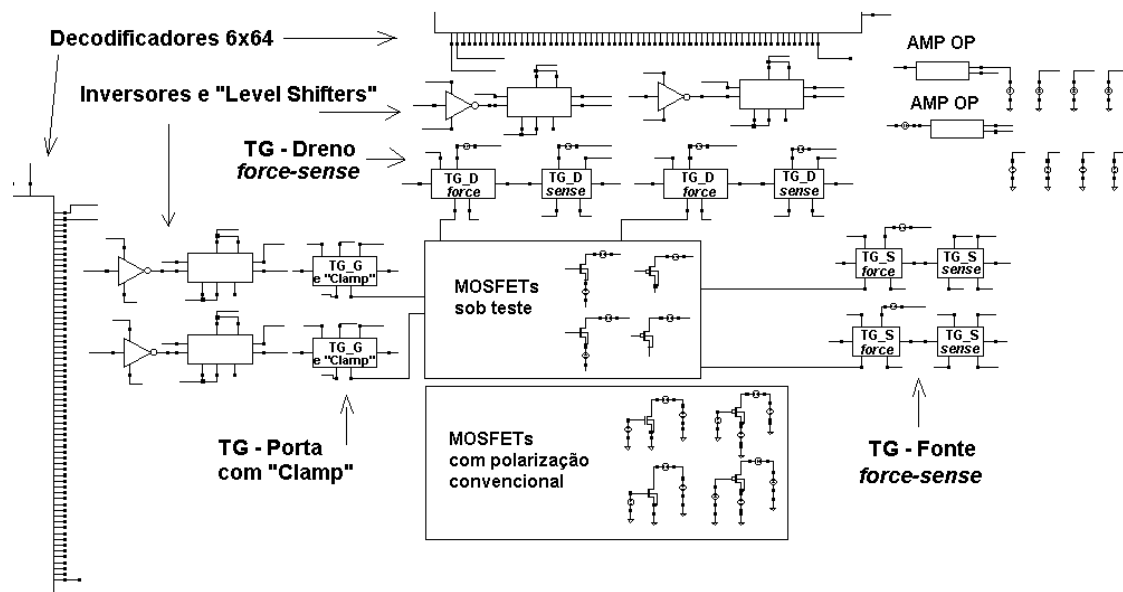


Figura 4.18: Esquemático da visão geral simplificada para simulação de todo o sistema.

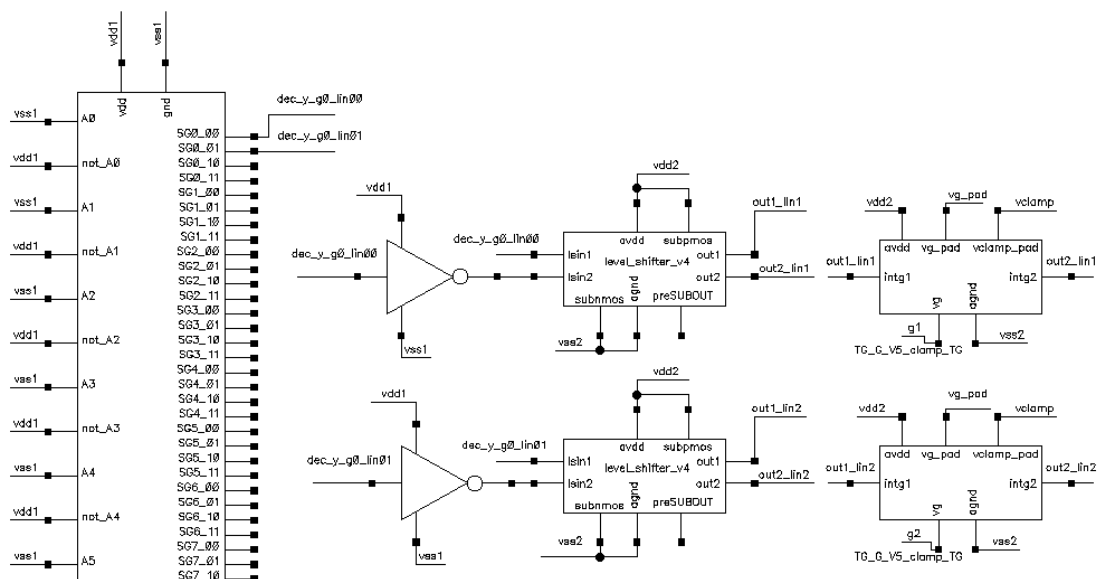


Figura 4.19: Decodificador 6x64 para linhas; inversores, “Level Shifters” e chaves CMOS TG para a porta com “Clamp”.

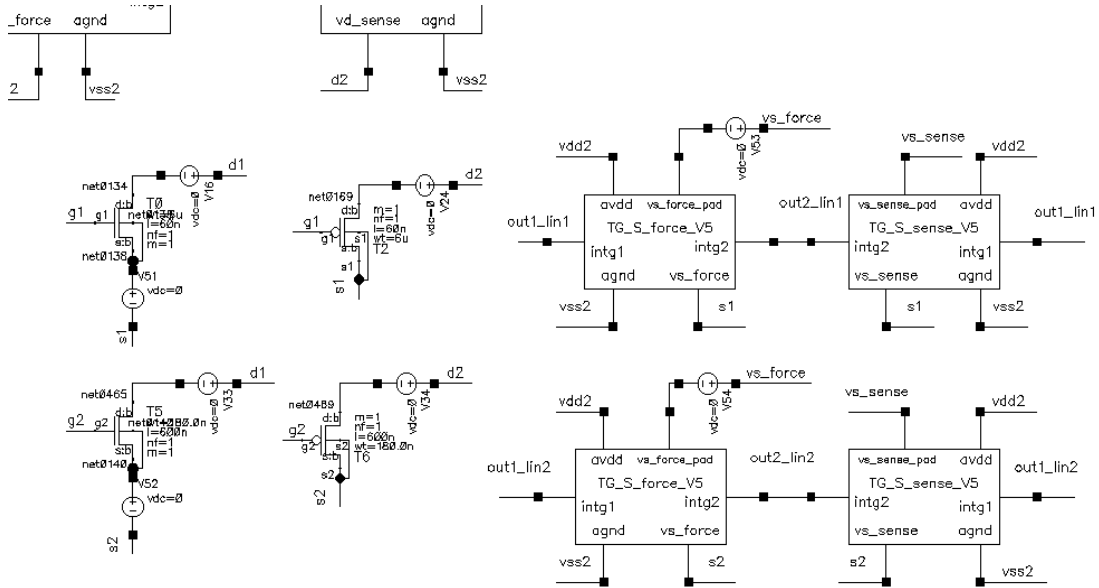


Figura 4.20: MOSFETs sob teste dispostos em duas linhas e duas colunas e chaves CMOS TG para *force-sense* da fonte para as duas linhas.

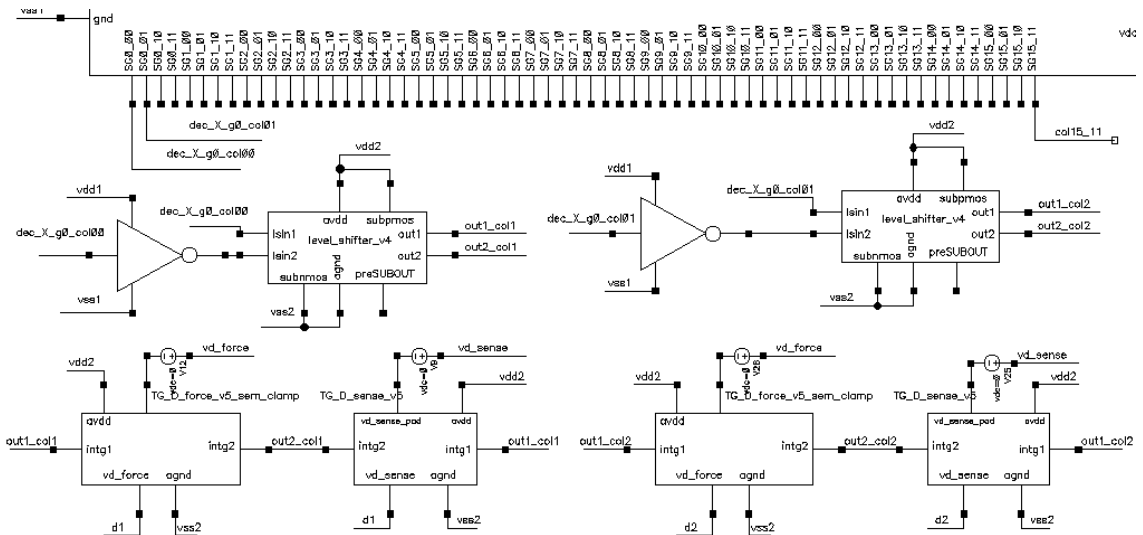


Figura 4.21: Inversores e “Level Shifters” com chaves CMOS TG para *force-sense* do dreno para as duas colunas.

Na figura 4.19 é possível observar de maneira mais detalhada o Decodificador 6X64 para linhas; os inversores e os “Level Shifters” para as linhas e as chaves CMOS TG para a porta com “Clamp”. Na figura 4.20 é mostrado os MOSFETs sob teste dispostos em duas linhas e duas colunas e dois pares de chaves CMOS TG para *force-sense* da fonte para as duas linhas. Na figura 4.21 é mostrado os inversores e “Level Shifters” para as colunas e os dois pares de chaves CMOS TG para *force-sense* do dreno para as duas colunas.

Foram dispostos quatro MOSFETs sob teste (nMOS e pMOS), sendo que na primeira linha tem-se a maior relação de dimensionamento ($W/L = 6\mu/60n$) e que,

portanto, passará mais corrente, assim como na segunda linha tem-se os de menor relação de dimensionamento ($W/L = 180\text{nm}/600\text{nm}$), e que, portanto, passará menor corrente. Na figura 4.22 é possível observar os quatro MOSFETs sob teste (nMOS e pMOS), assim como um par de chaves CMOS TG para *force-sense* do dreno acima e dois pares de chaves CMOS TG da porta.

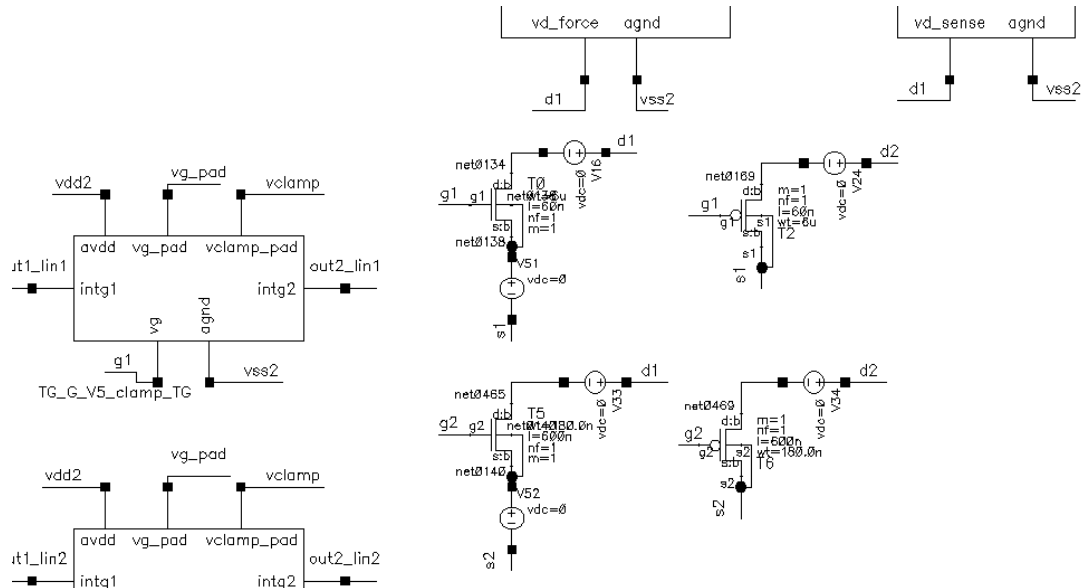


Figura 4.22: Matriz simplificada com quatro MOSFETs sob teste (nMOS e pMOS) e com um par de chaves CMOS TG para *force-sense* do dreno acima e dois pares de chaves CMOS TG da porta.

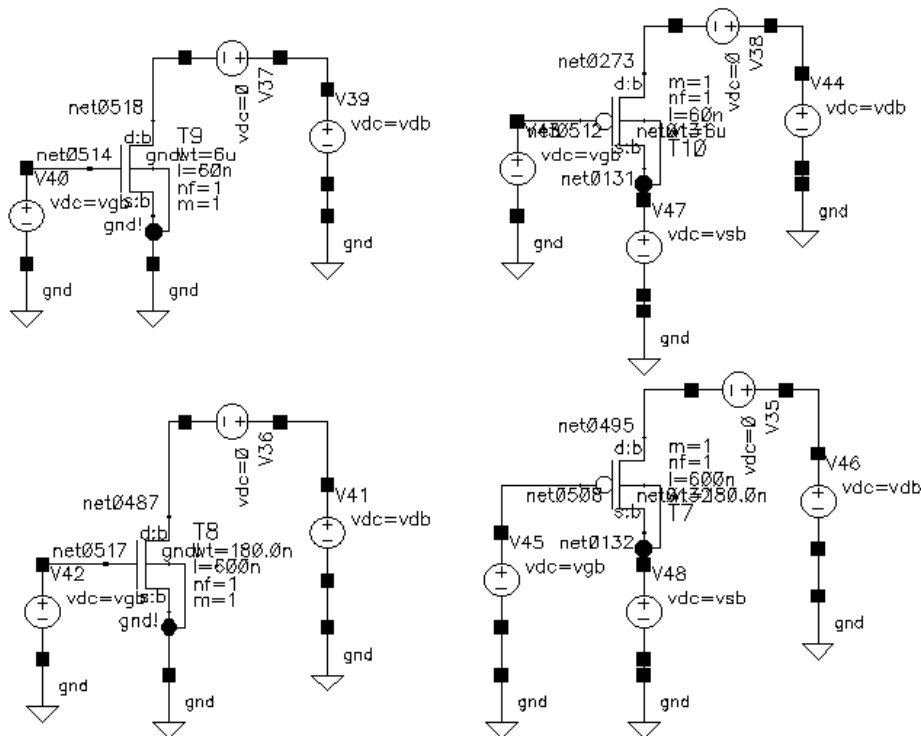


Figura 4.23: Matriz simplificada com quatro MOSFETs (nMOS e pMOS) em polarização convencional para simulação de comparação.

Para realizar uma simulação mais realista e comparativa, foram dispostos quatro MOSFETs com polarização convencional, sem conexão com os circuitos de seleção, polarização e acesso, tendo as mesmas características dos MOSFETs sob teste (nMOS e pMOS): na primeira linha tem-se a maior relação de dimensionamento ($W/L = 6\mu/60n$), assim como na segunda linha tem-se os de menor relação de dimensionamento ($W/L = 180nm/600nm$). Na figura 4.23, apresentada antes, é possível observar os quatro MOSFETs com polarização convencional para simulação e comparação.

Também foram considerados os amplificadores operacionais do equipamento de medição, o qual realizará a técnica de medida *Kelvin (force-sense)*. Na figura 4.24 abaixo é possível observar os amplificadores assim como as fontes de alimentação ($vdd1 = 1,2V$, $vss1 = 0V$, $vdd2 = 2,5V$ e $vss2 = 0V$) e dos pinos de E/S dos sinais de estímulo usadas para simulação (vs_pad para a fonte, vg_pad para a porta, vd_pad para dreno e $vclamp$ para o “Clamp”). Na figura 4.25 é mostrada a estrutura interna do amplificador operacional para simulação mais real.

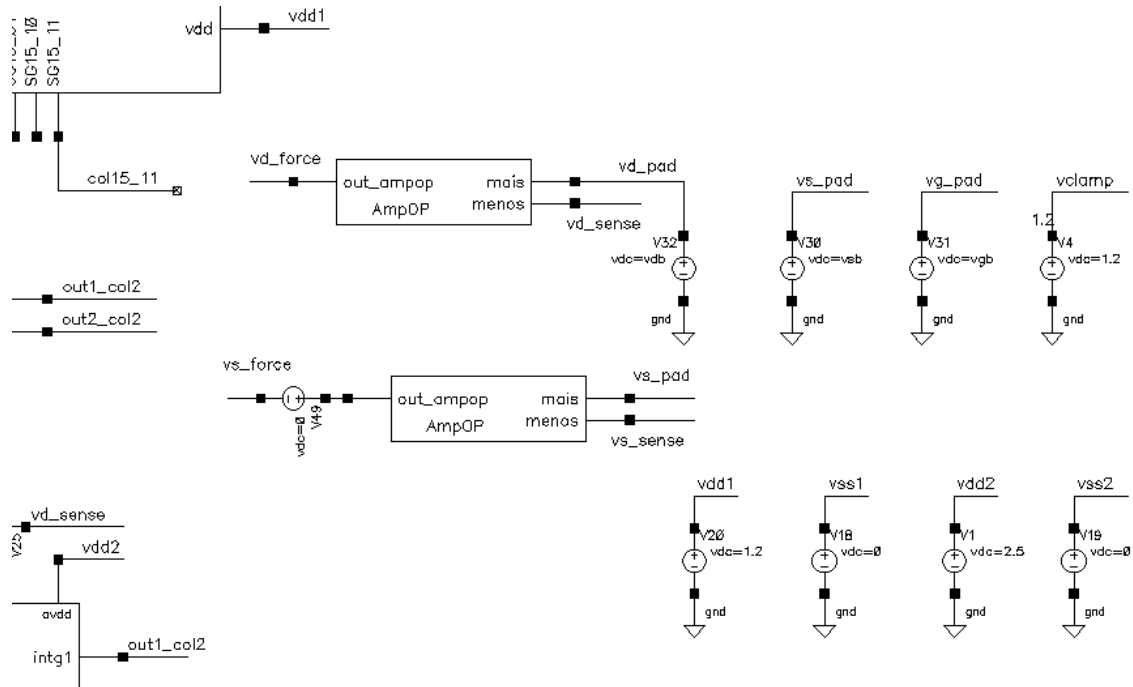


Figura 4.24: Amplificadores operacionais, pinos de E/S e fontes de alimentação.

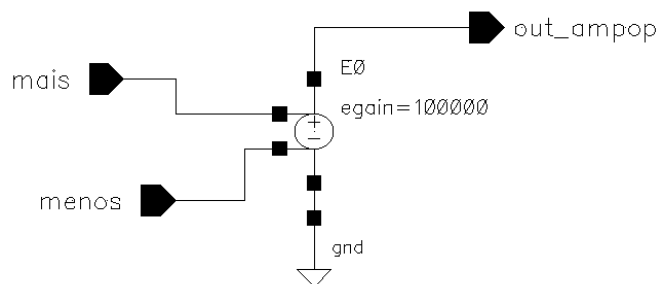


Figura 4.25: Esquemático interno do amplificador operacional.

5 AVALIAÇÃO DO PROJETO POR SIMULAÇÃO ELÉTRICA

O presente capítulo tem o objetivo de apresentar a etapa de teste, avaliação e/ou validação do trabalho realizado, baseando-se em resultados de simulação, comparação com trabalhos correlatos, análise final ou parcial do projeto e perspectiva de trabalhos futuros ou aprimoramentos.

As ferramentas utilizadas para esta atividade de teste e avaliação foram em grande parte licenciadas pela CADENCE Design Systems Inc., versão IC 6.1.3.500.7, e pela Mentor Graphics Co.

Para o desenvolvimento do esquemático e do desenho do leiaute dos circuitos foram utilizados respectivamente o Virtuoso[®] Schematic Editor e o Virtuoso[®] Layout Suite, ambos da Cadence[®]. Para a simulação dos circuitos, foi utilizado o simulador com núcleo Spectre por meio da ferramenta Virtuoso[®] Analog Design Environment, ambos da Cadence[®]. Para avaliação, verificação e avaliação das regras de leiaute (“Design Rules Check” - DRC) foi utilizada a ferramenta Calibre[®] da Mentor Graphics[®], versão v2008.4_37.26. Entretanto, para verificação e comparação da topologia física com o leiaute do circuito (“Layout vs. Schematic” - LVS) e para obter o circuito extraído com resistências e capacitâncias parasitas foi utilizada a ferramenta Assura[™] Physical Verification, versão av3.2.

Tudo isso se deve ao fato de todo o projeto do chip teste estar utilizando estas mesmas ferramentas, entre outras para validação pós-leiaute.

5.1 Simulação do Decodificador 6X64 de 2 Estágios

No capítulo 3 (sub-capítulo 3.1), a especificação do decodificador foi bem detalhada. Na figura 5.1 abaixo é mostrada a simulação das entradas (A0, A1, A2, A3, A4 e A5) e na figura 5.2, a simulação das combinações das possíveis saídas de maneira simplificada. A simulação dos sinais das portas lógicas NOR4, assim como a simulação dos sinais de saída das 16 portas lógicas NOR4 (pré-decodificador 4X16) e dos sinais de saída do segundo estágio (decodificador 2X4 formado por portas NAND3) foram omitidos aqui. Apesar disso, todas as etapas foram simuladas por estratégia de projeto.

Assim, observando-se as figuras 5.1 e 5.2, pode-se concluir que o decodificador funciona da maneira esperada. Na figura 5.2, todas as 16 saídas “Gi” do pré-decodificador (do G0 até o G15) estão mostradas conforme combinação dos sinais de entrada. Os sinais de saída (amostras de algumas saídas dos Grupos SGi_xx - SG0, SG1 e SG15) também estão mostrados. Ou seja, quando os sinais do “Gi” vão para o nível lógico “1” (1,2V), as saídas SGi_xx vão para o nível lógico “0” (0V). Por exemplo,

quando o G0 está com 1,2V, SG0_00, SG0_01, SG0_10 e SG0_11 vão para 0V, conforme combinação dos sinais de entrada.

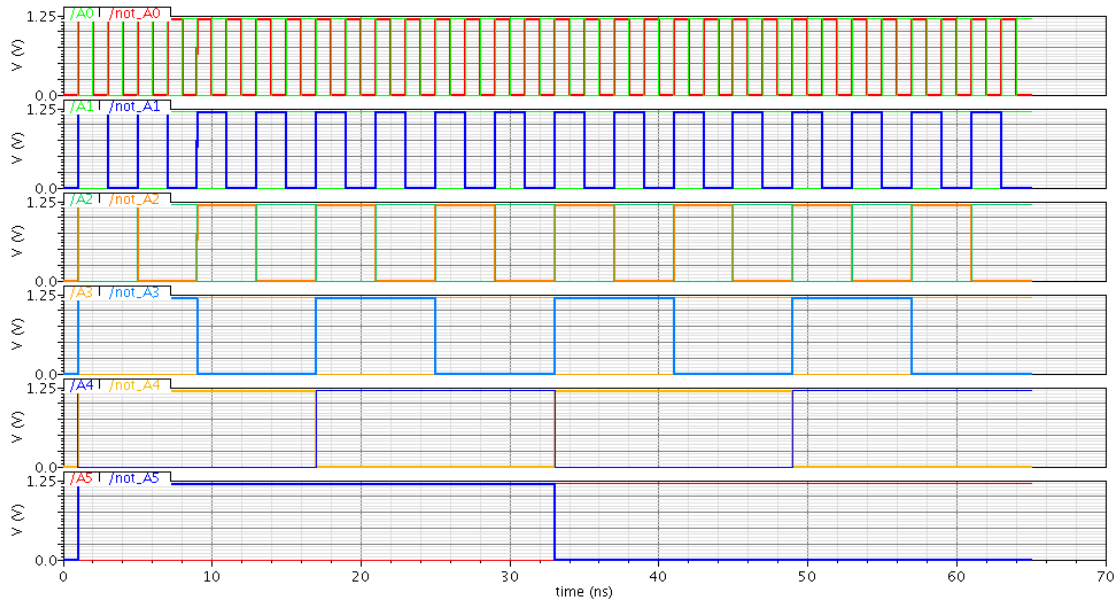


Figura 5.1: Simulação dos sinais de entrada do decodificador 6X64 de 2 estágios.

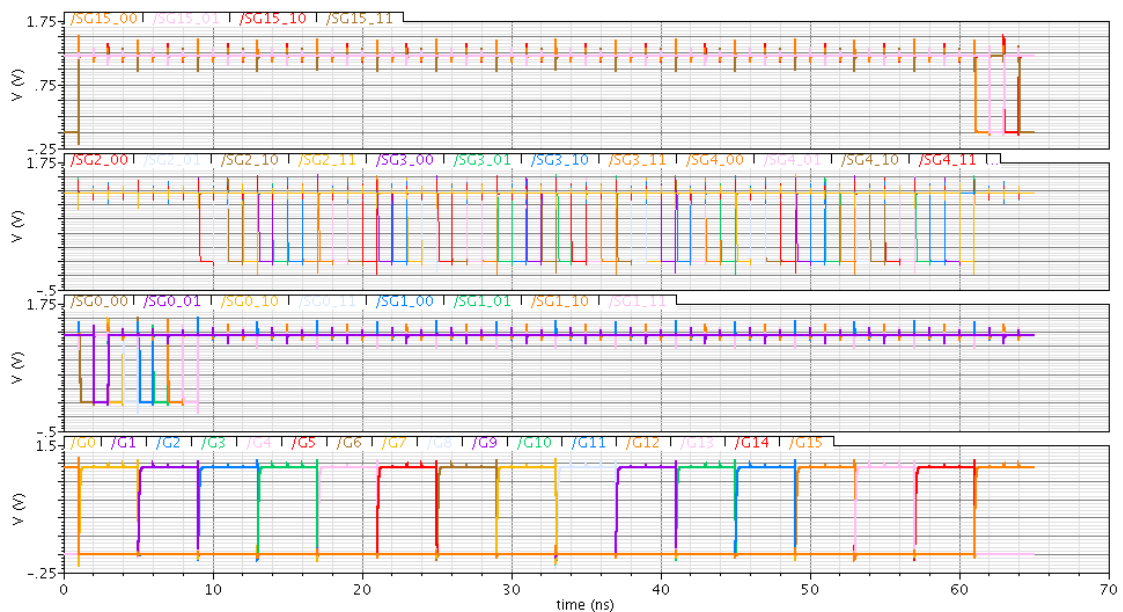


Figura 5.2: Simulação dos sinais de saída do decodificador 6X64 de 2 estágios.

5.2 Teste e Avaliação do Esquemático e do Leiaute do “Level-Shifter”

Com a necessidade de elevarmos a tensão do sinal para habilitar os transistores de E/S das chaves CMOS TG para a porta dos mesmos, a partir do sinal do decodificador, foi implementado o circuito “Level-Shifter”. Foi realizado um estudo bibliográfico, o

qual está descrito no capítulo 2 (sub-capítulos 2.4 e 2.5) para justificar a escolha da topologia que está sendo utilizada e para embasar o desenvolvimento do mesmo. Em (KHAN *et al.*, 2006) foi encontrado um circuito bastante confiável.

Este circuito foi projetado e simulado. Como pode-se observar na figura 5.3, são necessários 7 transistores para sua implementação. O transistor “mc” foi implementado com $W = 10\mu\text{m}$ e $L = 5,33\mu\text{m}$. Na simulação apresentada na figura 5.4, constata-se que este circuito teve um ótimo comportamento para os valores de zero lógico na saídas “out” e “outb” que são respectivamente $1,013\text{nV} \sim 1,292\text{nV}$, assim como para o valor do um lógico (2,5V) nas mesmas saídas.

Entretanto, a principal restrição do projeto é o consumo em área. Este circuito, comparado com o “Level Shifter” convencional, não apresentará nenhuma vantagem em relação à área consumida, frente ao ganho em desempenho na representação do zero lógico. Vale lembrar que este circuito será replicado, sendo necessárias 64 células do mesmo para colunas e 64 para linhas. Assim, a diferença de valores ficará em torno de 15nV , como será observado na próxima simulação, o que não será significativo para justificar a escolha da topologia da figura 5.3.

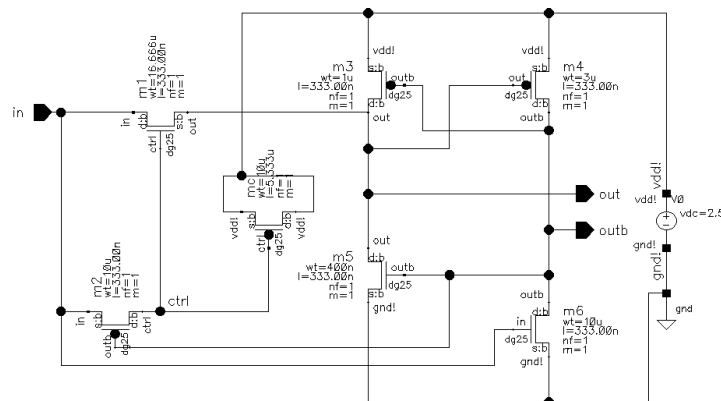


Figura 5.3: Circuito “Level Shifter” proposto por (KHAN *et al.*, 2006).

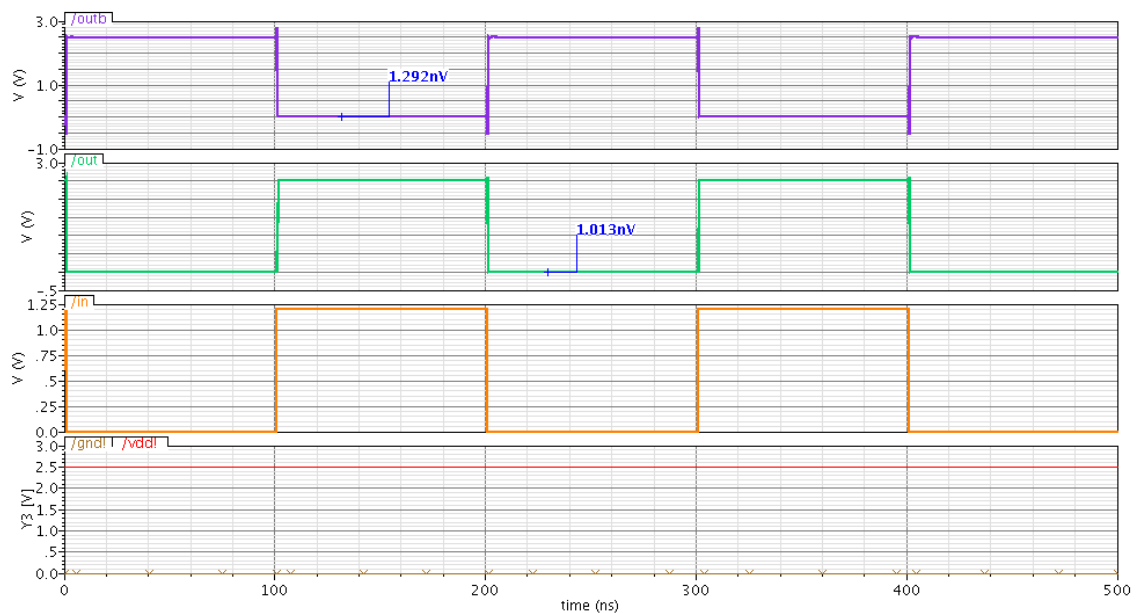


Figura 5.4: Simulação do circuito “Level Shifter” proposto por (KHAN *et al.*, 2006).

Assim, além dessa opção, foi implementado, simulado e escolhido o “Level Shifter” convencional, denominado na literatura da área de microeletrônica (UYEMURA, 1999) como “*Cascode Voltage Switch Logic*” (CVSL). Também foi encontrado em trabalhos correlatos apenas com o nome de “Level Shifter” (KHAN *et al.*, 2006), (HASS *et al.*, 2000), entre outras patentes publicadas (CHEN *et al.*, 1990) e (LEE, 1992).

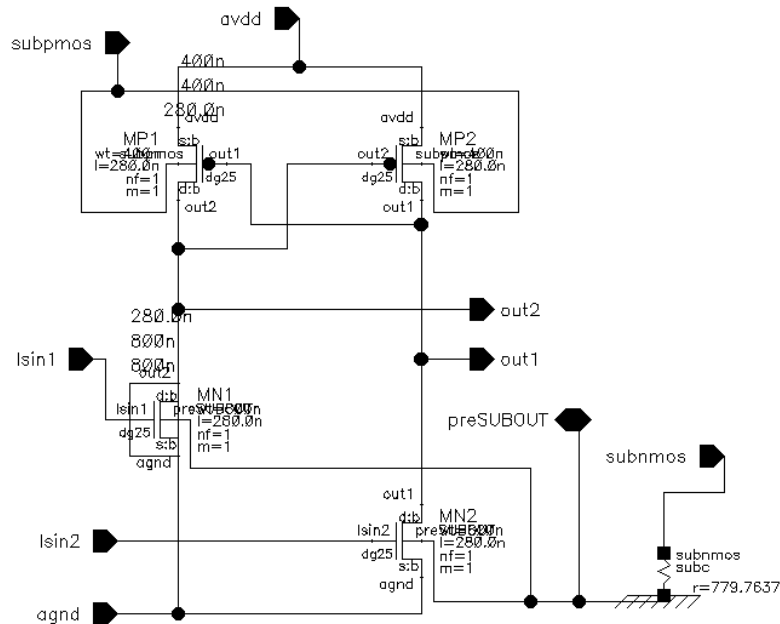


Figura 5.5: “Level Shifter” convencional sem o inversor (UYEMURA, 1999).

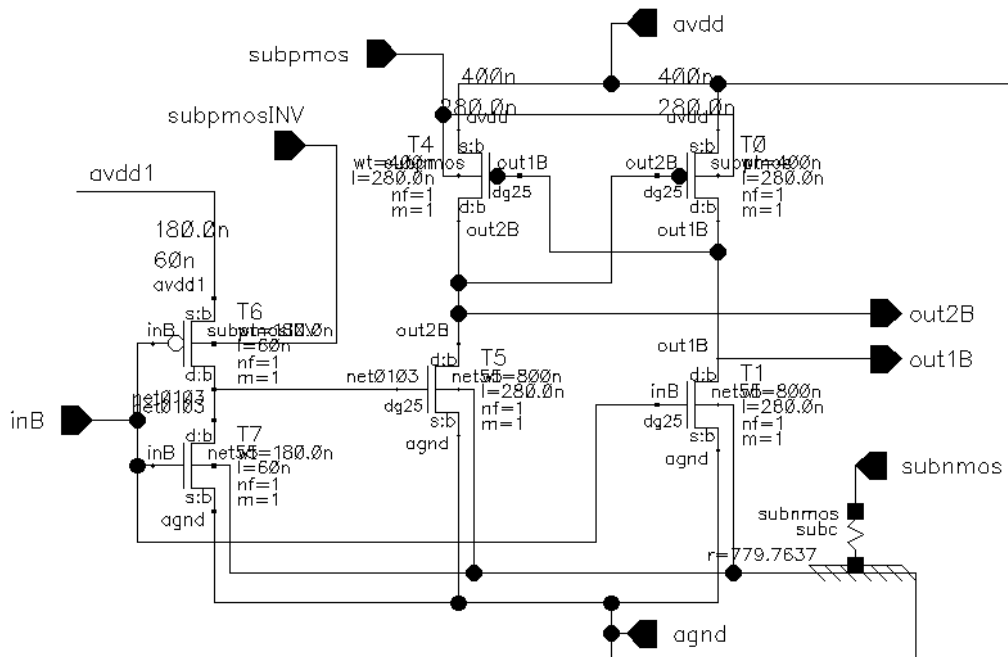


Figura 5.6: “Level Shifter” convencional com inversor (UYEMURA, 1999).

A figura do esquemático dessa versão pode ser observada na figura 5.5. Na figura 5.6 pode-se observar o mesmo circuito com o circuito inversor. O inversor foi implementado com dimensões mínimas, já que apenas envia e/ou inverte o sinal do decodificador para as portas dos transistores nMOS (rede “pull-down”).

Para a avaliação do circuito da figura 5.6, foram simulados o esquemático do circuito e o leiaute do circuito (circuito extraído). Os resultados de simulação estão nas figuras 5.8 e 5.9 respectivamente. O leiaute que foi extraído está ilustrado no capítulo 4, na figura 4.6. Para isso, foi utilizado o esquemático de teste da figura 5.7, com as saídas conectadas nas portas de transistores semelhantes aos usados nas chaves CMOS TG. Nos resultados de simulação das figuras 5.8 e 5.9, é possível comparar que o circuito esquemático teve o valor do zero lógico entre 15,23nV e 15,34nV e o circuito extraído, entre 15,35nV e 15,53nV. Assim, o leiaute ficou dentro do funcionamento esperado.

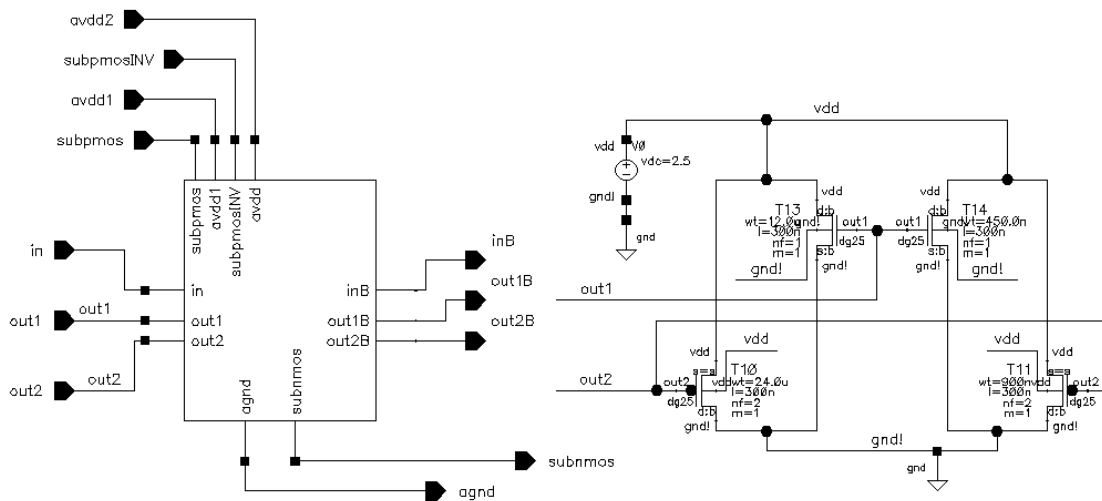


Figura 5.7: Esquema de teste para simular e comparar o esquemático com o extraído.

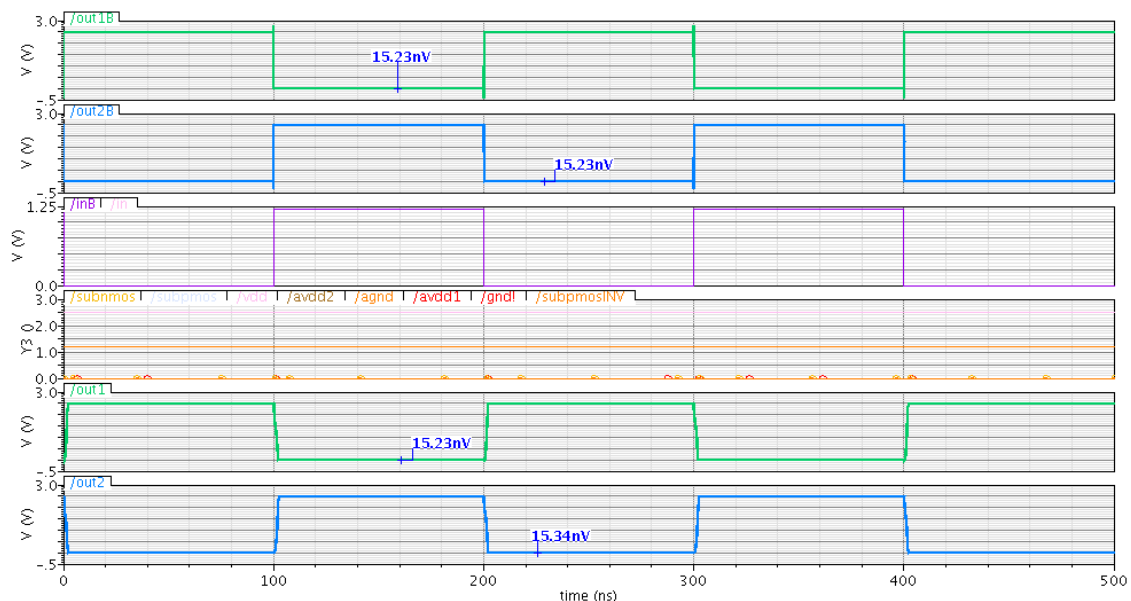


Figura 5.8: Simulação do esquemático do “Level Shifter”.

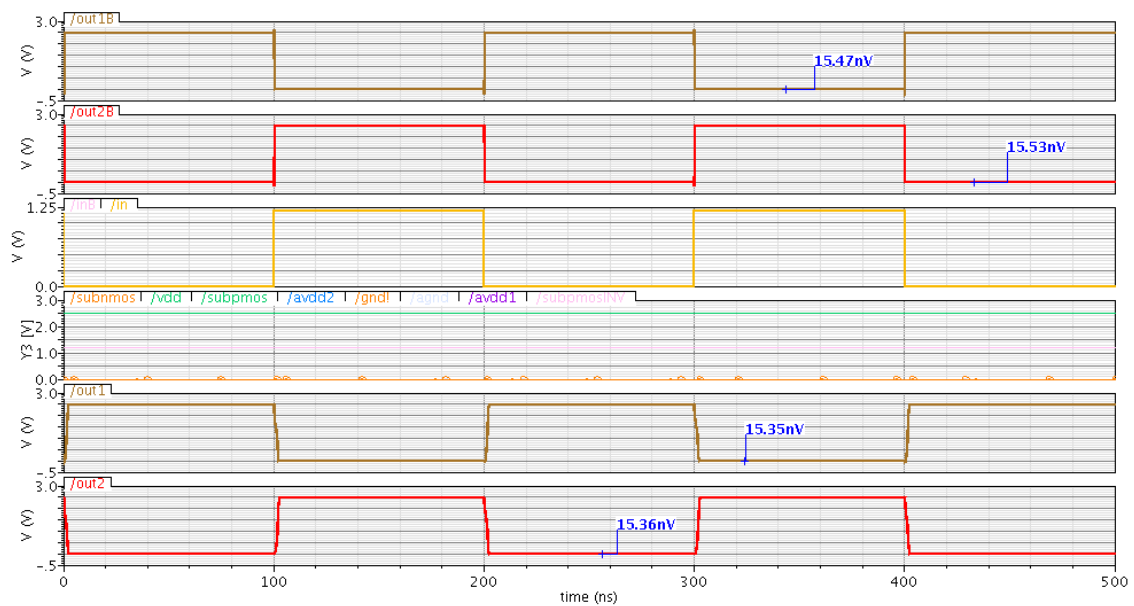


Figura 5.9: Simulação do leiaute do “Level Shifter” (circuito extraído).

5.3 Resultados de Simulação Pós-Leiaute do Decodificador 6X64 de Dois Estágios e do “Level Shifter”

Como apresentado no capítulo 4 (sub-capítulo 4.2) por meio das figuras 4.9, 4.10 e 4.11, o leiaute do Decodificador e do “Level Shifter” foram conectados, sendo que o contato de substrado do decodificador será compartilhado com os 64 “Level Shifters”.

Primeiramente, foi utilizada exhaustivamente a ferramenta Calibre® para o projeto do leiaute com verificação das regras de leiaute da tecnologia (DRC). Na união dos dois leiautes (decodificador e “Level Shifter”) isto também teve que ser realizado. Na figura 5.10 é mostrada a tela de simulação desta etapa com praticamente todas as regras verificadas. Apenas três delas persistem, mas não são erros fatais.

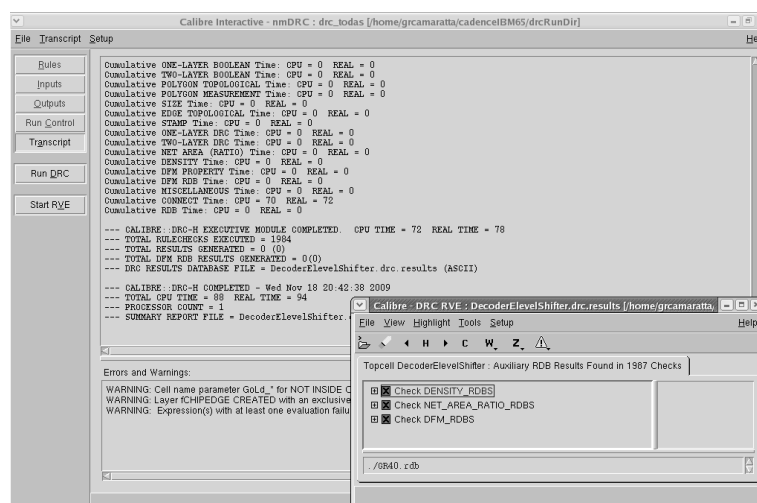


Figura 5.10: Verificação de regras de leiaute (DRC) do decodificador e “Level Shifter”.

O relatório de andamento com o resumo da verificação é mostrado abaixo de maneira simplificada:

```

MGC_HOME = /tools/mentor/calibre2/CalibrenmDRC/ixl_cal_2008.4_37.26
$MGC_HOME/bin/calibre -drc -hier -nowait
/home/grcamaratta/cadenceIBM65/drcRunDir/_cmos10lpe.drc.cal_

// Calibre v2008.4_37.26    Wed Jan 7 15:21:18 PST 2009
// Litho Libraries v2008.4_37.26    Wed Jan 7 15:19:29 PST 2009
//
//          Copyright Mentor Graphics Corporation 1996-2008
//          All Rights Reserved.
//          THIS WORK CONTAINS TRADE SECRET AND PROPRIETARY INFORMATION
//          WHICH IS THE PROPERTY OF MENTOR GRAPHICS CORPORATION
//          OR ITS LICENSORS AND IS SUBJECT TO LICENSE TERMS.
//
// Mentor Graphics software executing under i386 Linux
//
// Running on Linux galileu 2.6.9-82.ELsmp #1 SMP Wed Feb 25 12:41:19
EST 2009 x86_64 glibc 2.3.4/NPTL 2.3.4
--- CALIBRE::DRC-H - Wed Nov 18 20:41:03 2009

-----
-----
-----
-----
-----
-----
-----
-----
-----
-----
-----
-----

--- RULE FILE =
/home/grcamaratta/cadenceIBM65/drcRunDir/_cmos10lpe.drc.cal_

//
// Rule file generated on Wed Nov 18 20:41:01 BRST 2009
//   by Calibre Interactive - DRC (v2008.4_37.26)
//
//   *** PLEASE DO NOT MODIFY THIS FILE ***
//
//
//

LAYOUT PATH "DecoderElevelShifter.calibre.db"
LAYOUT PRIMARY "DecoderElevelShifter"
LAYOUT SYSTEM GDSII

    DRC RESULTS DATABASE "DecoderElevelShifter.drc.results" ASCII

...

--- CALIBRE::DRC-H EXECUTIVE MODULE COMPLETED.  CPU TIME = 72  REAL
TIME = 78
--- TOTAL RULECHECKS EXECUTED = 1984
--- TOTAL RESULTS GENERATED = 0 (0)
--- TOTAL DFM RDB RESULTS GENERATED = 0(0)
    --- DRC RESULTS DATABASE FILE = DecoderElevelShifter.drc.results
(ASCII)

```

O arquivo de saída será apresentado a seguir de maneira simplificada:

```

=====
===== CALIBRE::DRC-H SUMMARY REPORT =====
Execution Date/Time:      Wed Nov 18 20:41:03 2009
Calibre Version:         v2008.4_37.26      Wed Jan 7 15:21:18 PST
2009
Rule File Pathname:
/home/grcamaratta/cadenceIBM65/drcRunDir/_cmos10lpe.drc.cal_
Rule File Title:
Layout System:           GDS
Layout Path(s):          DecoderElevelShifter.calibre.db
Layout Primary Cell:     DecoderElevelShifter
Current Directory:       /home/grcamaratta/cadenceIBM65/drcRunDir
User Name:               grcamaratta
Maximum Results/RuleCheck: 1000
Maximum Result Vertices: 199
DRC Results Database:    DecoderElevelShifter.drc.results (ASCII)
Layout Depth:           ALL
Text Depth:             PRIMARY
Summary Report File:     DecoderElevelShifter.drc.summary (REPLACE)
Geometry Flagging:      ACUTE = YES  SKEW = YES  ANGLED = NO
OFFGRID = YES
                                NONSIMPLE POLYGON = YES  NONSIMPLE PATH =
YES
Excluded Cells:
CheckText Mapping:       COMMENT TEXT + RULE FILE INFORMATION
Layers:                  MEMORY-BASED
Keep Empty Checks:       YES
-----
...
-----
--- SUMMARY
---
TOTAL CPU Time:          88
TOTAL REAL Time:        94
TOTAL Original Layer Geometries: 2173 (28602)
TOTAL DRC RuleChecks Executed: 1984
TOTAL DRC Results Generated: 0 (0)
TOTAL DFM RDB Results Generated: 0(0)

```

Assim, pode-se observar que esta etapa foi bem sucedida, possibilitando a continuação do fluxo do projeto.

Após a etapa de verificação das regras de leiaute, foi utilizada a ferramenta Assura para comparação do circuito esquemático com o leiaute (LVS). Na figura 5.11 é apresentado o resultado bem sucedido desta etapa.



Figura 5.11: Resultado da comparação entre esquemático e leiaute.

Em seguida, é apresentado o relatório de andamento da comparação de maneira simplificada:

```

Assura (tm) Physical Verification Version
av3.2:Production:dfII6.1.3:IC6.1.3.500.7
Release 3.2_USR2_HF11

Copyright (c) Cadence Design Systems. All rights reserved.
@(#) $CDS: assura version av3.2:Production:dfII6.1.3:IC6.1.3.500.7
06/29/2009 05:57 (sjlin84) $
sub-version 3.2_USR2_HF11, integ signature 2009-06-29-0444

run on galileu from
/tools/cadence/ASSURA32/ASSURA613/tools.lnx86/assura/bin/32bit/assura
on Wed Nov 18 21:38:12 2009

Starting /tools/cadence/ASSURA32/ASSURA613/tools/assura/bin/aveng
/home/grcamaratta/cadenceIBM65/DecoderElevelShifter.rsf -exec1 -LVS -
cdslib /home/grcamaratta/cadenceIBM65/cds.lib -libdefs
/home/grcamaratta/cadenceIBM65/lib.defs
@(#) $CDS: aveng version av3.2:Production:dfII6.1.3:IC6.1.3.500.7
06/29/2009 05:57 (sjlin84) $
sub-version 3.2_USR2_HF11, integ signature 2009-06-29-0444

```

run on galileu from
 /tools/cadence/ASSURA32/ASSURA613/tools.lnx86/assura/bin/32bit/aveng
 on Wed Nov 18 21:38:12 2009

```

Summary Report: DecoderElevelShifter.sum
RSF          :
/home/grcamaratta/cadenceIBM65/DecoderElevelShifter.rsf
Library Name : libGiovano
CDSLIB Path  : "/home/grcamaratta/cadenceIBM65/cds.lib"
LIBDEFS Path : "/home/grcamaratta/cadenceIBM65/lib.defs"
Cell Name    : DecoderElevelShifter
View Name    : layout
Rules File   :
/home/DK/IBM/65nm/IBM_PDK/cmos10lpe/V1.4.0.0IBM/Assura/LVS/extract5_01
_00_01_LD.rul
Options      : -execl -LVS -cdslib
/home/grcamaratta/cadenceIBM65/cds.lib -libdefs
/home/grcamaratta/cadenceIBM65/lib.defs
Work Directory: .
Operating Mode: Legacy Mode is Off
               Increased use of dataReduction is On
               New hierarchical select is On

```

Starting dfIIToVdb...

```

@(#) $CDS: dfIIToVdb version av3.2:Production:dfII6.1.3:IC6.1.3.500.7
06/29/2009 05:59 (sjlin84) $
sub-version 3.2_USR2_HF11, integ signature 2009-06-29-0444

```

run on galileu from
 /tools/cadence/ASSURA32/ASSURA613/tools.lnx86/assura/bin/32bit/dfIIToV
 db on Wed Nov 18 21:38:13 2009

```

Loading IBM PDK cmos10lpe Procedures for Cadence Version
"av3.2:Production:dfII6.1.3:IC6.1.3.500.7"
cmos10lpe setting techfile rules
Compiling rules...

```

```

warn:   LVS Run detected.
Non-legacy mode has been disabled for this LVS run
Checking out license for Assura_DRC 3.10

```

Reading the design data...

...

Assura LVS terminated normally.

Run ended: Wed Nov 18 21:38:41 2009

***** Assura terminated normally *****

Em seguida, é apresentado o resumo da comparação entre o esquemático e o leiaute:

```

Schematic                                     | Layout
| Status
-----
-
level_shifter_mais_INV_layout schematic libGiovano      |
level_shifter_mais_INV_layout layout libGiovano
| matched
inversor schematic libGiovano                          |
inversor layout libGiovano
| matched
Nand3 schematic libGiovano                              |
Nand3 layout libGiovano
| matched
Nor4 schematic libGiovano                               |
Nor4 layout libGiovano
| matched
GRUPO schematic libGiovano                              |
GRUPO layout libGiovano
| matched
DecoderElevelShifter schematic libGiovano              |
DecoderElevelShifter layout libGiovano
| matched

Schematic and Layout Match

```

5.4 Resultados de Simulação dos Transistores sob Teste com todas as Estruturas de Suporte para a Avaliação Estatística de Processo

Para simulação de comparação entre o sistema composto pelas estruturas de seleção, polarização, acesso e DUTs (nMOS e pMOS com dimensionamento maior e menor) e outros DUTs iguais (nMOS e pMOS com dimensionamento maior e menor) com polarização convencional (sem as estruturas de seleção, polarização e acesso), foi apresentado no capítulo 4 (sub-capítulo 4.4) a visão geral de implementação do sistema de maneira simplificada.

Assim, serão apresentados aqui alguns resultados de simulação mostrando a comparação de algumas curvas nos MOSFETs sob teste e nos MOSFETs com polarização convencional. Tem-se quatro MOSFETs sob teste (nMOS e pMOS) com $W/L = 6\mu/60n$ e $W/L = 180nm/600nm$; assim como quatro MOSFETs com polarização convencional para comparação com as mesmas dimensões citadas. Ou seja, tem-se de maneira simplificada, o pior caso (nMOS e pMOS com maior relação de W/L , com $W/L = 100$) e o melhor caso (nMOS e pMOS com menor relação de W/L , com $W/L = 0,3$).

As curvas obtidas por simulação foram as seguintes: a curva $I_{DS} \times V_{DS}$, para diferentes valores de V_{GS} , e a curva $I_{DS} \times V_{GS}$. Para os diferentes valores de V_{GS} , foi feita uma simulação paramétrica com sete valores entre 0 e 1,2V (0V; 0,2V; 0,4V; 0,6V; 0,8V; 1,0V e 1,2V). A figura 5.12 ilustra essa etapa. Nas próximas figuras, serão ilustradas as simulações dos dois tipos de curvas para comparação dos resultados.

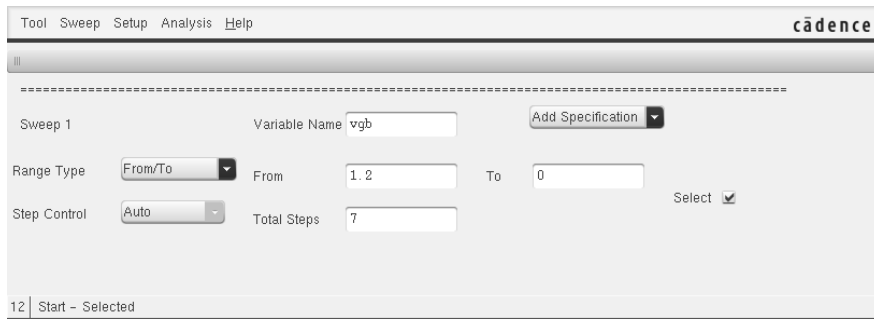


Figura 5.12: Simulação paramétrica da curva I_{DS} x V_{DS} para diferentes V_{GS} .

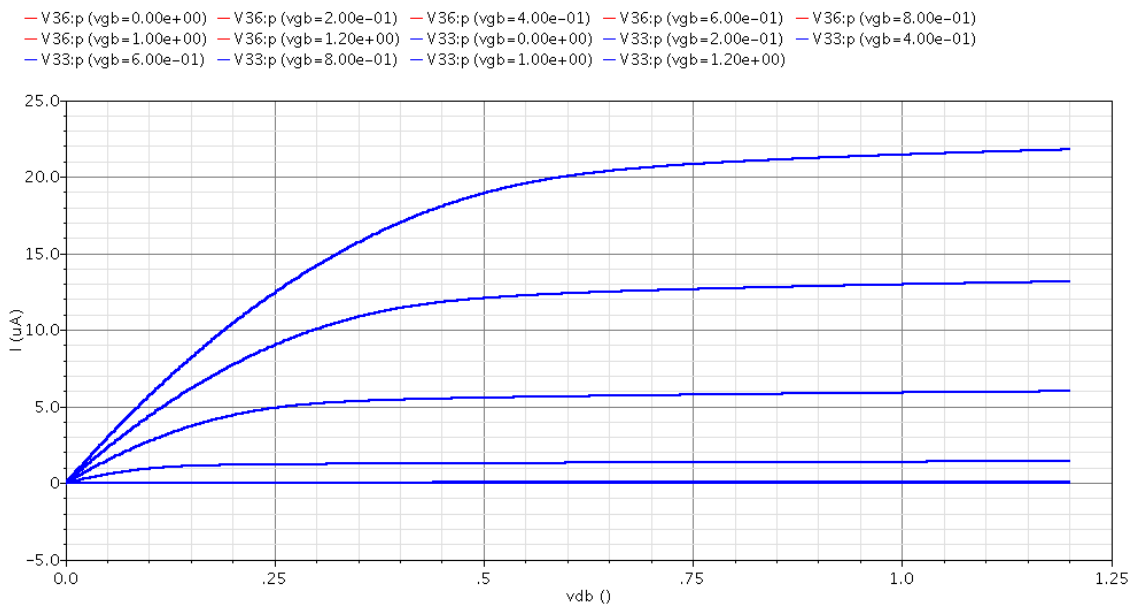


Figura 5.13: Curva I_{DS} x V_{DS} com diferentes V_{GS} , para nMOS $W/L = 180\text{nm}/600\text{nm}$.

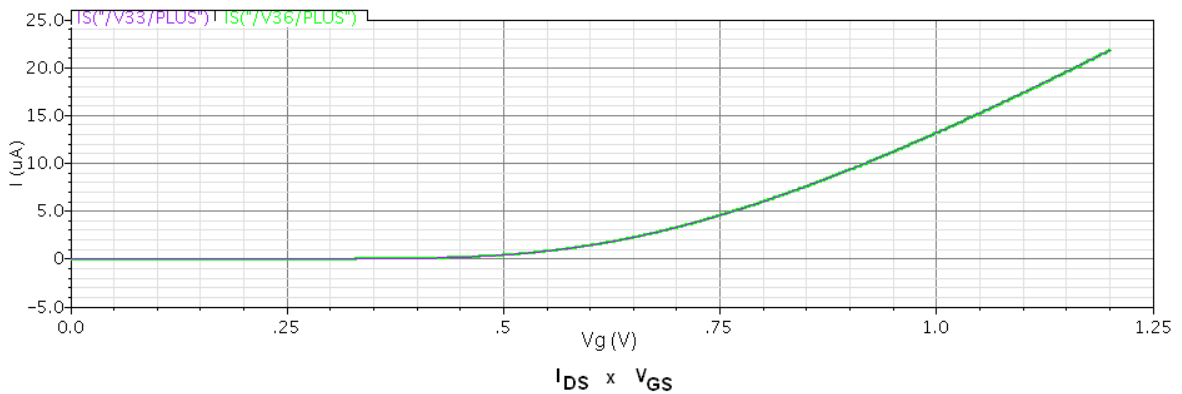


Figura 5.14(a): Curva I_{DS} x V_{GS} para nMOS $W/L = 180\text{nm}/600\text{nm}$.

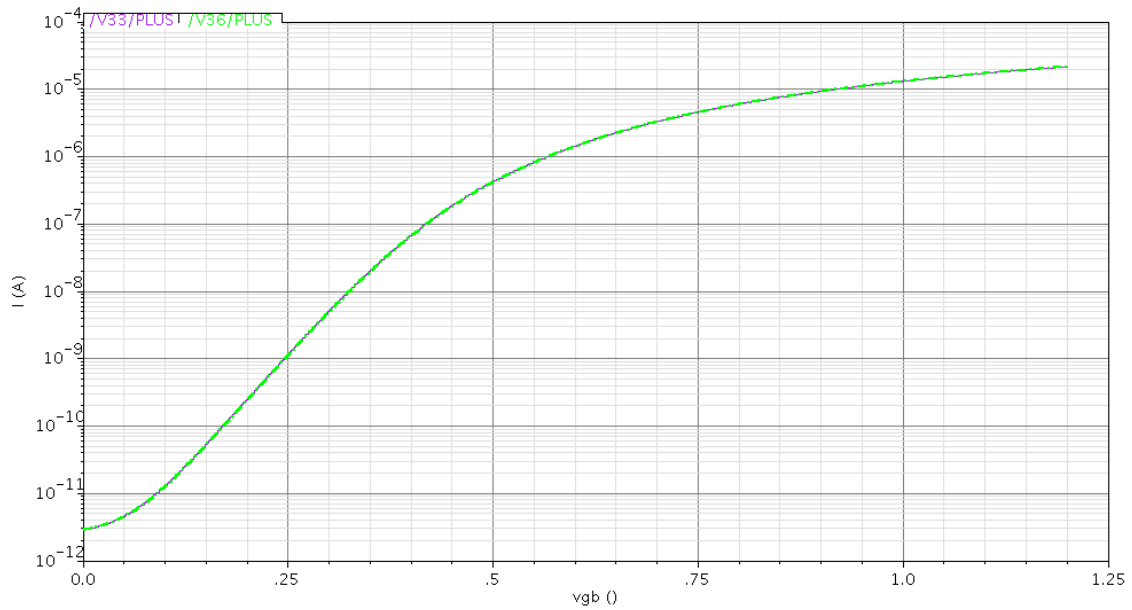


Figura 5.14(b): Curva I_{DS} x V_{GS} em escala log para nMOS $W/L = 180\text{nm}/600\text{nm}$.

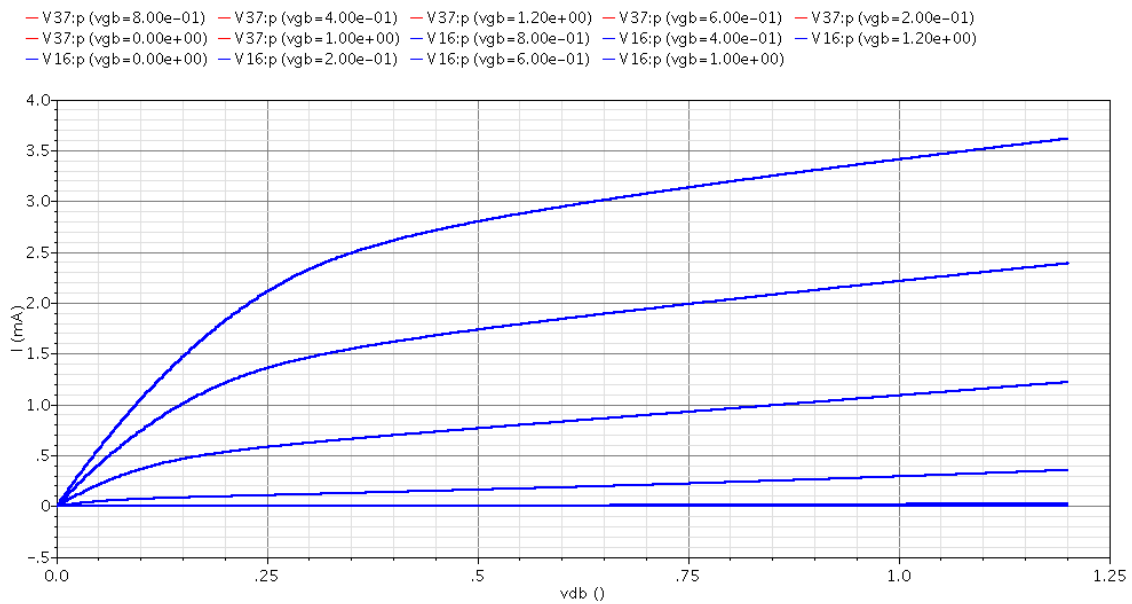


Figura 5.15: Curva I_{DS} x V_{DS} com diferentes V_{GS} , para nMOS $W/L = 6\mu/60\text{n}$.

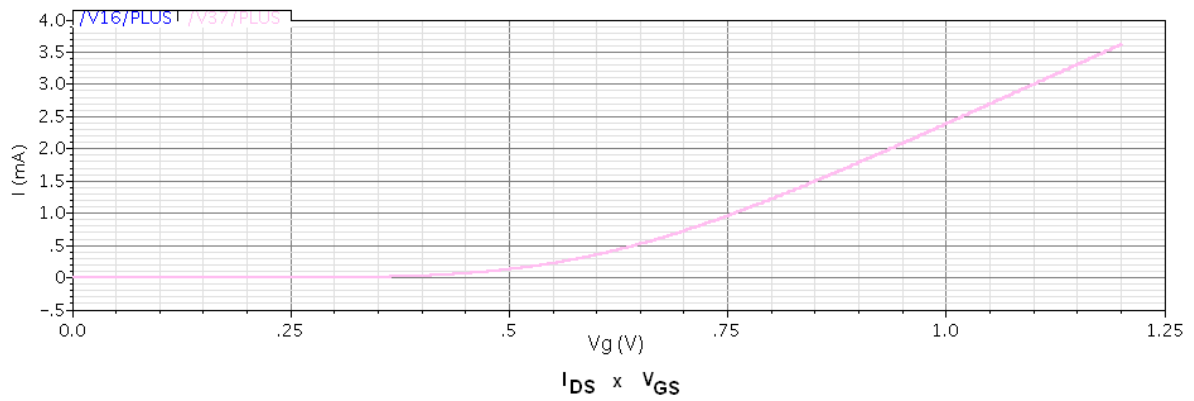


Figura 5.16(a): Curva I_{DS} x V_{GS} para nMOS $W/L = 6\mu/60n$.

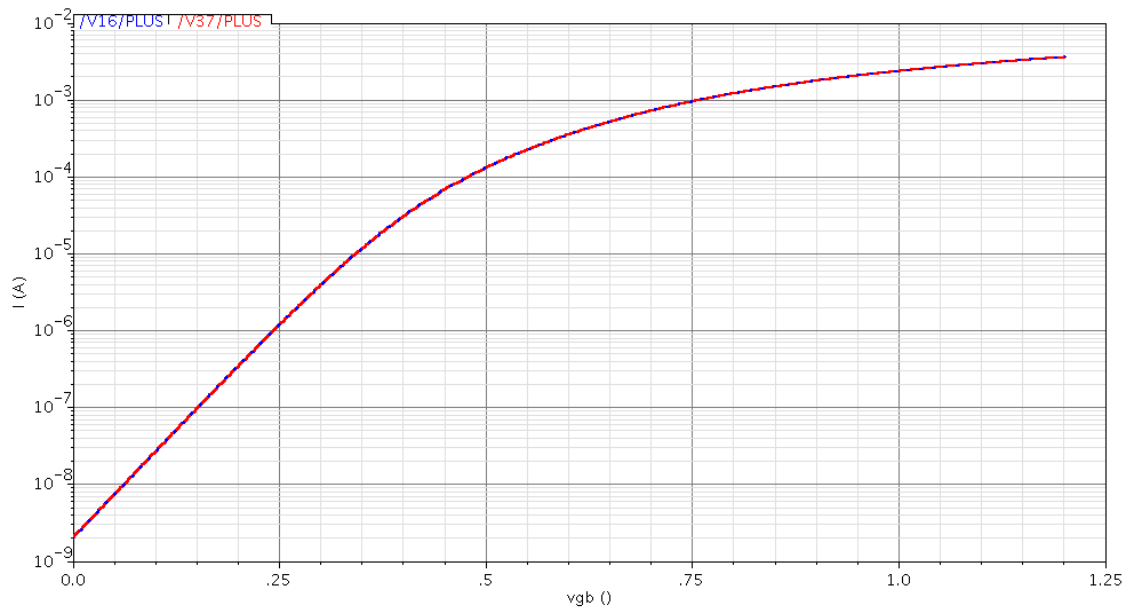


Figura 5.16(b): Curva I_{DS} x V_{GS} em escala log para nMOS $W/L = 6\mu/60n$.

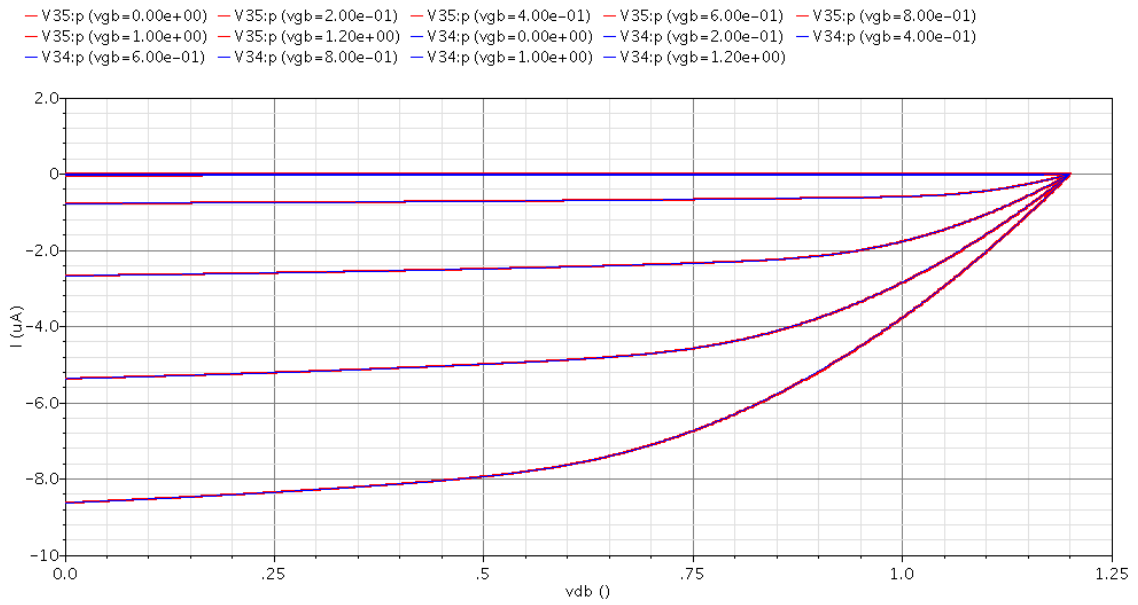


Figura 5.17: Curva I_{DS} x V_{DS} com diferentes V_{GS} , para pMOS $W/L = 180\text{nm}/600\text{nm}$.

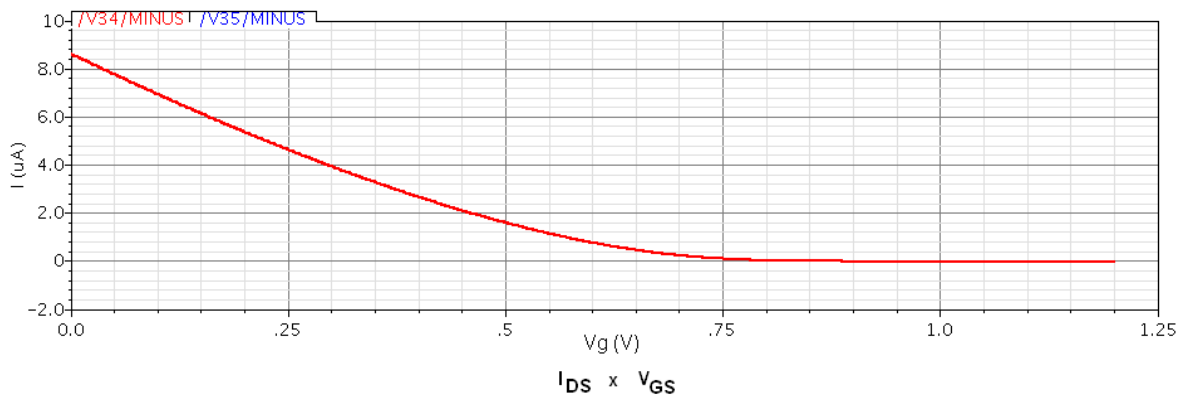


Figura 5.18(a): Curva I_{DS} x V_{GS} para pMOS $W/L = 180\text{nm}/600\text{nm}$.

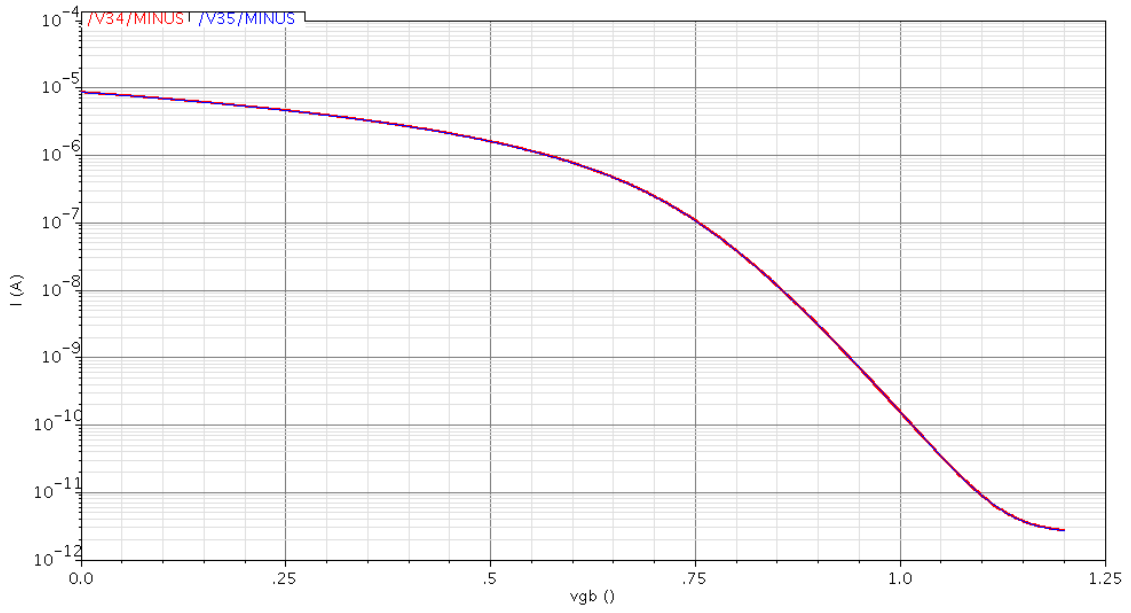


Figura 5.18(b): Curva I_{DS} x V_{GS} em escala log para pMOS $W/L = 180\text{nm}/600\text{nm}$.

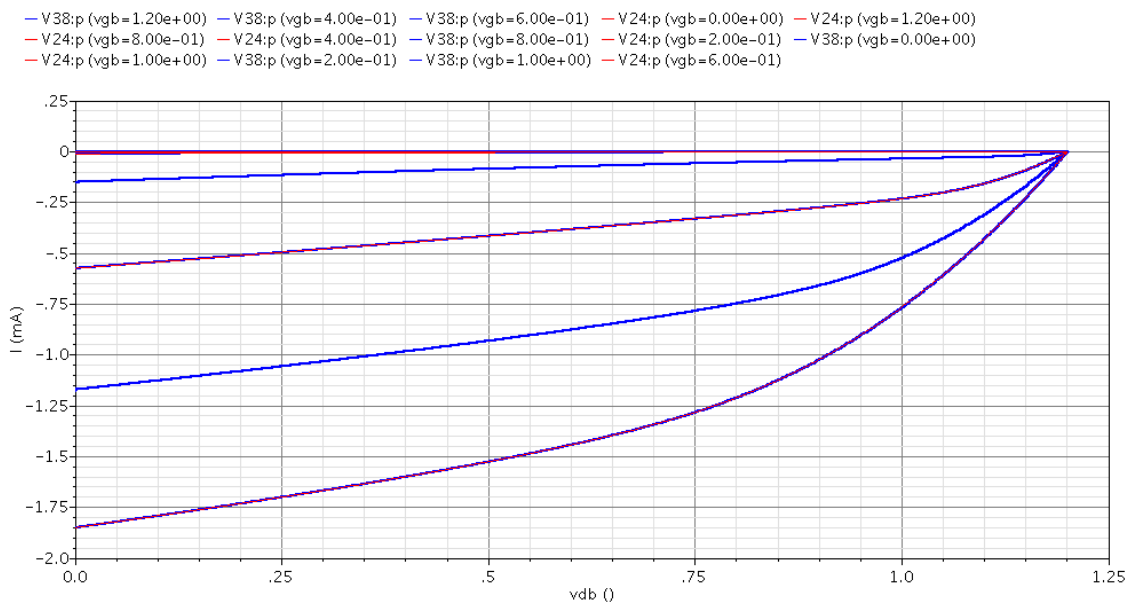


Figura 5.19: Curva I_{DS} x V_{DS} com diferentes V_{GS} , para pMOS $W/L = 6\mu/60\text{n}$.

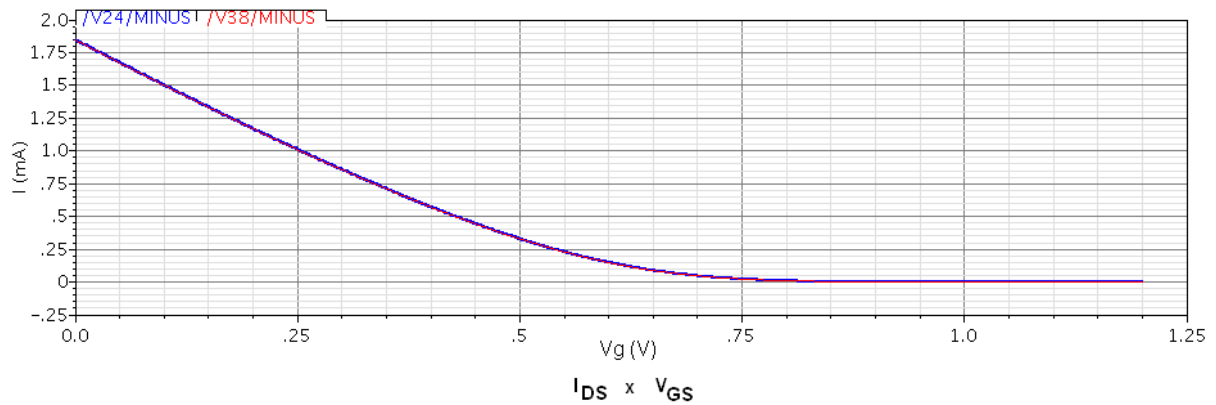


Figura 5.20(a): Curva $I_{DS} \times V_{GS}$ para pMOS $W/L = 6\mu/60n$.

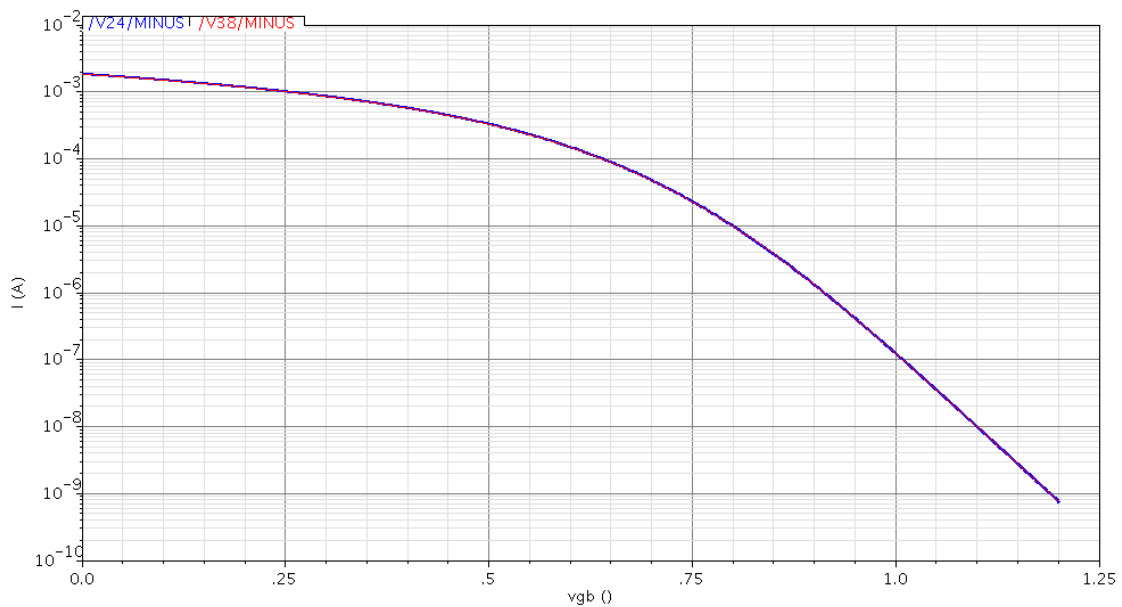


Figura 5.20(b): Curva $I_{DS} \times V_{GS}$ em escala log para pMOS $W/L = 6\mu/60n$.

Nos três tipos de curvas simuladas ($I_{DS} \times V_{DS}$, $I_{DS} \times V_{GS}$ e $I_{DS} \times V_{GS}$ em escala log), como pode-se observar nas figuras 5.13, 5.14(a), 5.14(b), 5.15, 5.16(a), 5.16(b), 5.17, 5.18(a), 5.18(b), 5.19, 5.20(a) e 5.20(b) ocorreu sobreposição dos resultados, o que mostra que os efeitos de interferência para a caracterização de variação de processo foram minimizados em relação à proposta original, em que o efeito era visível, conforme figura 3.18(a) do capítulo 3.

CONCLUSÃO

Sabe-se que a área de estudo que abrange os desafios causados por fenômenos físico-químicos podem ser vistos como assuntos instigantes e, por isso, merecem ser estudados. Assim, para o desenvolvimento científico-tecnológico, são necessários meios para que as pesquisas consigam atingir resultados cada vez melhores.

Este trabalho tem como contribuição o estudo detalhado dos diversos tipos de estruturas de seleção e acesso para a avaliação da caracterização de variação estatística de processo de dispositivos MOS em escala nanométrica (abaixo de 100nm).

Como trabalho de engenharia, se faz necessário estudar quais as possibilidades, mas também descobrir uma solução mais adequada ao contexto dos problemas que devemos resolver. Assim, outra contribuição deste trabalho foi o de verificar, discutir e comparar diferentes tipos de decodificadores para seleção de dispositivos MOS arranjados dentro de uma matriz. Dessa maneira, este trabalho utilizou uma topologia de decodificador baseada nos conceitos e nas práticas encontradas em patentes, livros, periódicos e anais de congressos. Essa topologia é bem diferente das que foram encontradas, ajustando-se de maneira satisfatória às exigências do projeto do chip de teste. Entretanto, as questões de conexão e acesso dos componentes levaram a outros problemas. Assim, o estudo paralelo de um circuito de polarização e acesso precisou ser também investigado e desenvolvido, sendo, conseqüentemente, re-projetado com uma nova abordagem. Sem todas essas “ferramentas”, é quase inviável realizar um estudo estatístico, já que o número de dispositivos a serem medidos é da ordem de 10^3 por chip teste.

O foco do trabalho são os veículos de teste com a finalidade de dar suporte às medições em nanodispositivos para a avaliação estatística de variação de processo dos mesmos; porém, até o momento, nenhum resultado sobre isso foi levantado ainda, já que o chip teste não está completamente projetado e não foi, portanto, fabricado. Antes disso, para termos bons resultados para a pesquisa, é fundamental assegurarmos que os módulos (estruturas de teste) abordados nesse trabalho estejam verificados e simulados.

Até o momento, tem-se desde um estudo bibliográfico detalhado até a especificação, implementação e simulação de todas as estruturas de teste (seleção, acesso e polarização), o que fornece base teórica e suporte para o chip teste de avaliação estatística de processo. As estruturas de teste para o estudo de variabilidade estatística de processo para transistores MOSFETs sub-100nm apresentaram funcionamento satisfatório como pode ser observado neste trabalho. Conforme as simulações, a interferência do sistema de caracterização não deverá causar impacto significativo nas medições dos dispositivos do chip. Além disso, todas as etapas deste trabalho mostram que a pesquisa, projeto, especificação, simulação e avaliação são fundamentais para um profissional de engenharia antes de desenvolver qualquer solução, servindo de base para suas escolhas e definições no projeto de CIs.

REFERÊNCIAS

AGARWAL, K.; HAYES, J.; NASSIF, S. Fast Characterization of Threshold Voltage Fluctuation in MOS Devices. **IEEE Transactions on Semiconductor Manufacturing**, Cambridge, v.21, n.4, p. 526-533, Nov. 2008.

AGARWAL, K.; LIU, F.; McDOWELL, C.; NASSIF, S.; NOWKA, K.; PALMER, M.; ACHARYYA, D.; PLUSQUELLIC, J. A Test Structure for Characterizing Local Device Mismatches. In: 2006 SYMPOSIUM ON VLSI CIRCUITS, VLSIC '06. **Proceedings of the 2006 Symposium on VLSI Circuits (VLSIC '06)**. Honolulu, Hawaii, USA, p. 67-68, Jun. 2006.

BRITO, J. P. M. **Circuitos Robustos às Variações de Processo e Estruturas para a Caracterização da Variabilidade Paramétrica em Circuitos CMOS**. 2009. 110 f. Proposta de Tese (Doutorado no Programa de Pós-Graduação em Microeletrônica) – Instituto de Informática, UFRGS, Porto Alegre.

CHEN, Ming-Daw; TU, Nang-Ping. **CMOS Digital Level Shifter Circuit**. Industrial Technology Research Institute, Taiwan, Dec. 1990. US Patent 4978870. Disponível em: <<http://www.google.com/patents?id=JecZAAAAEBAJ>>. Acesso em: ago. 2009.

CONRAD, E. Jr.; CORTES, F. P.; GIRARDI A. G.; BAMPI, S. Early Voltage and Saturation Voltage Improvement in Deep Sub-Micron Technologies Using Associations of Transistors. In: 21th SYMPOSIUM ON INTEGRATED CIRCUITS AND SYSTEMS DESIGN, SBCCI, 21., 2008. **Proceedings of the 21th Symposium on Integrated Circuits and Systems Design**. Gramado, Brazil, September 2008: New York Press: ACM, 2008, p. 105-110.

GIRARDI, A. G.; CORTES, F. P.; BAMPI, S. Analog IC Modules Design Using Trapezoidal Association of MOS Transistors in 0.35 μ m Technology. In: 16th SYMPOSIUM ON INTEGRATED CIRCUITS AND SYSTEMS DESIGN, SBCCI, 16., 2003. **Proceedings of the 16th Symposium on Integrated Circuits and Systems Design**. São Paulo, Brazil, September 2003, p. 311 – 316.

GIRARDI, A. G. **Automação do Projeto de Módulos CMOS Analógicos Usando Associação Trapezoidal de Transistores**. 2007. 166 f. Tese (Doutorado no Programa de Pós-Graduação em Microeletrônica) – Instituto de Informática, UFRGS, Porto Alegre.

GOEL, Ashish Kumar; AGARWAL, Manish. **Decoder Scheme for Making Large Size Decoder**. STMicroelectronics Pvt. Ltd., Uttar Pradesh, India, Sep. 2004. US Patent 6794906. Disponível em: <<http://www.google.com.br/patents?id=0uwRAAAEBAJ>>. Acesso em: mai. 2009.

HASS, K. J.; COX, D. F. Level Shifting Interfaces for Low Voltage Logic. In: 9th NASA Symposium on VLSI Design 2000. **Proceedings of the 9th NASA Symposium on VLSI Design 2000**. Albuquerque, New Mexico, USA, p. 3.1.1 – 3.1.7, Nov. 2000.

JI, B. L.; PEARSON, D. J.; LAUER, I.; STELLARI, F.; FRANK, D. J.; CHANG, L.; KETCHEN, M. B. Operational amplifier based test structure for transistor threshold voltage variation. In: INTERNATIONAL CONFERENCE ON MICROELECTRONIC TEST STRUCTURES, ICMTS 2008. **Proceedings of IEEE 2008 Int. Conference on Microelectronic Test Structures**. Edinburgh, Scotland, p. 3-7, Mar. 2008.

KHAN, Q. A.; WADHWA, S. K.; MISRI, K. A Single Supply Level Shifter for Multi-Voltage Systems. In: 19th International Conference on VLSI Design, VLSI Design 2006. **Proceedings of the 19th International Conference on VLSI Design held jointly with 5th International Conference on Embedded Systems Design**. Hyderabad, India, p. 557-560, Jan. 2006.

KLIMACH, H.; SCHNEIDER, M. C.; GALUP-MONTORO, C. A test chip for automatic MOSFET mismatch characterization. In: 19TH ANNUAL SYMPOSIUM ON INTEGRATED CIRCUITS AND SYSTEMS DESIGN, SBCCI 2006. **Proceedings of 19th Annual Symposium on Integrated Circuits and Systems Design**. Ouro Preto, Minas Gerais, p. 83-88, Aug. 2006.

KLIMACH, H. **Modelo do Descasamento (Mismatch) entre Transistores MOS**. 2007. 175 f. Tese (Doutorado no Programa de Pós-Graduação em Engenharia Elétrica) – Departamento de Engenharia Elétrica, UFSC, Florianópolis.

LEE, Sywe N. **CMOS Level Shifter Circuit**. David Sarnoff Research Center, Inc., Princeton, N.J., USA, May. 1992. US Patent 5113097. Disponível em: <<http://www.google.com/patents?id=iggeAAAAEBAJ>>. Acesso em: ago. 2009.

LEFFERTS, R.; JAKUBIEC, C. An Integrated Test Chip for the Complete Characterization and Monitoring of a 0.25 μ m CMOS Technology that Fits into Five Scribe Line Structures 150 μ m by 5000 μ m. In: INTERNATIONAL CONFERENCE ON MICROELECTRONIC TEST STRUCTURES, ICMTS 2003. **Proceedings of IEEE 2003 Int. Conference on Microelectronic Test Structures**. Monterey, California, USA, p.59-63, Mar. 2003.

MEZZOMO, C. M.; MARIN, M.; LEYRIS, C.; GHIBAUDO, G. Mismatch Measure Improvement Using Kelvin Test Structures in Transistor Pair Configuration in Sub-Hundred Nanometer MOSFET Technology. In: INTERNATIONAL CONFERENCE ON MICROELECTRONIC TEST STRUCTURES, ICMTS 2009. **Proceedings of IEEE 2009 Int. Conference on Microelectronic Test Structures**. Oxnard, California, USA, p. 62-67, Mar. 2009.

MUKHOPADHYAY, S.; KIM, K.; JENKINS, K. A.; CHUANG, C.; ROY K. An On-Chip Test Structure and Digital Measurement Method for Statistical Characterization of Local Random Variability in a Process. **IEEE Journal of Solid-State Circuits**, New York, v.43, n.9, p. 1951-1963, Sep. 2008.

NAKAMURA, Kazuyuki. **Address Decoder Circuits Adjusted for a High Speed Operation at a Low Power Consumption**. NEC Corporation, Tokyo, Japan, Feb. 1998. US Patent 5721709. Disponível em: <<http://www.google.com.br/patents?id=GLAeAAAAEBAJ>>. Acesso em: mai. 2009.

QUARANTELLI, M.; SAXENA S.; DRAGONE, N.; BABCOCK, J. A.; HESS, C.; MINEHANE, S.; WINTERS, S.; CHEN, J.; KARBASI, H.; GUARDIANI, C.

Characterization and modeling of MOSFET mismatch of a deep submicron technology. In: INTERNATIONAL CONFERENCE ON MICROELECTRONIC TEST STRUCTURES, ICMTS 2003. **Proceedings of IEEE 2003 Int. Conference on Microelectronic Test Structures**. Monterey, California, USA, p. 238-243, Mar. 2003.

RABAEY, J. M. et al. **Digital Integrated Circuits: A Design Perspective**. 2nd ed. Upper Saddle River: Prentice Hall, c2003. xxi, 761 p. : il.

REMEDEI, James J. **Versatile CMOS decoder**. Motorola, Inc., Schaumburg, IL., USA, Nov. 1979. US Patent 4176287. Disponível em: <<http://www.google.com.br/patents?id=4IY8AAAAEBAJ>>. Acesso em: mai. 2009.

SHIMIZU, Y.; NAKAMURA, M.; MATSUOKA, T.; TANIGUCHI, K. Test Structure for Precise Statistical Characteristics Measurement of MOSFETs. In: INTERNATIONAL CONFERENCE ON MICROELECTRONIC TEST STRUCTURES, ICMTS 2002. **Proceedings of IEEE 2002 Int. Conference on Microelectronic Test Structures**. Cork, Ireland, v.15, p. 49-54, Apr. 2002.

SUTHERLAND, I. E.; SPROULL, R. F.; HARRIS, D. F. **Logical Effort: Designing Fast CMOS Circuits**. San Francisco: USA: Morgan Kaufmann, c1999: 239 p. : il.

TERADA, K.; CHAGAWA, T.; XIANG, J.; TSUJI, K.; TSUNOMURA, T.; NISHIDA, A. Measurement of the MOSFET Drain Current Variation Under High Gate Voltage. **Solid-State Electronics**, Oxford, vol. 53, issue 3, p. 314-319, Mar. 2009.

UYEMURA, J. P. **CMOS Logic Circuit Design**. Boston: Kluwer Academic, c1999. 528 p.

WAGNER, F. R.; RIBAS, R. P.; REIS, A. I. **Fundamentos de Circuitos Digitais**. Porto Alegre: Instituto de Informática da UFRGS: Sagra Luzzatto, 2006. 264 p. : il. (Série Livros Didáticos, n.17).

WERLE, F. C.; CAMARATTA, G. R.; BRITO J. P. M.; BAMPI, S. An Address Decoder for Variability Characterization for 65nm MOS Transistors. In: 9th MICROELECTRONICS STUDENTS FORUM, SForum 2009. **Proceedings of the 9th Microelectronics Students Forum**. Natal, Rio Grande do Norte, Brazil, September 2009.

WESTE, N. H. E.; HARRIS, D. F. **CMOS VLSI Design: A Circuits and Systems Perspective**. 3rd ed. Boston: USA: Pearson/Addison Wesley, c2005. xxiv, 967 p. : il., graphs.

YEO, S. B.; BORDELON, J.; CHU, S.; LI, M. F.; TRANCHNA, B. A.; HARWARD, M.; CHAN, L. H.; SEE, A. A Robust and Production Worthy Addressable Array Architecture for Deep Sub-micron MOSFET's Matching Characterization. In: INTERNATIONAL CONFERENCE ON MICROELECTRONIC TEST STRUCTURES, ICMTS 2002. **Proceedings of IEEE 2002 Int. Conference on Microelectronic Test Structures**. Cork, Ireland, v.15, p. 229-234, Apr. 2002.