

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
INSTITUTO DE INFORMÁTICA
CURSO DE ENGENHARIA DE COMPUTAÇÃO

LEONARDO HEITICH BRENDLER

**Impacto da Variabilidade de Processo e das
Falhas Transientes em Diferentes Arranjos
de Transistores**

Monografia apresentada como requisito parcial
para a obtenção do grau de Bacharel em
Engenharia da Computação

Orientador: Prof. Dr. Ricardo Augusto da Luz
Reis

Coorientadora: Ma. Alexandra L. Zimpeck

Porto Alegre
2018

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

Reitor: Prof. Rui Vicente Oppermann

Vice-Reitora: Prof^a. Jane Fraga Tutikian

Pró-Reitor de Graduação: Prof. Vladimir Pinheiro do Nascimento

Diretora do Instituto de Informática: Prof^a. Carla Maria Dal Sasso Freitas

Coordenador do Curso de Engenharia de Computação: Prof. Renato Ventura Henriques

Bibliotecária-chefe do Instituto de Informática: Beatriz Regina Bastos Haro

*“Os que se encantam com a prática sem a ciência são
como os timoneiros que entram no navio sem timão
nem bússola, nunca tendo certeza do seu destino.”*

— LEONARDO DA VINCI

AGRADECIMENTOS

É sempre importante e necessário agradecer a todos aqueles que fizeram parte do meu crescimento acadêmico e profissional.

Agradeço aos meus pais, Alvaro e Cleide, e minha irmã, Juliana, pelo apoio e o incentivo de sempre.

Agradeço a minha namorada, Christine, pelo companheirismo, carinho e apoio incondicional durante toda a trajetória. Fatores de suma importância para o meu crescimento e desenvolvimento deste trabalho.

Ao meu orientador, Professor Ricardo Reis, pela oportunidade e incentivo de entrar para área da pesquisa. As minhas coorientadoras, Professora Alexandra Zimpeck e Professora Cristina Meinhardt, por todos os ensinamentos fundamentais para o meu crescimento acadêmico.

Aos meus amigos, dos velhos tempos, e aos meus amigos do laboratório, pelo ótimo convívio diário, tornando mais leve o aprendizado e sempre auxiliando em qualquer dúvida que surgia.

RESUMO

Devido às limitações físicas encontradas nos dispositivos MOSFET, foi necessário introduzir a tecnologia FinFET para dar continuidade ao dimensionamento tecnológico abaixo de 22nm. A evolução no processo de fabricação dos circuitos integrados resultou em dispositivos cada vez menores e tornou a etapa de litografia cada vez mais complicada. Além disso, mesmo a nível da Terra, circuitos integrados estão expostos a diferentes fontes de radiação. Todos esses fatores prejudicam a confiabilidade dos circuitos e podem causar um desvio no comportamento esperado. Isso enfatiza a importância de criar novas diretrizes capazes de lidar com os desafios impostos pelo desenvolvimento tecnológico. Algumas portas lógicas podem ser projetadas utilizando diferentes topologias de transistores. É sabido que diferentes combinações de transistores, que implementam a mesma função lógica, apresentam diferentes características elétricas e físicas, bem como comportamentos distintos sob os efeitos da variabilidade de processo e falhas de radiação. Por este motivo, este trabalho analisa o impacto da variabilidade de processo e de falhas transientes considerando diferentes arranjos de transistores. Esses arranjos consideram portas lógicas complexas e portas lógicas básicas em multi-nível. Todas as análises consideram o *Process Design Kit* de 7nm em FinFET da ASAP. Em condições nominais, para obter diminuição nos atrasos de propagação e no consumo de potência, a melhor opção é escolher os arranjos de portas complexas. Por outro lado, quando o comportamento das portas lógicas é investigado com efeitos de radiação ou de variabilidade de processo, os arranjos de portas lógicas básicas em multi-nível se tornam mais promissores. O conjunto de informações apresentado neste trabalho ajuda os projetistas a escolherem a melhor topologia dependendo do foco de aplicação.

Palavras-chave: ASAP7. tecnologia FinFET. variabilidade de processo. single event transient.

Impact of Process Variability and Transient Faults on Different Transistor Arrangements

ABSTRACT

Due to the physical limitations found in MOSFET devices, it was necessary to introduce FinFET technology to continue the technology scaling below 22nm. The evolution in the manufacturing process of integrated circuits has resulted in increasingly smaller devices and made the lithograph stage increasingly complicated. Moreover, even at Earth level, integrated circuits are exposed to different sources of radiation. All of these factors impair the reliability of the circuits and may cause a deviation in expected behavior. This emphasizes the importance of creating new guidelines capable of dealing with the challenges posed by technological development. Some logic gates can be designed using different transistor topologies. It is known that different combinations of transistors, which implement the same logic function, present different electrical and physical characteristics, as well as different behaviors under the effects of process variability and radiation faults. For this reason, this work analyzes the impact of process variability and transient faults considering different transistor arrangements. These arrangements consider complex logic gates and multi-level basic logic gates. All analyzes consider the FinFET 7nm Process Design Kit from ASAP. At nominal conditions, for a reduction in propagation delays and power consumption, the best option is to choose the complex gate arrangements. On the other hand, when the behavior of logic gates is investigated with radiation effects or process variability, the multi-level basic gates arrangements become more promising. The set of information presented in this paper helps designers to choose the best topology depending on the application focus.

Keywords: ASAP7, FinFET technology, process variability, single event transient.

LISTA DE ABREVIATURAS E SIGLAS

AOI	And-Or-Inverter
ARM	Advanced RISC Machine
ASAP7	7nm Arizona State Predictive Design Kit
CMOS	Complementary Metal-Oxide-Semiconductor
DD	Displacement Damage
DRC	Design Rule Check
EDA	Electronic Design Automation
FET	Field Effect Transistor
GND	Ground
HFIN	Altura do Fin
INV	Inverter
L	Length
LET	Linear Energy Transfer
LFIN	Comprimento do Fin
LVS	Layout Versus Schematic
MOS	Metal Oxide Semiconductor
NAND	Not AND
NIEL	Non-ionizing Energy Loss
NMOS	transistor MOS do tipo N
NOR	Not OR
OAI	Or-And-Inverter
PMOS	transistor MOS do tipo P
PDK	Process Design Kit
SEB	Single Event Burnout

SEE	Single Event Effects
SEGR	Single Event Gate Rupture
SEL	Single Event Latchup
SET	Single Event Transient
SEU	Single Event Upset
SHE	Single Hard Error
SOI	Silicon on Insulator
SPICE	Simulation Program with Integrated Circuit Emphasis
TID	Total Ionizing Dose
TFIN	Espessura do Fin
VDD	Supply Voltage
VLSI	Very large-system Integration
W	Width
WFF	Work-Function Fluctuation
XOR	Exclusive OR

LISTA DE FIGURAS

Figura 2.1	Estrutura e parâmetros geométricos de um dispositivo FinFET	19
Figura 2.2	Duas configurações de dispositivos FinFET: (a) SG - FinFET; (b) IG - FinFET	20
Figura 2.3	Estrutura de um FinFET com único <i>fin</i> e <i>multi-fin</i>	20
Figura 3.1	Possíveis fontes de variação na tensão de limiar de FinFETs	22
Figura 3.2	Fabricação do <i>metal gate</i> nos aspectos ideal e real	23
Figura 3.3	Variação na tensão de limiar de dispositivos <i>bulk</i> CMOS, FD-SOI e FinFET em diferentes nodos tecnológicos	23
Figura 4.1	Modelo de Três Universos proposto por Pradhan et al. (1996)	24
Figura 4.2	Degradação de um pulso por mascaramento elétrico. Dependendo da largura do pulso gerado (a) este, ao propagar-se pelo circuito, pode vir a ser atenuado (b) ou filtrado (c), caracterizando o mascaramento elétrico	25
Figura 4.3	Exemplo de mascaramento lógico em circuito combinacional	26
Figura 4.4	Mascaramento por janela de amostragem (<i>latching window</i>)	26
Figura 4.5	Classificação dos principais <i>Single Event Effects</i>	28
Figura 4.6	Geração de pares e^-/h no dispositivo MOS devido à incidência de um íon de alta energia	30
Figura 4.7	Indicação do deslocamento predominante de portadores positivos e negativos no transistor NMOS	30
Figura 4.8	Comparação entre estruturas 3D de (a) FinFET e (b) Transistor Planar	32
Figura 5.1	Divisão dos experimentos propostos no trabalho	34
Figura 5.2	Leiaute da porta AOI211 nas duas topologias: complexa e somente NAND2	37
Figura 5.3	Leiaute da célula TAP necessária para o funcionamento dos circuitos	38
Figura 5.4	Fluxo de projeto da segunda parte do trabalho	38
Figura 6.1	Tempos de propagação em condições nominais	42
Figura 6.2	Potência Total em condições nominais	42
Figura 6.3	Desvio dos tempos de propagação devido a variabilidade de processo	44
Figura 6.4	Desvio da potência total devido a variabilidade de processo	44
Figura 6.5	Comparação da cobertura de falhas	45
Figura 6.6	Tempos de propagação em condições nominais	48
Figura 6.7	Potência Total em condições nominais	48
Figura 6.8	Desvio do atraso devido a variabilidade de processo	50
Figura 6.9	Desvio da potência total devido a variabilidade de processo	50
Figura 6.10	Comparação da cobertura de falhas	51
Figura B.1	Leiaute da porta AOI21 nas duas topologias: complexa e somente NAND2	76
Figura B.2	Leiaute da porta OAI21 nas duas topologias: complexa e somente NAND2	77
Figura B.3	Leiaute da porta AOI22 nas duas topologias: complexa e somente NAND2	78
Figura B.4	Leiaute da porta OAI22 nas duas topologias: complexa e somente NAND2	79

Figura B.5 Leiaute da porta AOI211 nas duas topologias: complexa e somente NAND2	80
Figura B.6 Leiaute da porta OAI211 nas duas topologias: complexa e somente NAND2	81
Figura B.7 Leiaute da porta XOR nas duas topologias: complexa e somente NAND2	82

LISTA DE TABELAS

Tabela 5.1	Funções Complexas e Convertidas da porta XOR.....	35
Tabela 5.2	Funções Complexas e Convertidas da porta OAI211	35
Tabela 5.3	Funções Complexas e Convertidas da porta AOI22	35
Tabela 5.4	Principais parâmetros da tecnologia 7nm FinFET ASAP7	36
Tabela 5.5	Premissas, larguras e <i>pitches</i> das principais camadas de litografia	36
Tabela 6.1	Resultados de Média e Desvio Padrão (<i>Sigma</i>) para a Potência e Atraso	43
Tabela 6.2	Análise de falhas porta XOR	46
Tabela 6.3	Análise de falhas porta AOI22.....	46
Tabela 6.4	Análise de falhas porta OAI211	46
Tabela 6.5	Área utilizada por cada porta lógica nas duas topologias.....	47
Tabela 6.6	Resultados de Média e Desvio Padrão (<i>Sigma</i>) para a Potência e Atraso	49
Tabela 6.7	Análise de falhas.....	52
Tabela 7.1	Melhor/Pior função e topologia para cada análise	54

SUMÁRIO

1 INTRODUÇÃO	13
1.1 Trabalhos Relacionados	16
1.2 Objetivos	17
1.3 Organização do Trabalho	18
2 TECNOLOGIA FINFET	19
3 VARIABILIDADE DE PROCESSO	21
4 EFEITOS DA RADIAÇÃO NOS CIRCUITOS ELETRÔNICOS	24
4.1 Falha, Erro e Defeito	24
4.2 Mascaramento de Falhas	25
4.3 Caracterização dos efeitos da radiação em dispositivos eletrônicos	26
4.4 Efeitos De Eventos Únicos (SEEs)	28
4.4.1 Eventos Únicos Transientes	29
4.4.2 Eventos Únicos Permanentes	32
5 METODOLOGIA	34
5.1 Condições Nominais	39
5.2 Variabilidade de Processo	39
5.3 Efeitos de Radiação	39
6 RESULTADOS	41
6.1 Análise pré-leiaute	41
6.1.1 Comportamento Nominal.....	41
6.1.2 Variabilidade de Processo	43
6.1.3 Efeitos de Radiação.....	44
6.2 Análise pós-leiaute	46
6.2.1 Comportamento Nominal.....	47
6.2.2 Variabilidade de Processo	49
6.2.3 Efeitos de Radiação.....	50
7 CONCLUSÕES	53
7.1 Trabalhos Futuros	54
REFERÊNCIAS	55
ANEXO A — TRABALHO DE GRADUAÇÃO I - TG1	59
ANEXO B — APRESENTAÇÃO DOS LEIAUTES DESENVOLVIDOS	76

1 INTRODUÇÃO

A evolução no processo de fabricação dos transistores vem acontecendo com uma velocidade impressionante. A redução das dimensões desses transistores, chamada “dimensionamento tecnológico” (*technology scaling*), proporciona o aumento da capacidade de integração dos circuitos integrados, como também permite que as frequências de operação sejam cada vez mais elevadas. Atualmente, os circuitos integrados têm um papel importante em praticamente todas as nossas tarefas diárias, esse é um dos motivos que os tornam cada vez mais densos e complexos.

A miniaturização dos transistores acaba ocasionando uma série de efeitos colaterais. O aumento da variabilidade do processo de fabricação (ORSHANSKY; NASSIF; BONING, 2008), os Efeitos de Canal-Curto (*Short-Channel Effects - SCE*), a corrente de fuga (*leakage current*) (TAUR et al., 1997) e o aumento na susceptibilidade aos efeitos de radiação são alguns desses efeitos. Ademais, a tecnologia *Bulk CMOS* está próxima de atingir seu limite geométrico e físico. Os dispositivos *Bulk MOSFET* têm sido utilizados no projeto de circuitos integrados há várias décadas, porém, em cada novo nó tecnológico, os dispositivos *Bulk MOSFET* sofrem com as indesejáveis correntes de fuga, *soft errors* e SCE (KING, 2005) (FRANK et al., 2001). O uso de dispositivos *multi-gate* é uma opção para superar esses obstáculos e continuar o dimensionamento tecnológico, pois esses dispositivos proporcionam melhor controle dos SCE, menor *leakage* e melhor rendimento (ITRS, 2011). A tecnologia FinFET (*Fin-Shaped Field Effect Transistor*) é considerada a principal entre os dispositivos *multi-gate*, substituindo dispositivos MOSFET em nós tecnológicos sub-22nm (BROWN; WATLING; ASENOV, 2006).

O foco deste trabalho é a variabilidade e as falhas decorrentes dos efeitos de radiação. Poucos trabalhos abordam esses dois efeitos juntos no projeto de circuitos e poucas soluções são encontradas na literatura para mitigar o impacto da variabilidade de processo. A variabilidade pode ser dividida em três fatores: fatores ambientais, fatores de confiabilidade e fatores físicos (NASSIF, 2008). Os fatores ambientais aparecem durante a operação de um circuito. As variações na tensão de alimentação e na temperatura são exemplos de fatores ambientais. Os fatores de confiabilidade estão relacionados ao envelhecimento do transistor, devido aos altos campos elétricos apresentados nos circuitos modernos. Finalmente, os fatores físicos estão associados a variações nos parâmetros elétricos, que podem ocorrer devido ao processo de fabricação dos dispositivos.

A atmosfera terrestre é uma camada semipermeável que permite a passagem de

luz e calor, ela age como um filtro natural reduzindo a intensidade da radiação que atinge a terra e bloqueando raios ultravioletas, por exemplo. A intensidade da radiação aumenta de acordo com o aumento de altitude em relação ao nível do mar, entretanto existem algumas regiões que sofrem com uma maior intensidade de radiação, mesmo sendo localizadas em baixas altitudes. Esse fato ocorre devido aos fenômenos relacionados com o campo magnético da terra, como por exemplo as regiões polares. Existe uma diversa gama de radiação que pode ser encontrada no espaço, ou na atmosfera, que são classificadas em dois grandes grupos: partículas ionizantes e partículas não ionizantes. Os raios cósmicos, raios-x e radiações provenientes de materiais radioativos são exemplos de radiações ionizantes, ou seja, produzem a emissão de elétrons quando interagido com algum determinado material. A luz ultravioleta, as ondas de rádio e as micro-ondas são exemplos de radiações não ionizantes, pois não são capazes de ionizar nenhum material. As principais partículas que podem causar efeitos indesejados nos circuitos eletrônicos são elétrons, prótons, nêutrons, partículas alfa e íons pesados, além da radiação eletromagnética, como raios-x e raios-gamas (STASSINOPOULOS; RAYMOND, 1988).

A radiação espacial é constituída de partículas subatômicas, que podem ser originadas de íons pesados presentes no ambiente espacial ou de partículas alfa emitidas de isótopos radioativos. Essas partículas viajam no espaço em altíssimas velocidades, sendo que as mais rápidas podem viajar a velocidades próximas da velocidade da luz, o que permite atravessar facilmente uma matéria e provocar diversos efeitos sobre ela. O planeta Terra recebe constantemente radiação do espaço de três principais fontes que podem afetar os circuitos eletrônicos: o Sol, Raios Cósmicos e Radiação de Cinturões (*Trapped Radiation*).

Circuitos eletrônicos operando no espaço, principalmente em ambientes inóspitos (*harsh environments*), podem ser expostos a doses de radiação significativas, assim como à incidência de partículas pesadas provenientes do sol ou de fora da galáxia. A partir desta exposição à radiação, alterações e perturbações no circuito, que prejudicam o seu correto funcionamento, podem ocorrer com alta probabilidade. Os efeitos relacionados à incidência de radiação em componentes eletrônicos vêm sendo estudados há bastante tempo pela comunidade científica internacional, principalmente visando aplicações espaciais e militares. Os circuitos integrados que experimentam a interação de partículas ionizantes sofrem basicamente dois tipos de degradação: as de caráter singular, que ocorrem devido à incidência de uma única partícula, e as de caráter cumulativo, as quais, por sua vez, ocorrem devido ao acúmulo de doses de radiação ionizante ao longo da vida útil do

circuito.

As degradações que ocorrem devido à incidência de uma única partícula recebem a denominação de Efeitos de Eventos Únicos (*Single Event Effects* - SEE). Esses efeitos, basicamente, podem ser divididos em dois subgrupos: Evento Único Permanente ou Destrutivos (*hard error*), caso cause um defeito permanente no circuito. Evento Único Transiente ou Não-Destrutivos (*soft error*), no caso de um erro no sistema que não acarrete danos permanentes. O Evento Único Transiente (*Single Event Transient* - SET), principal foco dessa monografia entre os efeitos de radiação, tem como efeito resultante um pulso de corrente, em um dado ponto do circuito, que pode propagar-se modificando a tensão de outros nós e a corrente em outros pontos do circuito (BAZE; BUCHNER, 1997)(SAVAGE et al., 2001).

Já os efeitos de caráter cumulativo têm origem devido a dose de radiação ionizante acumulada ao longo da vida útil do dispositivo e são classificados como Efeitos de Dose Total Ionizante (*Total Ionizing Dose* - TID). A exposição prolongada à radiação ionizante, devido a cargas elétricas acumuladas (induzidas pela radiação), faz com que partes do circuito sofram alterações em suas características elétricas, como por exemplo, a alteração da tensão de limiar (*threshold voltage* - V_{TH}) e/ou o acréscimo na corrente de fuga do dispositivo. Estas alterações elétricas prejudicam o correto funcionamento do dispositivo e podem, dependendo da quantidade de dose acumulada, danificá-lo permanentemente.

As técnicas de proteção de circuitos integrados contra os efeitos de radiação podem ser divididas em três níveis: processo ou tecnologia (*hardening-by-technology*), projeto (*hardening-by-design*), sistema (*hardening-by-system*). O foco desse trabalho são as técnicas em nível de projeto do dispositivo, com o objetivo de atenuar falhas transientes, mas também os efeitos da variabilidade de processo. Modificar o arranjo de transistores é uma técnica explorada para projetar circuitos mais rápidos (BUTZEN et al., 2010), mas também para lidar com os efeitos *Bias Temperature Instability* (BTI) (SILVA; REIS; RIBAS, 2009) ou melhorar a robustez do projeto contra falhas permanentes e transientes. A adoção de portas complexas reduz o número de transistores, diminuindo a área utilizada e também reduzindo o atraso e a potência consumida, mas portas complexas podem apresentar desafios relacionados à regularidade e confiabilidade que podem ser evitados com células mais regulares e básicas. Deste modo, o trabalho utiliza diferentes arranjos de transistores com o objetivo de mitigar os efeitos da radiação e da variabilidade de processo.

1.1 Trabalhos Relacionados

Esta monografia aborda dois efeitos relacionados à confiabilidade de circuitos integrados: a variabilidade de processo e os efeitos de radiação, com o foco em falhas transientes. Como citado anteriormente, poucos trabalhos, na literatura, abordam estes dois efeitos juntos, entretanto diversos trabalhos os tratam separadamente. Essa seção tem o objetivo de destacar as pesquisas mais próximas do escopo desta monografia.

Os trabalhos de **Nassif (2008)** e **Orshansky, Nassif and Boning (2008)** servem de base teórica para esta monografia em relação aos conceitos dos efeitos de variabilidade apresentados. Em ambos os trabalhos são revistas as fontes e caracterização da variabilidade no processo de fabricação de circuitos integrados. Nassif (2008) utiliza a tecnologia CMOS com substrato SOI em três nodos tecnológicos (90nm, 65nm e 45nm) e compara três circuitos diferentes (SRAM, Inversor e Latch) quanto ao impacto da variabilidade do desempenho dos mesmos. A conclusão é de que o impacto da variabilidade aumenta à medida que a tecnologia é reduzida e altera seu caráter, de falhas paramétricas para falhas catastróficas. O trabalho de Orshansky, Nassif and Boning (2008) aborda com mais detalhes todas as fontes, características, análises e técnicas de projetos para lidar com os efeitos da variabilidade. Por se tratar de um livro, o objetivo principal não é a realização de simulação e testes com diferentes tecnologias e circuitos. A premissa central do livro é que a variabilidade deve ser rigorosamente descrita como aleatória ou sistemática antes que medidas significativas possam ser tomadas para mitigar seu impacto nos procedimentos de projeto.

Ainda em relação aos efeitos da variabilidade, pode-se destacar o trabalho de **Silva, Reis and Ribas (2009)**, que analisa o impacto da variação da tensão de limiar no comportamento de portas lógicas CMOS, utilizando diferentes arranjos de transistores e a posição relativa do transistor de chaveamento em relação aos terminais de alimentação e de saída. A grande contribuição deste estudo para esta monografia é a comprovação que arranjos que utilizam portas básicas apresentam uma redução no desvio dos tempos de propagação. Ainda, o trabalho também utiliza portas do tipo *AND-OR-INVERTER* (AOI) e arranjos de transistores que utilizam portas NAND2, entre outras.

O trabalho de **Meinhardt, Zimpeck and Reis (2014)** compara o impacto da variabilidade de processo nas correntes I_{ON} e I_{OFF} , utilizando a tecnologia FinFET em um conjunto de nodos tecnológicos variando de 20nm a 7nm. O destaque fica na avaliação do impacto da variabilidade da granularidade do *metal-gate* (MGG) na função trabalho

(*work function* - *WF*) do *gate*. Os resultados demonstram a importância de não só avaliar variações na tensão de limiar, mas também em outros parâmetros e a grande influência das flutuações na função trabalho (*work function fluctuation* - *WFF*) na tensão de limiar e nas correntes I_{ON} e I_{OFF} .

Além do impacto da variabilidade nos circuitos, muitos trabalhos analisam os efeitos de radiação. Os trabalhos de **Naseer et al. (2007)** e **Keane et al. (2007)** facilitam a caracterização dos eventos radioativos através da modelagem da carga crítica. Ambos trabalhos apresentam o modelo da dupla exponencial. Este modelo tem sido amplamente utilizado na literatura para encontrar não apenas a carga crítica, mas também os SETs introduzidos por íons em lógica combinacional. Naseer et al. (2007) realiza a análise da taxa de falhas não destrutivas (*Soft Error Rate* - *SER*) em células SRAM, através de simulações 3D TCAD na tecnologia de 90nm. Já o trabalho de Keane et al. (2007), um novo modelo para medir a carga crítica é comparado com o modelo ideal que utiliza a dupla exponencial. O mais importante destes dois trabalhos é a demonstração da utilização do modelo que é mais utilizado na literatura (dupla exponencial), pois este mesmo modelo é utilizado nesta monografia para caracterização do SET.

Apesar do foco de **Balen (2010)** ser os dispositivos analógicos programáveis, sua fundamentação teórica apresenta vários dos conceitos utilizados nesta monografia. Os efeitos da radiação nos circuitos eletrônicos são descritos desde sua origem, detalhando claramente os SEEs. O trabalho de Balen (2010) ainda apresenta uma seção dedicada as técnicas de proteção à radiação para circuitos eletrônicos, também descrevendo cada uma das técnicas em seus diferentes níveis.

Embora os artigos citados acima tenham relação direta com este trabalho, existe um conjunto de outras pesquisas que abordam o impacto da variabilidade e das falhas de radiação em nanotecnologias que serão citados nos capítulos 3 e 4.

1.2 Objetivos

Antes de destacar os objetivos desta monografia, é importante salientar os motivos da troca do tema proposto no Trabalho de Graduação 1. Por volta de Outubro de 2017 estava prevista a instalação do PDK de 28nm da *ST Microelectronics*, que era essencial para as análises do trabalho. Infelizmente este prazo para a instalação foi se estendendo (não sendo realizada até a data atual), até que por volta de Fevereiro de 2018 foi decidido a modificação do tema proposto. O tema atual tem algumas similaridades com o anterior,

porém utiliza outro PDK e realiza uma análise mais completa, verificando também os efeitos da variabilidade de processo e utilizando outra técnica visando a confiabilidade dos circuitos.

O principal objetivo deste trabalho é avaliar o impacto da variabilidade de processo e das falhas oriundas da radiação em um conjunto de portas lógicas complexas, considerando diferentes arranjos de transistores. É realizada uma comparação entre as portas complexas em suas versões tradicionais e portas lógicas básicas utilizando a lógica multi-nível, que implementam a mesma função.

Na primeira parte do trabalho são comparadas três portas lógicas em quatro diferentes arranjos de transistores. O objetivo é destacar qual dos arranjos que utilizam somente células básicas apresenta o melhor comportamento em relação aos efeitos da radiação e da variabilidade de processo. A segunda parte utiliza essa topologia destacada da primeira parte para realizar uma análise mais detalhada. Para esta análise são utilizadas sete portas lógicas em dois arranjos de transistores diferentes, com simulações a nível de leiaute. O objetivo é verificar o impacto da utilização das topologias com células básicas na sensibilidade à variabilidade de processo e efeitos de radiação.

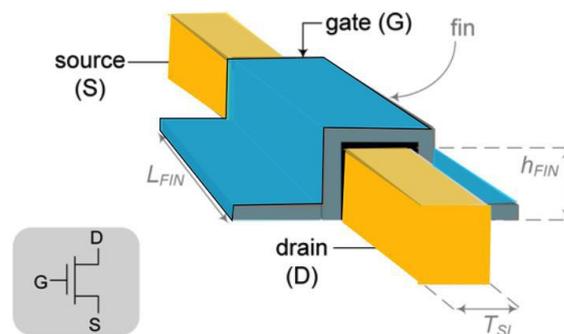
1.3 Organização do Trabalho

O capítulo 2 introduz as principais características da tecnologia FinFET. As principais fontes da variabilidade de processo e seus efeitos são apresentados no capítulo 3. Os efeitos da radiação nos circuitos elétricos, com destaque para os Efeitos de Eventos Únicos estão no capítulo 4. Nos capítulos 5 e 6 são apresentadas a metodologia e os resultados obtidos através das simulações. Os dois capítulos são divididos pelas três etapas de análise das simulações, sendo que o capítulo 6 ainda possui a divisão das duas partes do trabalho. Finalmente, as conclusões são apresentadas no capítulo 7, contendo uma seção para trabalhos futuros.

2 TECNOLOGIA FINFET

Um dispositivo FinFET é composto por estruturas verticais de silício que formam a região do canal e que conectam as regiões de fonte e dreno em cada extremidade (BROWN; WATLING; ASENOV, 2006). A região do *gate* é envolvida em torno desta estrutura vertical, que é conhecida como *fin*. Os canais MOS são formados nas duas paredes laterais. A corrente ON (I_{ON}) destes dispositivos é uma função da soma das correntes de condução (*drive currents*) contribuídas pelos dois transistores de porta lateral (*side-gate*). Essa geometria, que pode ser semelhante a uma barbatana, onde as regiões de depleção chegam partindo dos *gates* inteiramente para a região do corpo (*body region*), implica que nenhum transportador de carga livre está disponível, possibilitando a supressão dos SCE em FinFETs (HUANG et al., 1999). Fig. 2.1, apresenta os principais parâmetros geométricos de um transistor FinFET (ALIOTO, 2011): Comprimento do *gate* (*gate length* - L_G), altura do *fin* (*fin height* - H_{FIN}) e a largura (ou espessura) do *fin* (*fin width* - W_{FIN} ou *fin thickness* - T_{SI}). É importante lembrar que os FinFETs também possuem isolamentos *Bulk* e SOI, nesta monografia foi utilizado FinFETs do tipo *Bulk*.

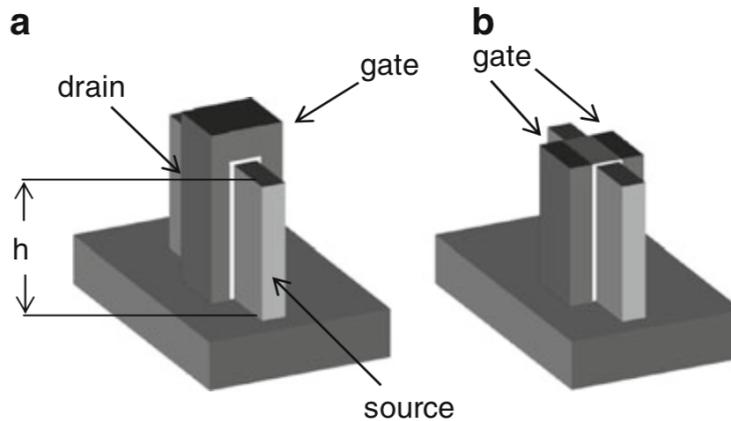
Figura 2.1: Estrutura e parâmetros geométricos de um dispositivo FinFET



Fonte: Alioto (2011)

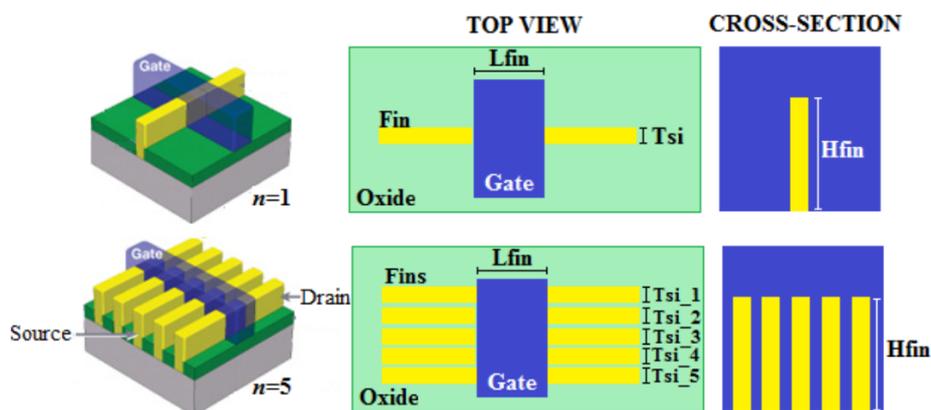
Existem dois principais tipos de dispositivos FinFET, apresentados na Figura 2.2. Em FinFETs na configuração *shorted-gate* (SG), o *front-gate* e o *back-gate* são conectados juntos, levando a um dispositivo de três terminais. Isso pode servir como um substituto direto para os dispositivos convencionais *bulk* CMOS. Nos FinFETs de configuração *independent-gate* (IG), a parte superior do *gate* é retirada, dando lugar a dois *gates* independentes. Como os dois *gates* independentes podem ser controlados separadamente, os FinFETs no modo IG oferecem mais opções de *design* (MISHRA; MUTTREJA; JHA, 2011). Este trabalho utiliza os transistores FinFET na configuração *shorted-gate* para todas as análises.

Figura 2.2: Duas configurações de dispositivos FinFET: (a) SG - FinFET; (b) IG - FinFET



Fonte: Mishra, Muttreja and Jha (2011)

Outra importante característica da tecnologia FinFET é o dimensionamento dos transistores. Diferentemente dos dispositivos MOSFET tradicionais, para se ter um aumento no dimensionamento de transistores FinFETs, múltiplos *fins* compartilhando uma difusão lateral comum são conectados em paralelo na região entre a fonte e o dreno, como mostra a Figura 2.3. Assim, a largura total do dispositivo é dada por $W_{TOTAL} \approx W_{MIN} \times n$, onde n é o número de *fins* (SWAHN; HASSOUN, 2006)(COLINGE et al., 2008) e W_{MIN} (tamanho mínimo do transistor) é $W_{MIN} = 2 \times H_{FIN}$.

Figura 2.3: Estrutura de um FinFET com único *fin* e *multi-fin*

Fonte: Christiansen (2015)

A variabilidade nos dispositivos FinFET afeta o comportamento das correntes elétricas, especialmente a corrente estática (MEINHARDT; ZIMPECK; REIS, 2014). Em dispositivos *multi-gate*, os efeitos da variabilidade ocorrem principalmente devido a flutuação da função trabalho do metal do *gate* (BROWN; WATLING; ASENOV, 2006)(KLEBERGER; GRAEB; SCHLICHTMANN, 2013).

3 VARIABILIDADE DE PROCESSO

Entre os três diferentes fatores de variabilidade citados anteriormente, este trabalho tem o foco nos fatores físicos. Os fatores físicos estão associados a variações nos parâmetros geométricos, que podem ocorrer devido ao processo de fabricação dos dispositivos. Este capítulo detalha as principais características da variabilidade de processo, mostrando o seu impacto em dispositivos FinFET e destacando o parâmetro mais significativo para seus efeitos.

Desde o início da adoção de dispositivos FinFET em circuitos digitais, muitos trabalhos reforçam a relevância de considerar o impacto da variabilidade em dispositivos FinFET. O objetivo é estimar como esse efeito afetará o projeto de circuitos integrados e garantir dispositivos funcionais (KING, 2005)(DADGOUR; DE; BANERJEE, 2008)(ENDO et al., 2009)(WANG et al., 2011). Inicialmente os trabalhos investigavam somente o impacto na tensão de limiar e nas correntes de I_{ON} e I_{OFF} de variações nos principais parâmetros geométricos dos dispositivos.

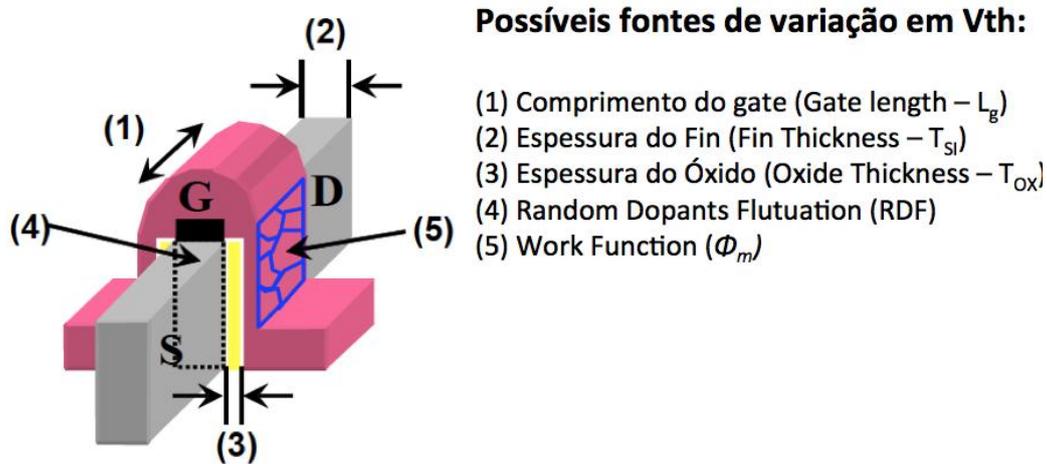
As principais fontes de variabilidade de processo em tecnologias nanométricas ocorrem durante a etapa de litografia, devido ao comprimento de onda utilizado (DADGOUR et al., 2010)(NASSIF, 2008). A variabilidade nos parâmetros geométricos devido à litografia impacta diretamente a tensão de limiar do transistor (V_{th}). Essas variações podem comprometer blocos de células inteiros ou reduzir o desempenho e a eficiência energética do chip.

O trabalho de Topaloglu (2013) aponta algumas fontes de variabilidade esperadas para FinFETs. Entre as principais fontes, são destacadas: a influência das variações na altura dos *fin*s, nas variações de largura através das camadas de padrão duplo, as variações de *fin* para *fin*, as variações dependentes da largura do *pitch*, da resistência de MOL (*Middle of Line*), e variações devido ao *overlap* e *epitaxy*.

A Figura 3.1 resume as principais fontes apontadas como os fatores mais significativos à afetar a tensão de limiar em dispositivos FinFET (ENDO et al., 2009). Estudos posteriores salientam que não é mais suficiente considerar somente as flutuações na tensão de limiar no desenvolvimento de projetos e ferramentas de EDA que consideram a tecnologia FinFET. É necessário considerar todas as características elétricas para estas tecnologias nanométricas (GSS, 2010).

Para os dispositivos *bulk* CMOS em nanotecnologias, a variabilidade geométrica no comprimento do canal de *gate* é o parâmetro com maior impacto na alteração da cor-

Figura 3.1: Possíveis fontes de variação na tensão de limiar de FinFETs



Fonte: Endo et al. (2009)

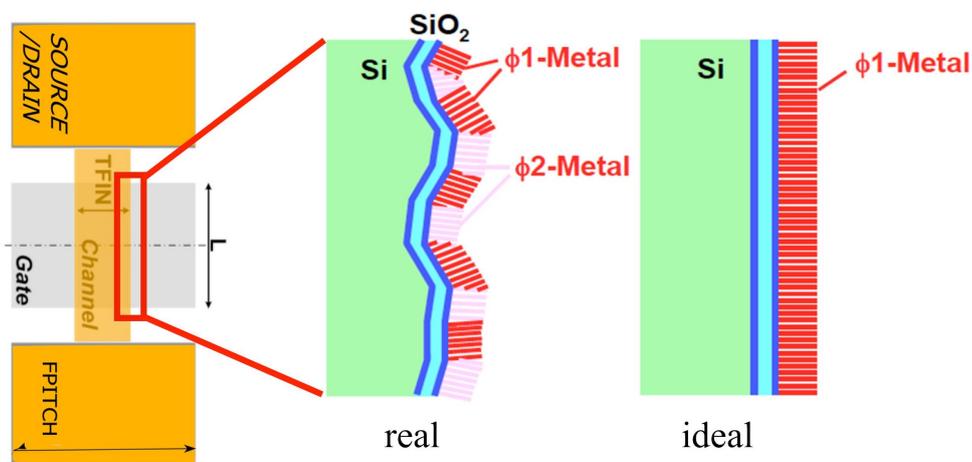
rente I_{ON} devido à flutuação aleatória nos dopantes do canal (MEINHARDT, 2014). Entretanto, em dispositivos FinFET outro parâmetro apresenta um impacto maior. Como resultado do formato ativo dos *fin*s, o canal do *fin* é fracamente dopado para minimizar variações na tensão de limiar. Como consequência, a tensão de limiar de canais fracamente dopados é principalmente configurada pela função trabalho dos metais adotados no *gate*. O uso de metal como material do *gate* introduziu certa flutuação na função trabalho do *gate*, principalmente devido a presença de granularidades no metal (MGG).

Assim, embora as variações no comprimento do *gate*, na altura do *fin* e na largura do *fin* influenciem o comportamento elétrico de dispositivos FinFET, as flutuações da função trabalho do *metal gate* são a principal fonte de variabilidade esperada para FinFETs sub 20nm (HENDERSON, 2013). O parâmetro que representa essas flutuações é o WFF, que pode ser considerado o parâmetro mais significativo para os efeitos da variabilidade de processo em FinFETs.

O WFF é causado pela dependência da função-trabalho do metal na orientação de seus grãos, como mostrado na Fig. 3.2. O parâmetro apresenta uma alta correlação entre a variabilidade nas correntes de I_{ON} e I_{OFF} e a flutuação da tensão de limiar na presença de MGG (WANG et al., 2011). No processo de fabricação ideal, os dispositivos *metal gate* possuem os *gates* produzidos com metal uniformemente alinhado e com um desvio WFF muito menor. No entanto, no processo de fabricação real, os dispositivos *metal gate* são geralmente produzidos com metais com diferentes funções-trabalho (Φ_m) alinhadas aleatoriamente, o que causa uma maior variação do WFF.

Dadgour, De and Banerjee (2008) avaliou o nível de desvio da função trabalho em vários tipos de dispositivos CMOS com *gate* de metal. A Figura 3.3 mostra os resultados

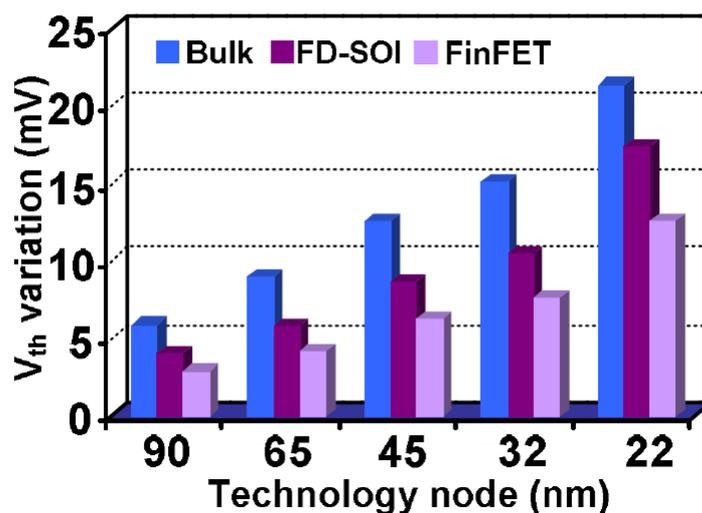
Figura 3.2: Fabricação do *metal gate* nos aspectos ideal e real



Fonte: Meinhardt, Zimpeck and Reis (2014)

da comparação do impacto na tensão de limiar de variações nos parâmetros de processo para diferentes nodos tecnológicos nas tecnologias *bulk* CMOS, FD-SOI e FinFET, considerando o *gate* utilizando como metal o material TiN nas tecnologias FD-SOI e FinFET, destacando que a tecnologia FinFET é a que sofre menor impacto na tensão de limiar.

Figura 3.3: Variação na tensão de limiar de dispositivos *bulk* CMOS, FD-SOI e FinFET em diferentes nodos tecnológicos



Fonte: Dadgour, De and Banerjee (2008)

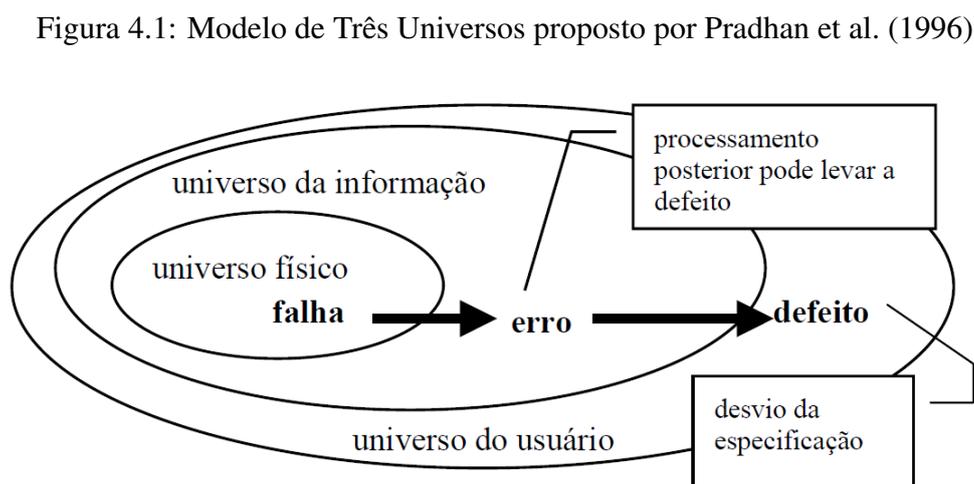
4 EFEITOS DA RADIAÇÃO NOS CIRCUITOS ELETRÔNICOS

Este capítulo apresenta os principais conceitos e características dos efeitos da radiação nos circuitos eletrônicos. O foco são os SEEs, principalmente o impacto das falhas transientes nos dispositivos. Antes de detalhar esses efeitos, é importante apresentar conceitos clássicos da área de tolerância a falhas, a seção 4.1 apresenta os conceitos e diferenças entre falha, erro e defeito. Os diferentes tipos de mascaramento de falhas podem ser vistos na seção 4.2.

4.1 Falha, Erro e Defeito

Na área de tolerância a falhas, os termos mais conflitantes são falha, erro e defeito. Os conceitos e termos apresentados neste trabalho são utilizados por grande parte da comunidade (LAPRIE, 1985)(ANDERSON; LEE, 1981), destacando-se os trabalhos de Pradhan et al. (1996) e Avizienis (1982).

Os termos falha (*fault*), erro (*error*) e defeito (*failure*) podem ser melhor explicados usando o modelo de Três Universos de Pradhan et al. (1996), apresentado na Fig. 4.1. Este modelo, uma adaptação do modelo de Quatro Universos introduzido por Avizienis (1982), descreve as diferentes fases da evolução de uma falha para um defeito. O primeiro universo é o universo físico, onde ocorrem falhas.



Fonte: Adaptada de Pradhan et al. (1996)

Uma **falha** é uma condição física indesejada ou imperfeição que ocorre em algum componente de *hardware* ou *software*. As falhas podem ficar dormentes por um longo

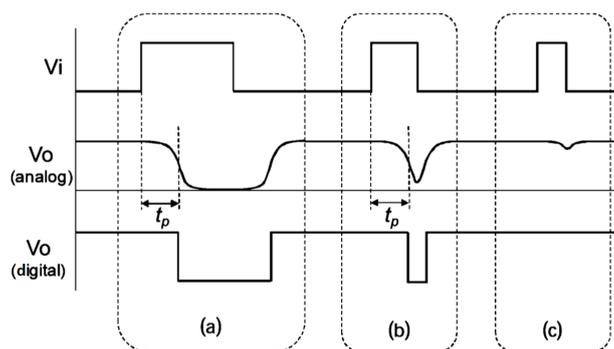
tempo e não influenciar a execução do componente. Quando uma falha é ativada, os efeitos podem ser observados no universo da informação. Um **erro** é a manifestação de uma falha, ou seja, alteração do estado do sistema apresentando inconsistência nos dados gerados pela funcionalidade afetada pela falha. Já um **defeito** é um desvio da especificação do circuito, e portanto corresponde à incapacidade de um componente em realizar sua função predefinida. Defeitos não podem ser tolerados, apenas evitados.

4.2 Mascaramento de Falhas

Na ocorrência de falhas, existem alguns mecanismos que são responsáveis por mascarar o efeito de uma falha e impedir que ela seja propagada para próximos níveis, evitando que valores incorretos cheguem até a saída do circuito. O mascaramento pode ser dividido em três principais tipos: elétrico, lógico e janela de amostragem (*latching window*).

No **mascaramento elétrico**, a falha não é propagada até a saída do circuito devido a perdas elétricas durante o percurso no circuito que atenua sua magnitude. Na Figura 4.2 pode-se observar a degradação do pulso, até a sua possível atenuação, caracterizando o mascaramento elétrico.

Figura 4.2: Degradação de um pulso por mascaramento elétrico. Dependendo da largura do pulso gerado (a) este, ao propagar-se pelo circuito, pode vir a ser atenuado (b) ou filtrado (c), caracterizando o mascaramento elétrico

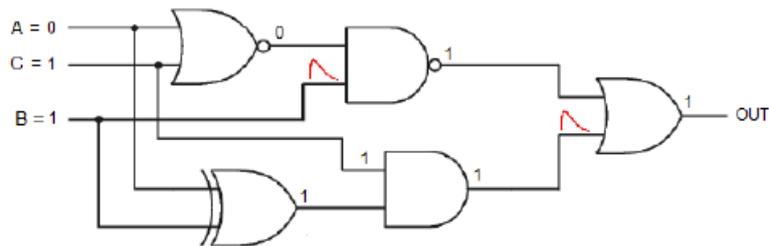


Fonte: Entrena et al. (2009)

O **mascaramento lógico** ocorre quando a falha afeta uma região do circuito que não é determinante para o resultado obtido na sua saída no instante que ocorreu a falha. A Fig. 4.3 apresenta dois casos de mascaramento lógico presentes em um circuito. O primeiro caso seria a porta lógica NAND2, onde uma de suas entradas está fixa em '0'. Deste modo, não importa o valor atribuído nas demais entradas, sua saída será sempre '1'.

Outro caso pode ser observado na porta OR2, na qual uma falha transiente incide sobre uma de suas entradas, sendo que a outra entrada é igual a '1'. Como a saída do circuito já foi determinada por uma de suas entradas, a falha transiente presente na outra entrada não afetará o resultado, portanto dizemos que houve o mascaramento lógico da falha em questão.

Figura 4.3: Exemplo de mascaramento lógico em circuito combinacional



Fonte: Zimpeck, Meinhardt and Butzen (2014)

O mascaramento por janela de amostragem ocorre quando um pulso transiente, sem ser mascarado logicamente ou eletricamente, se propaga através do circuito até um elemento de memória. Entretanto, durante a sua transição não ocorre transição do relógio, ou seja, o pulso atinge as linhas de dados fora da área da janela de amostragem, como pode ser visto na Fig. 4.4. Assim, este pulso não será armazenado na memória, não produzindo um erro.

Figura 4.4: Mascaramento por janela de amostragem (*latching window*)



Fonte: Zimpeck, Meinhardt and Butzen (2014)

4.3 Caracterização dos efeitos da radiação em dispositivos eletrônicos

Os efeitos da radiação que afetam o funcionamento dos circuitos eletrônicos podem ser classificados em três grandes grupos:

1. **Total Ionizing Dose (TID):** são efeitos de caráter cumulativo, que ocorrem devido à

exposição dos circuitos integrados à radiação ao longo do tempo. São produzidos após uma partícula ionizante entrar em contato com o dispositivo e que não são desfeitos ao longo do tempo, ou seja, efeitos de longo prazo na qual sua intensidade depende da intensidade da radiação e do tempo que o circuito foi exposto a esta radiação (VELAZCO; FOUILLAT; REIS, 2007);

2. *Displacement Damage (DD)*: causa danos físicos na estrutura cristalina do material (silício no caso dos semicondutores de interesse neste trabalho) ocasionados pela perda de energia de forma não ionizante (NIEL: *Non-ionizing Energy Loss*) das partículas incidentes no material, degradando o material e suas propriedades;

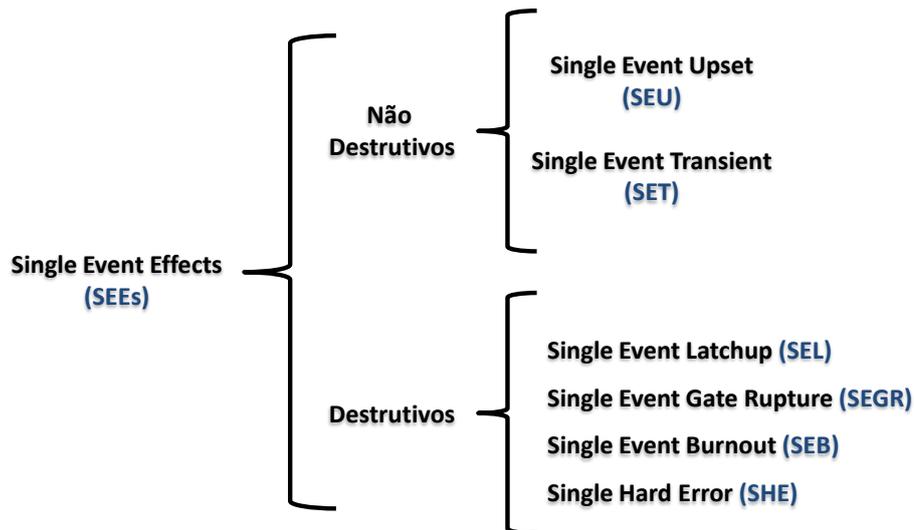
3. *Single Event Effects (SEEs)*: são efeitos que ocorrem devido ao bombardeamento de partículas energizadas (elétrons, prótons, partículas alfas e íons pesados) que atingem o silício, ionizando-o densamente e liberando energia que pode danificar os circuitos permanentemente ou induzir comportamentos transientes, comprometendo o bom funcionamento do dispositivo. Os SEEs podem ser classificados como destrutivos e não destrutivos (AZAMBUJA; KASTENSMIDT; BECKER, 2014):

(a) Destrutivos: são efeitos que danificam permanentemente o circuito. Os quatro principais efeitos são: o **SEL (*Single Event Latchup*)** que nem sempre é destrutivo, ocorre quando a incidência da partícula acarreta no aumento da corrente de operação podendo ocasionar a destruição do transistor; o **SEGR (*Single Event Gate Rupture*)** onde o óxido do gate é danificado formando um caminho condutor; o **SEB (*Single Event Burnout*)** quando a partícula atinge a região da fonte do transistor criando uma corrente entre a fonte e o dreno. Essa corrente pode gerar uma falha destrutiva no dispositivo, o dispositivo literalmente "queima" (*burnout*); e o **SHE (*Single Hard Error*)**, a deposição de grandes cargas de energia podem danificar a capacidade dos transistores de transicionar de estado. Em Sexton (2003) os mecanismos de SEE destrutivos são revisados e discutidos.

(b) Não destrutivos: também são comumente conhecidos por *Soft Errors*. Podem ainda ser classificados em dois tipos dependendo da natureza do elemento atingido: o **SEU (*Single Event Upset*)** quando o elemento atingido for um elemento sequencial, por exemplo um *flip-flop*, modificando o estado de um bit armazenado (*bit flip*); e o **SET (*Single Event Transient*)** se a partícula atingir um elemento combinacional, por exemplo, um multiplexador, um pulso transiente é gerado que pode ou não ser capturado por um elemento de memória.

A Figura 4.5 apresenta a classificação dos principais SEEs na literatura. O foco deste trabalho é o efeito SET (*Single Event Transient*), que ocorre em circuitos combinacionais. A próxima seção apresenta mais detalhes dos SEEs com destaque para o SET.

Figura 4.5: Classificação dos principais *Single Event Effects*



Fonte: Adaptada de Chorasía, Jasani and Shah (2017)

4.4 Efeitos De Eventos Únicos (SEEs)

Os Efeitos de Eventos Únicos (*Single Event Effects* – SEEs) ocorrem devido à interação de partículas com grande capacidade de ionização (prótons, nêutrons, partículas α e íons pesados) que atravessam camadas isolantes, semicondutoras ou até mesmo todo o dispositivo MOS. Essas partículas, ao adentrarem o material de silício geram um caminho transitório constituído por elementos ionizados (pares elétrons-lacuna - \bar{e}/h) dispostos sob uma distribuição radial que permeia o percurso da partícula incidente. Esse caminho transitório pode possuir carga móvel suficiente de forma a conduzir um pulso de corrente frente à presença do campo elétrico externo devido à polarização do transistor.

SEEs indicam qualquer alteração mensurável ou observável em um estado ou desempenho de um dispositivo microeletrônico, componente, subsistema ou sistema (digital ou analógico) como resultado da incidência de uma única partícula energética. De acordo

com a intensidade e a região em que flui essa corrente, ela é capaz de ocasionar falhas que podem ser permanentes na estrutura do dispositivo, chamadas Eventos Únicos Permanentes ou Destrutivos (*hard error*), ou falhas não-destrutivas (*soft errors*), representadas Eventos Únicos Transientes (*Single Event Transient – SET*) e pelos SEU (*Single Event Upset*) (MUNTEANU; AUTRAN, 2008).

A principal diferença entre os dois eventos não-destrutivos é o local de incidência da partícula. Se o pulso de corrente ocorrer dentro de um circuito sequencial, tal como *latches* ou *flip-flops*, o valor original armazenado poderá ser invertido, produzindo um SEU ou *bit-flip* (BRAMNIK; SHERBAN; SEIFERT, 2013). De forma semelhante, o efeito SET também gera um pulso, mas a sua origem é pelo impacto de partículas dentro de um circuito combinacional. Se o pulso gerado dentro de um circuito combinacional se propagar e chegar até um circuito sequencial, o SET poderá se tornar um SEU.

Os SEUs, diferentemente dos SETs, tem o caráter não transiente, pois estão associados à inversão de bits de elementos de memória. Podem ter uma duração indefinida ou serem corrigidos após um ou mais ciclos de relógio. Como esta monografia tem o foco na análise dos SETs, este efeito será descrito detalhadamente a seguir.

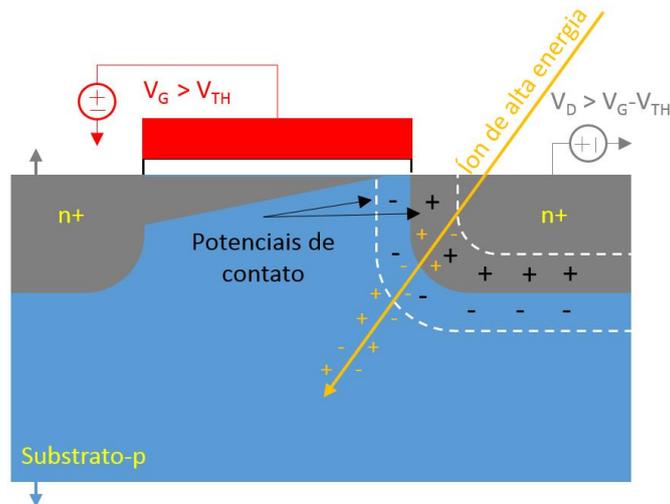
4.4.1 Eventos Únicos Transientes

Os eventos únicos transientes são aqueles eventos que não geram, diretamente, inversão de bits no circuito atingido. Para quantificar os efeitos dos SETs, características como amplitude, formato e duração do pulso de corrente são grandezas importantes. Os SETs são originados por pulsos de corrente gerados pelo impacto de partículas energéticas no semicondutor (BALEN, 2010). O caminho formado pela disposição radial de pares elétrons/lacunas (e^-/h) criados após a incidência transversal de uma partícula de alta energia sob um transistor NMOS polarizado está ilustrado na Figura 4.6.

Após a geração dos pares e^-/h a maioria dessas cargas são imediatamente deslocadas para suas respectivas polaridades opostas. Isso acontece devido à presença do intenso campo elétrico na região de depleção, a qual é compreendida pela área entre as linhas pontilhadas (na cor branca) na Figura 4.6.

Nesse caso, conforme apontado pelas setas amarelas, na Figura 4.7, os elétrons movem-se em deriva no sentido do potencial mais positivo, estabelecido na região N+ da junção, ao passo que as lacunas migram no sentido do potencial mais negativo, estabelecido na região P. Desse modo ocorre a migração líquida de portadores, possibilitando

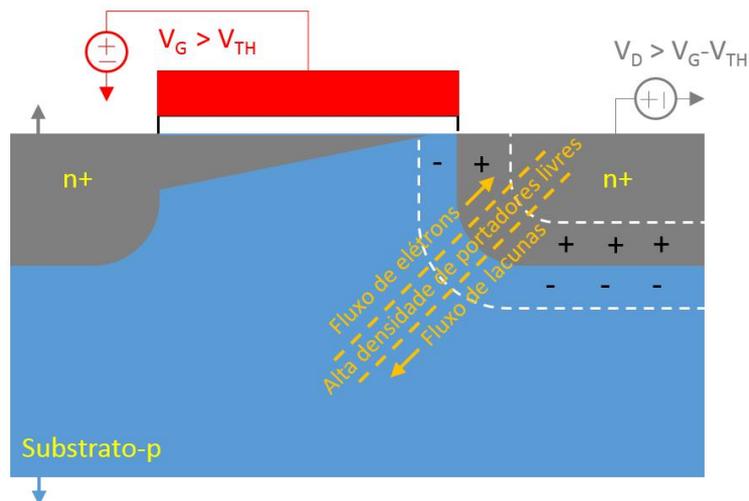
Figura 4.6: Geração de pares e^-/h no dispositivo MOS devido à incidência de um íon de alta energia



Fonte: Vaz (2015)

que se estabeleça uma corrente de deriva (*drift*) através do caminho formado. A quantidade total de corrente envolvida nesse processo, ou pulso de corrente, é responsável por uma queda de tensão no terminal. Essa queda de tensão, pode ser temporária, se o terminal estiver polarizado, ou até mesmo permanente, caso o terminal se encontrar sem polarização.

Figura 4.7: Indicação do deslocamento predominante de portadores positivos e negativos no transistor NMOS



Fonte: Vaz (2015)

Assim, é possível afirmar que a origem destes efeitos em nível elétrico ocorre no domínio analógico (BALEN, 2010). O efeito resultante causado por um SET é um pulso de corrente, em um dado ponto do circuito, que pode propagar-se modificando a tensão de outros nós e a corrente em outros pontos do circuito (BAZE; BUCHNER, 1997)(SAVAGE

et al., 2001).

Na medida em que o SET se propaga pelo caminho do sinal, o pulso pode ter sua largura diminuída ou até mesmo aumentada (FERLET-CAVROIS et al., 2007)(WIRTH; KASTENSMIDT; RIBEIRO, 2008). Isso deve-se aos diferentes atrasos de propagação de subida e descida das portas que compõe o circuito (parâmetros que dependem da carga à qual cada porta está submetida e ao dimensionamento e parâmetros tecnológicos dos transistores). O pulso ocasionado pelo SET pode ainda ser atenuado em sua amplitude, ao longo do circuito combinacional, chegando a um elemento de memória com uma pequena amplitude. Neste caso, o pulso não será capturado pelo registrador, ocasionando o mascaramento elétrico. Como já citado no início desse trabalho, outro tipo de mascaramento é o mascaramento lógico, caracterizado pelo fato de impedir que um SET propague-se até um elemento de memória, por este ocorrer ou propagar-se por caminhos não sensibilizados da lógica combinacional (ENTRENA et al., 2009).

O pulso propagado após a ocorrência de um SET, mesmo quando não mascarado pelos mecanismos aqui descritos, pode ainda sofrer o mascaramento por janela de amostragem. Neste caso, mesmo invertendo temporariamente o nível lógico na entrada de um registrador, o pulso ocorre fora do intervalo de tempo de captura do sinal. Quanto maior for a largura do pulso do SET, menor é a probabilidade de ocorrer o mascaramento temporal, pois a probabilidade do pulso vir a ser capturado aumenta (BALEN, 2010).

A amplitude e a duração de um SET dependem de fatores como a tecnologia de fabricação, geometria do circuito, tensão de polarização do nó afetado, impedância de carga do nó, local do transistor atingido pela partícula, além de fatores relacionados ao SEE em si, como o tipo e energia da partícula incidente (BALEN, 2010).

A energia depositada pela partícula devido a sua ionização no silício é uma métrica importante no estudo dos efeitos de radiação em nanotecnologias, pois está diretamente relacionada com a magnitude do pulso transiente gerado. O *Linear Energy Transfer* (LET), em MeV/cm , é a quantidade de energia que uma partícula libera por unidade de comprimento do caminho percorrido pela mesma, ou seja:

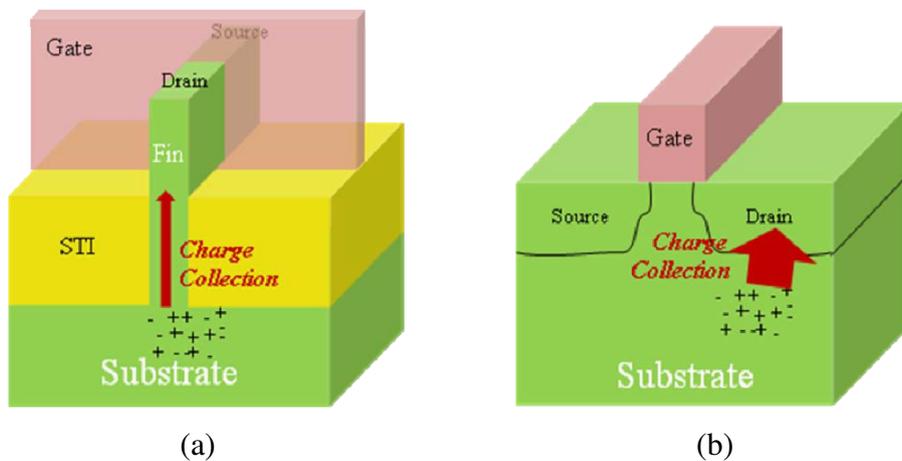
$$LET = \frac{\partial E}{\partial x} \quad (4.1)$$

O LET é dependente da massa e da energia da partícula e do material ionizado, portanto, partículas com maior massa e energia ionizadas em materiais mais densos possuem maiores LETs (BAUMANN, 2005). O LET pode ser normalizado pela densidade do material semiconductor e ser expresso pela carga por unidade de comprimento (pC/m

ou fC/m). Essa conversão permite a comparação da dimensão física do dispositivo e a carga depositada.

Como este trabalho, estuda os efeitos das falhas transitórias em dispositivos FinFET, é importante destacar as diferenças do impacto do SET nesta tecnologia. A natureza disruptiva da estrutura FinFET introduz questões em termos de compreensão, previsão e mitigação de SEEs nos circuitos. A mudança na estrutura do dispositivo planar para FinFET (como mostrado na Figura 4.8) afeta a área sensível e os processos de coleta de carga após o impacto de um íon (NSENGIYUMVA et al., 2016)(LEE et al., 2015). Os

Figura 4.8: Comparação entre estruturas 3D de (a) FinFET e (b) Transistor Planar



Fonte: Lee et al. (2015)

processos de coleta de carga e a área sensível resultante para transistores individuais são essenciais para modelagem SEE e análise preditiva para circuitos. As tecnologias FinFET coletam significativamente menos carga do que as tecnologias planares convencionais. O trabalho de Fang and Oates (2011) indica que a coleta de carga para regiões semicondutoras nas tecnologias FinFET é aproximadamente reduzida em 70% em comparação com as tecnologias planares.

4.4.2 Eventos Únicos Permanentes

Diferentemente dos SETs vistos na seção anterior, os Eventos Únicos Permanentes danificam permanentemente o dispositivo. Como citado anteriormente, esses efeitos não fazem parte do escopo deste trabalho, portanto serão brevemente descritos.

Os efeitos únicos permanentes, são classificados em diversos tipos diferentes, como: SEL (*Single Event Latchup*), SHE (*Single Hard Error*), SEB (*Single Event Bur-*

nout) e SEGR (*Single Event Gate Rupture*). Os dois últimos efeitos citados serão melhores descritos a seguir:

- (a) SEB (*Single Event Burnout*): ocorre quando a passagem de um íon de alta energia, através do dispositivo, provoca a geração de um denso plasma de pares \bar{e}/h que, sob a influência de uma polarização do terminal de dreno, produzem uma corrente de elevada densidade. Essa corrente resultante, se não for rapidamente drenada, pode gerar uma falha destrutiva no dispositivo, ocasionando sua “queima” (*burnout*) (SEXTON, 2003).
- (b) SEGR (*Single Event Gate Rupture*): Devido a redução das dimensões dos transistores nas tecnologias recentes, a espessura do óxido do *gate* também tem sido significativamente reduzida. Essa redução aumenta o campo elétrico do óxido, uma vez que este é inversamente proporcional à espessura do dielétrico. Assim, perturbações no campo elétrico que permeia o óxido podem fazer com que este supere a sua rigidez dielétrica, ocasionando sua ruptura.

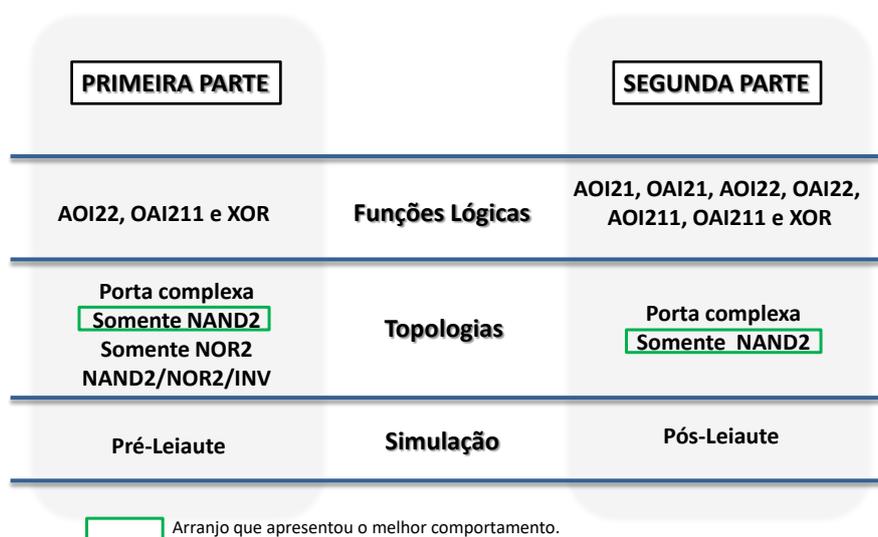
5 METODOLOGIA

Este trabalho avalia o impacto da variabilidade de processo e os efeitos de radiação em diferentes arranjos de transistores. Os experimentos foram divididos em duas partes, como mostra a Figura 5.1.

Na **primeira parte**, três funções lógicas foram escolhidas (AOI22, OAI211 e XOR) e quatro diferentes topologias de transistores foram exploradas (porta complexa, somente NAND2, somente NOR2 e NAND2/NOR2/INV) para realizar as análises através de simulação elétrica (pré-leiaute). O objetivo desta primeira parte é determinar qual dos três arranjos, que utilizam somente portas básicas, apresenta o melhor comportamento em relação aos efeitos de radiação e da variabilidade de processo.

Com esse arranjo determinado, foi realizada a **segunda parte** do trabalho, na qual sete funções lógicas foram escolhidas (AOI21, OAI21, AOI22, OAI22, AOI211, OAI211 e XOR) e dois arranjos foram comparados: a porta complexa e o arranjo que utiliza somente portas NAND2. Os resultados que justificam a escolha do arranjo que utiliza somente portas NAND2 serão apresentados no capítulo 6. Esta parte dos experimentos é realizada com simulações pós-leiaute.

Figura 5.1: Divisão dos experimentos propostos no trabalho



Fonte: Produção do próprio autor

Para a topologia de transistor de porta complexa, as funções são otimizadas e projetadas como uma topologia CMOS de porta lógica complexa. Então, as funções são convertidas, usando o teorema de De Morgan, nos três outros arranjos de transistores, de

modo que somente células básicas são utilizadas. As Tabelas 5.1, 5.2 e 5.3 mostram as funções complexas de cada porta complexa utilizada na primeira parte do trabalho e suas respectivas funções convertidas usando apenas portas NAND2, somente portas NOR2 e portas NAND2/NOR2/INV.

Tabela 5.1: Funções Complexas e Convertidas da porta XOR

Arranjos de Transistores	XOR
Porta Complexa	$Y = A.B' + A'.B$
NAND2	$Y = ((A . (B.B)')') . ((A.A)' . B)')'$
NOR2	$Y = (((A+A)' + B)' + (A + (B+B)'))' + (((A+A)' + B)' + (A + (B+B)'))'')$
NAND2/NOR2/INV	$Y = (((A.B)')') + ((A'.B)')')'$

Fonte: Produção do próprio autor

Tabela 5.2: Funções Complexas e Convertidas da porta OAI211

Arranjos de Transistores	OAI211
Porta Complexa	$Y = (A+B . C.D)'$
NAND2	$Y = (((A.A)' . (B.B)')') . ((C.D)' . (C.D)')')'$
NOR2	$Y = (((A+B)' + ((C+D)' + (C+D)'))' + ((A+B)' + ((C+D)' + (C+D)'))'')$
NAND2/NOR2/INV	$Y = (((A'.B)')') + (C.D)')'$

Fonte: Produção do próprio autor

Tabela 5.3: Funções Complexas e Convertidas da porta AOI22

Arranjos de Transistores	AOI22
Porta Complexa	$Y = (A.B + C.D)'$
NAND2	$Y = (((A.B)' . (C.D)')') . ((A.B)' . (C.D)')')'$
NOR2	$Y = (((A+A)' + (B+B)')' + ((C+C)' + (D+D)'))'$
NAND2/NOR2/INV	$Y = (((A'+B)')') . (C+D)')'$

Fonte: Produção do próprio autor

Na primeira parte, foram realizadas simulações elétricas utilizando a ferramenta HSPICE[®] da Synopsys[®]. A ferramenta foi utilizada tanto para a descrição dos circuitos quanto para as simulações. Já para a segunda parte foram projetados os leiautes das sete portas lógicas em seus dois diferentes arranjos, utilizando a ferramenta Virtuoso[®] da Cadence[®].

Ambas partes do estudo utilizam o *Process Design Kit* (PDK) de 7nm FinFET da ASAP7, desenvolvido pela *Arizona State University* em parceria com a ARM (CLARK et al., 2016), para executar todas as etapas deste trabalho. A Tabela 5.4 detalha os principais parâmetros da tecnologia 7nm FinFET da ASAP7 para as simulações elétricas.

Tabela 5.4: Principais parâmetros da tecnologia 7nm FinFET ASAP7

Parâmetros		7nm
Tensão de Alimentação		0,7V
Comprimento do Gate (L_G)		21nm
Largura do Fin (W_{FIN})		6,5nm
Altura do Fin (H_{FIN})		32nm
Espessura do Óxido (Tox)		2,1nm
Dopagem do Canal		$1 \times 10^{22} m^{-3}$
Dopagem Fonte/Dreno		$2 \times 10^{26} m^{-3}$
Função	NFET	4,3720
Trabalho	PFET	4,8108

Fonte: Clark et al. (2016)

Segundo os desenvolvedores, uma importante característica deste PDK são que os polígonos desenhados e reais não são o que você vê, e sim o que se obtém (*what you see is what you get* - WYSIWYG). Isso fornece alguma flexibilidade nas suposições do processo, deixando leiautes inalterados e permitindo que as células padrão (*standard cells*) sejam desenhadas em um *grid* relaxado de 1 nm (CLARK et al., 2016). Ele também facilita o reconhecimento das estruturas de leiaute em vários casos. As regras do projeto, as dimensões reais e as suposições subjacentes para algumas camadas principais são mostradas na Tabela 5.5. Nos experimentos, o dimensionamento do transistor considera todos os transistores com um número de *fins* igual a três. A tensão de alimentação nominal do modelo adotado é de 0,7V e a frequência mínima de chaveamento dos sinais de entrada

Tabela 5.5: Premissas, larguras e *itches* das principais camadas de litografia

Camada	Litografia	Largura/desenho (nm)	Pitch (nm)
<i>Fin</i>	SAQP	6.5/7	27
<i>Active</i> (horizontal)	EUV	54/16	108
<i>Gate</i>	SADP	21/20	54
SDT/LISD	EUV	25/24	54 ^b
LIG	EUV	16/16	54
VIA0–VIA3	EUV	18/18	25 ^a
M1–M3	EUV	18/18	36
M4 e M5	SADP	24/24	48
VIA4 e VIA5	LELE	24/24	34 ^a
M6 e M7	SADP	32/32	64
VIA6 e VIA7	LELE	32/32	45 ^a
M8 e M9	SE	40/40	80
VIA8	SE	40/40	57 ^a

^a Distância *corner to corner* como no desenho.

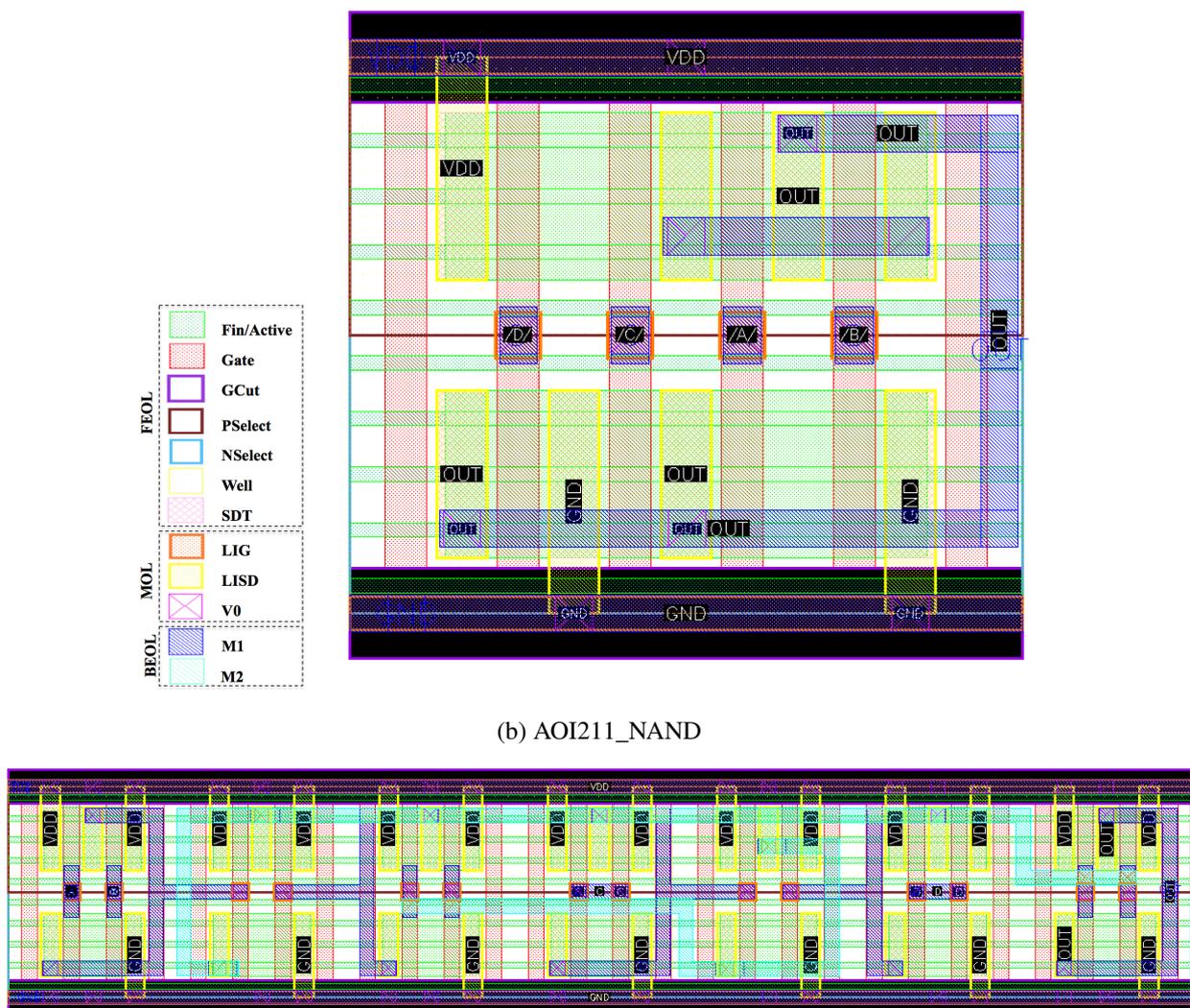
^b Somente horizontal.

Fonte: Clark et al. (2016)

foi de 500MHz. Para tornar as entradas dos circuitos mais realistas, dois inversores foram colocados em série em cada entrada de cada porta lógica. Ainda, quatro inversores (*Fanout 4*) foram utilizados como carga na saída do circuito.

Um exemplo de leiaute desenvolvido pode ser observado na Figura 5.2a e Figura 5.2b, todos os leiautes desenvolvidos no trabalho são apresentados no ANEXO B. Para fazer as conexões do *back-gate*, é necessário a utilização de uma célula TAP (*TAP Cell*). Ela é responsável por conectar os *back-gates* NMOS e PMOS ao V_{DD}/G_{ND} , respectivamente. É uma restrição de tecnologia, que é necessária para o bom funcionamento do circuito. Seu leiaute tem um comprimento de $0,108\mu m$ resultando em uma área de $0,02916\mu m^2$ e está demonstrado na Figura 5.3.

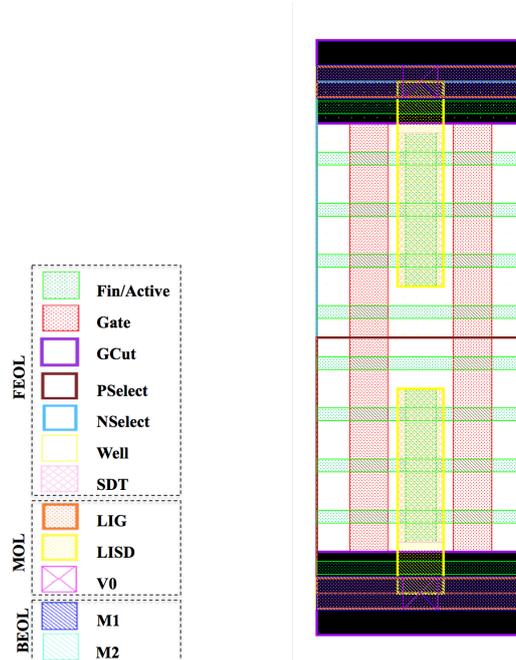
Figura 5.2: Leiaute da porta AOI211 nas duas topologias: complexa e somente NAND2
(a) AOI211



(b) AOI211_NAND

Fonte: Produção do próprio autor

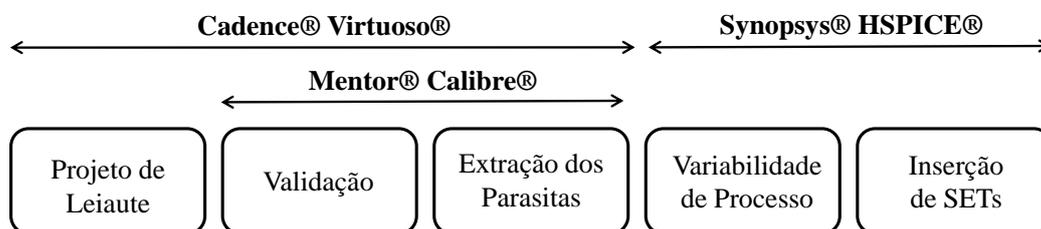
Figura 5.3: Leiaute da célula TAP necessária para o funcionamento dos circuitos



Fonte: Produção do próprio autor

Todos os leiautes foram validados pelos passos de DRC (*Design Rule Check*) e LVS (*Layout Versus Schematic*) utilizando o Calibre[®] da Mentor[®]. Um novo *netlist* foi gerado após a avaliação dos efeitos parasitas. A ferramenta HSPICE[®] também é utilizada nesta segunda parte, ela é responsável pela simulação dos efeitos da variabilidade de processo e o impacto dos SETs. O fluxo de projeto da segunda parte do trabalho pode ser visto na Figura 5.4.

Figura 5.4: Fluxo de projeto da segunda parte do trabalho



Fonte: Produção do próprio autor

A análise deste trabalho pode ser dividida em três etapas, que são realizadas nas duas partes do trabalho: (1) nominal, (2) variabilidade de processo e (3) efeitos de radiação. Além de comparar os resultados obtidos em cada etapa, uma comparação geral dos resultados também é realizada. O objetivo é destacar qual arranjo de transistor apresenta

os melhores resultados visando apenas a variabilidade de processo e apenas falhas transitórias, mas também apresentar a topologia que possui um comportamento médio ideal nas três etapas estudadas.

5.1 Condições Nominais

Esta etapa avalia os circuitos em condições nominais, isto é, a variabilidade de processo e os efeitos de radiação não são considerados. Nesta etapa, os tempos de propagação e o consumo de potência total das portas complexas em seus diferentes arranjos são comparados. O objetivo é analisar as características típicas de cada porta e cada arranjo. Valores nominais são usados como valores de referência para avaliar a variabilidade e os efeitos da radiação.

5.2 Variabilidade de Processo

A análise considerando os efeitos da variabilidade de processo é realizada no segundo estágio. A função-trabalho do *metal-gate* exibe uma distribuição multi-nominal, que pode ser aproximada por uma distribuição Gaussiana se o número de grãos na superfície do *metal-gate* for alto o suficiente (> 10), que corresponde às características do modelo FinFET ASAP7. Assim, o WFF de cada dispositivo é variado de acordo com uma distribuição Gaussiana com um desvio 3-sigma de 3% o WFF. Duas mil simulações foram executadas para cada porta lógica (ALIOTO; CONSOLI; PALUMBO, 2015). Medidas de tempo e consumo de potência foram tomadas para cada simulação Monte Carlo. A análise de robustez foi realizada usando as razões sigma/média (desvio padrão normalizado) de cada arco de atraso, sempre visando o pior caso.

5.3 Efeitos de Radiação

O terceiro estágio considera os efeitos da radiação através da inserção de falhas transientes. A injeção de falha SET é modelada segundo as equações de Messenger (1982), modificadas no trabalho de Srinivasan, Murley and Tang (1994) e apresentadas na Equação. 5.1 e Equação. 5.2. Este efeito é reproduzido na simulação SPICE como

uma fonte de corrente, simulando os efeitos SET nos transistores.

$$I(t) = \frac{Q_{coll}}{\tau_\alpha - \tau_\beta} (e^{-\frac{t}{\tau_\alpha}} - e^{-\frac{t}{\tau_\beta}}) \quad (5.1)$$

$$Q_{coll} = 10,8 \times L \times LET \quad (5.2)$$

Onde:

Q_{coll} é a carga coletada na junção;

τ_α é a constante de tempo de coleção de carga;

τ_β é a constante de tempo para estabelecer a trilha de íon pesado;

L é a profundidade da coleção de carga.

Os valores típicos utilizados para simulações e experimentos no silício são $1,64 \times 10^{-10}$ segundos para τ_α e 5×10^{-11} segundos para τ_β (CARRENO; CHOI; IYER, 1990), que são utilizados nesta monografia. O L possui um valor típico de $2 \mu\text{m}$ para cada LET de $1 \text{MeV} - \text{cm}^2/\text{mg}$, e a constante $10,8 \text{fC}$ corresponde a carga que uma partícula ionizante deposita para cada $1 \mu\text{m}$ (WANG; AGRAWAL, 2008). Este trabalho segue o parâmetro e metodologia apresentados em (UZNANSKI et al., 2010), investigando os efeitos do SET 010 e 101 em todos os dispositivos dos dois circuitos inversores. Assim, uma fonte de corrente é inserida em cada nó interno e na saída do circuito. Além disso, esta avaliação considera todos os vetores de entrada para as portas lógicas selecionadas.

A simulação adota um LET de $1 \text{MeV} - \text{cm}^2/\text{mg}$. A falha é detectada se a saída do circuito for maior que $V_{DD}/2$ para o nível lógico '0' e menor que $V_{DD}/2$ para o nível lógico '1'; caso contrário, a falha será considerada mascarada. A cobertura de falhas é determinada pela Equação 5.3, considerando a razão entre o número de falhas detectadas e o número de falhas inseridas, ou seja, uma falha inserida em cada nó interno e a saída, para cada vetor de teste do circuito. Por exemplo, uma porta lógica com 4 entradas tem 16 vetores de teste, se esta mesma porta possuir 5 nós internos mais a saída, haveria 96 falhas inseridas no circuito.

$$\text{Cobertura de Falhas} = \frac{\text{Falhas Detectadas}}{\text{Falhas Inseridas}} \quad (5.3)$$

6 RESULTADOS

Para comparar as diferentes topologias dos transistores e identificar características comuns para mitigar a variabilidade de processo e os efeitos da radiação, os resultados do conjunto de experimentos realizados neste trabalho estão organizados em duas partes (análise pré-leiaute e pós-leiaute) e três etapas principais, conforme metodologia descrita: comportamento nominal, impacto da variabilidade de processo e os efeitos da radiação nos circuitos.

6.1 Análise pré-leiaute

Na análise pré-leiaute são realizadas simulações elétricas comparando as portas lógicas XOR, AOI22 e OAI211 em quatro diferentes arranjos: porta complexa, somente NAND2, somente NOR2 e NAND2/NOR2/INV. Os resultados serão apresentados a seguir com o objetivo de destacar qual das topologias que utilizam um multi-nível de portas básicas apresenta um melhor comportamento em relação aos efeitos estudados.

6.1.1 Comportamento Nominal

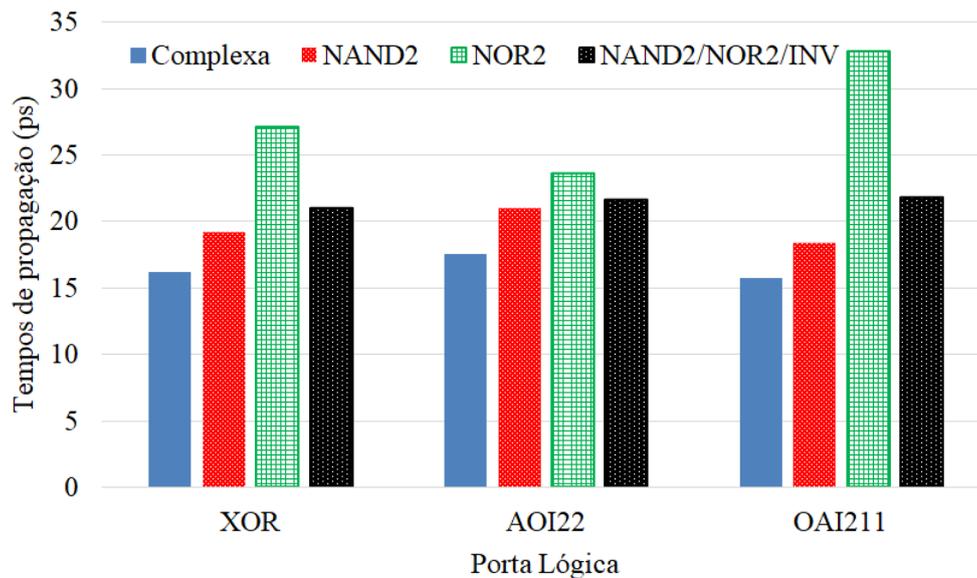
Portas complexas reduzem o número de literais nas equações e, consequentemente, isso reflete o fato de que, com este arranjo de transistores, todas as três funções avaliadas apresentaram os melhores resultados de atraso e potência. A Figura 6.1, compara o tempo máximo de transição para todos os arcos de cada função avaliada. A versão NAND2 é cerca de 18% mais lenta que as versões com portas complexas, já os circuitos NOR2 podem inserir mais de duas vezes a degradação de atraso, como no caso da porta OAI211.

O impacto é ainda pior quando o consumo total de potência, considerando todos os arcos de temporização, é analisado. Figura 6.2, mostra que as versões multi-nível (NAND2, NOR2 e NAND2/NOR2/INV) consomem pelo menos 49% mais que circuitos com portas complexas. A porta XOR tem o menor aumento no consumo de potência (49,4%) na versão NAND2, enquanto a porta OAI211 na versão NOR2 tem o maior aumento, em torno de 129%.

Assim, para circuitos otimizados que lidam com redução de potência e tempos

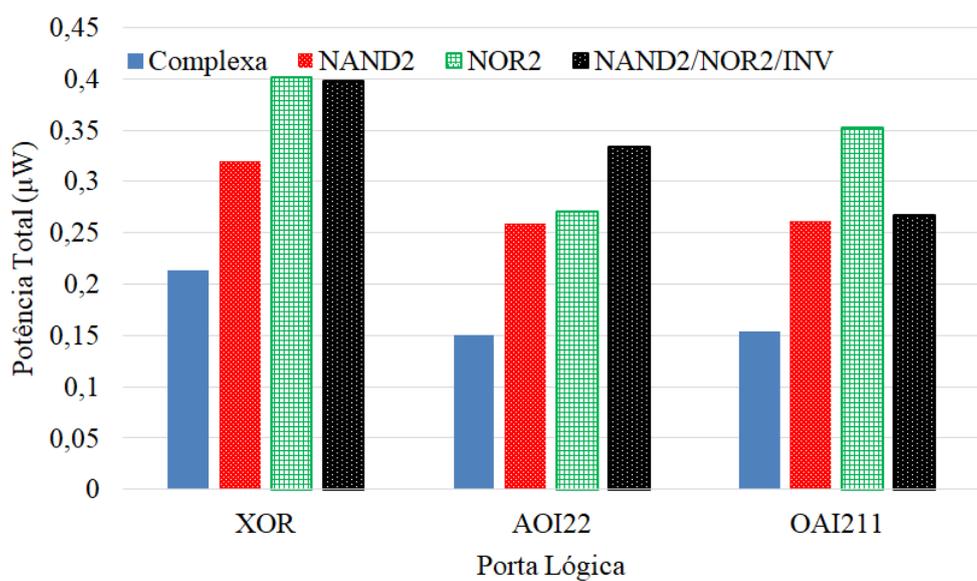
de propagação, a porta complexa é a melhor alternativa de arranjo de transistores. Na sequência, a avaliação da variabilidade de processo e os efeitos da radiação irão esclarecer esses efeitos em portas complexas e nos circuitos alternativos avaliados.

Figura 6.1: Tempos de propagação em condições nominais



Fonte: Produção do próprio autor

Figura 6.2: Potência Total em condições nominais



Fonte: Produção do próprio autor

6.1.2 Variabilidade de Processo

A variabilidade de processo insere oscilações no atraso e no consumo de potência em comparação com os resultados apresentados na avaliação do comportamento nominal. Em geral, circuitos que utilizam o arranjo de porta complexa sob a variabilidade de processo apresentam a variação mais significativa no atraso em comparação ao comportamento nominal, chegando a 5% no pior dos casos. Circuitos multi-nível apresentaram uma diferença no atraso médio de 4%, 3% e 2% para os circuitos alternativos NAND2, NOR2 e NAND2/NOR2/INV. No entanto, as versões de portas complexas e NAND2/NOR2/INV apresentam valores médios de potência estatisticamente idênticos aos resultados nominais, apesar dos grandes desvios padrão. A Tabela 6.1 mostra os valores de média e desvio padrão (*Sigma*) obtidos a partir da simulação Monte Carlo.

Tabela 6.1: Resultados de Média e Desvio Padrão (*Sigma*) para a Potência e Atraso

Porta Complexa	Medidas	Complexa		NAND2		NOR2		NAND2/NOR2/INV	
		Média	Sigma	Média	Sigma	Média	Sigma	Média	Sigma
XOR	Maior Atraso (ps)	17,1	3,1	19,7	1,9	28,2	3,6	21,5	1,9
	Potência Total (nW)	213,8	9,8	311,8	15,6	401,3	17,8	394,6	23,2
AOI22	Maior Atraso (ps)	17,3	3,7	21,6	1,9	24,7	3,6	22,0	1,9
	Potência Total (nW)	150,4	6,3	259,9	10,7	278,5	12,8	332,2	14,1
OAI211	Maior Atraso (ps)	16,5	2,8	19,1	2,1	34,2	4,1	22,4	1,9
	Potência Total (nW)	153,3	6,5	281,1	13,2	363,8	17,5	264,9	13,9

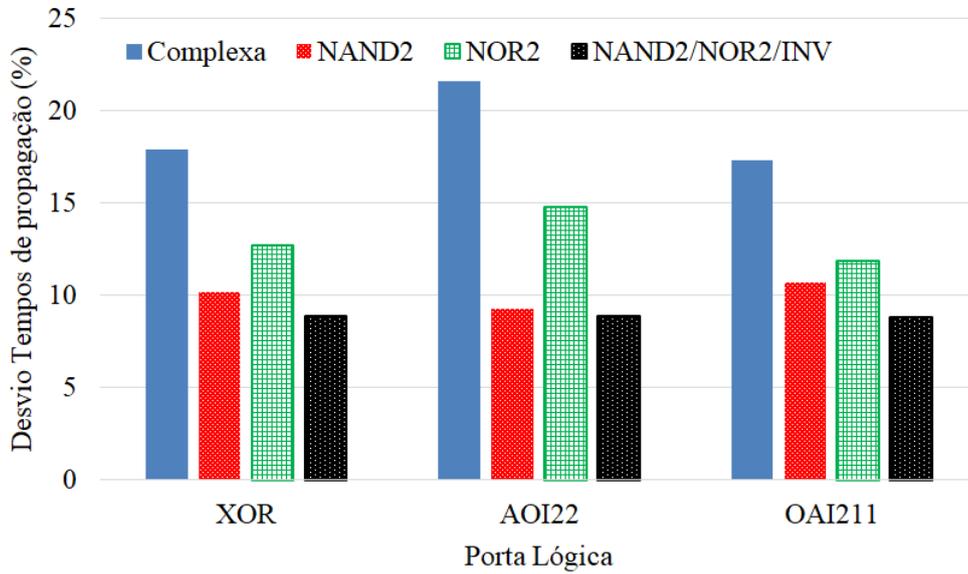
Fonte: Produção do próprio autor

Para comparar os efeitos da variabilidade de processo, considerando tanto a média quanto o desvio padrão, os resultados do desvio do parâmetro para atraso e potência são apresentados na Figura 6.3 e na Figura 6.4, respectivamente. Todos os circuitos demonstram mais sensibilidade nos resultados dos tempos de propagação do que nos resultados de consumo de potência devido à variabilidade de processo. Portas complexas sofrem mais significativamente a influência da variabilidade de processo no atraso. Para todas as três funções avaliadas, esta alternativa apresenta os piores resultados, com mais de 15% de desvio no atraso. Os arranjos que utilizam portas básicas mostram uma maior robustez a variabilidade de processo para os tempos de propagação. O arranjo NAND2/NOR2/INV tem uma ligeira vantagem em comparação com a versão NAND2, com uma diferença de 1,5%. No entanto, a topologia NAND2 apresentam menor sensibilidade na potência total consumida.

Comparando o desvio normalizado das alternativas multi-nível de portas básicas com as portas complexas, em relação aos tempos de atraso, os circuitos multi-nível melhoraram a robustez à variabilidade de processo em mais de 30%. AOI22 é a célula mais

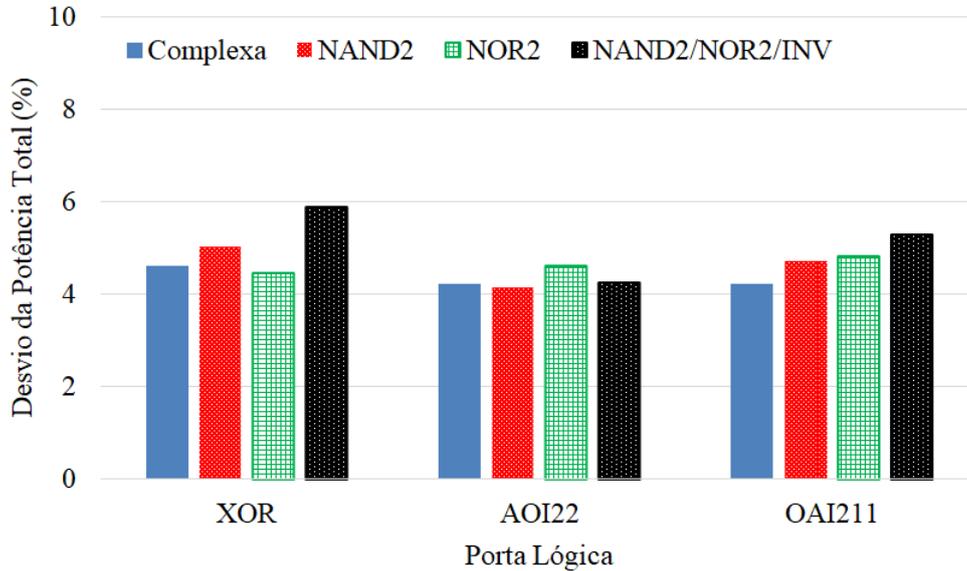
beneficiada com os arranjos multi-nível.

Figura 6.3: Desvio dos tempos de propagação devido a variabilidade de processo



Fonte: Produção do próprio autor

Figura 6.4: Desvio da potência total devido a variabilidade de processo

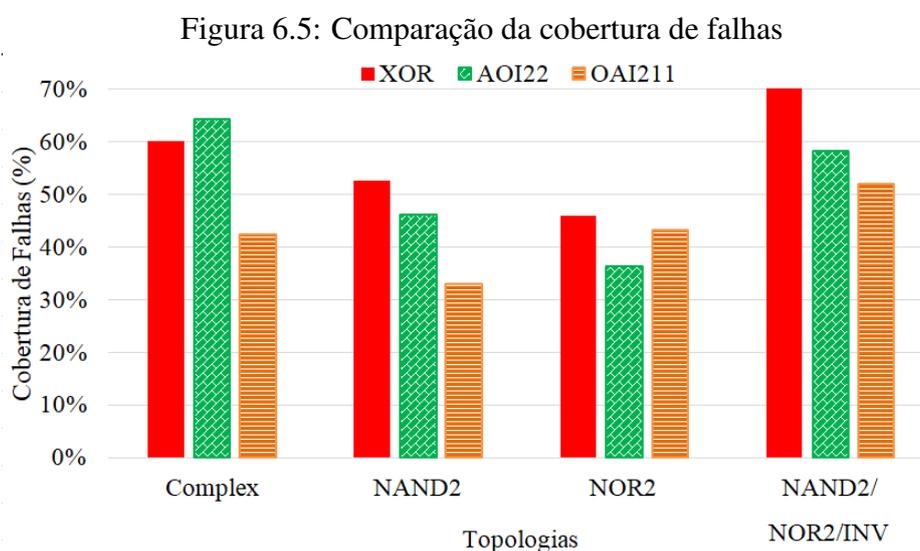


Fonte: Produção do próprio autor

6.1.3 Efeitos de Radiação

A partir da análise da cobertura de falhas entre a porta complexa e os diferentes arranjos com células básicas, a vantagem de usar células básicas é evidente quando

o objetivo é mitigar falhas transientes. Na Figura 6.5, esta vantagem pode ser analisada principalmente nas topologias que usam somente portas NAND2 e somente NOR2. Para a porta XOR, os arranjos NAND2 e NOR2 apresentam decréscimos de 7% e 14% na sensibilidade a falhas transientes sobre o uso de portas complexas, respectivamente. Essa diferença é ainda mais significativa quando a comparação é feita com os resultados considerando o uso do arranjo NOR2/NAND2/INV. Para a porta AOI22, esta diminuição é ainda maior, sendo 18% para a topologia com apenas NAND2 e 28% para a topologia com apenas NOR2.



Fonte: Produção do próprio autor

O arranjo NAND2 continua com a redução da sensibilidade para a porta OAI211, em torno de 9%. No entanto, o arranjo NOR2 tem um pequeno aumento (1%) na sensibilidade em comparação com as portas complexas. Em geral, o arranjo que usa NAND2, NOR2 e Inversores juntos não tem um bom desempenho em relação à cobertura de falhas. Somente para a porta AOI22, esta topologia possui uma redução de sensibilidade (6%), enquanto que para as portas XOR e OAI211, há um aumento de 10% na sensibilidade a falhas transientes. Embora o arranjo NOR2 apresente as maiores porcentagens de diminuição de sensibilidade para falhas transientes, a topologia NAND2 é a mais estável, tendo uma redução significativa para todas as três portas analisadas nesta parte do trabalho. As Tabelas 6.2, 6.3 e 6.4 mostram o total de falhas injetadas para as funções XOR, AOI22 e OAI211, respectivamente. Ainda, o número de falhas mascaradas e detectadas também é apresentado.

Tabela 6.2: Análise de falhas porta XOR

Análise de Falhas/ Arranjos de Transistores	XOR			
	Complexa	NAND2	NOR2	NAND2/ NOR2/INV
Inseridas	20	40	48	44
Detectadas	12	21	22	31
Mascaradas	8	19	26	13
Cobertura de Falhas	60,0%	52,5%	45,8%	70,5%

Fonte: Produção do próprio autor

Tabela 6.3: Análise de falhas porta AOI22

Análise de Falhas/ Arranjos de Transistores	AOI22			
	Complexa	NAND2	NOR2	NAND2/ NOR2/INV
Inseridas	64	128	224	208
Detectadas	41	59	81	121
Mascaradas	23	69	143	87
Cobertura de Falhas	64,1%	46,1%	36,2%	58,2%

Fonte: Produção do próprio autor

Tabela 6.4: Análise de falhas porta OAI211

Análise de Falhas/ Arranjos de Transistores	OAI211			
	Complexa	NAND2	NOR2	NAND2/ NOR2/INV
Inseridas	64	192	192	160
Detectadas	27	63	83	83
Mascaradas	37	129	109	77
Cobertura de Falhas	42,2%	32,8%	43,2%	51,9%

Fonte: Produção do próprio autor

6.2 Análise pós-leiaute

A partir das simulações elétricas, vimos que a topologia que utiliza somente portas NAND2 é a melhor alternativa em relação aos efeitos da variabilidade de processo e falhas transientes. Assim, as análises foram aprofundadas, a nível de leiaute, e os resultados podem ser vistos na próxima seção.

Diferentemente da análise pré-leiaute, na análise a nível de leiaute, podemos considerar o impacto dos diferentes arranjos de transistores na área dos circuitos. A Tabela 6.5 mostra a área de cada porta lógica nas duas topologias utilizadas, todas as portas projetadas com o arranjo NAND2 apresentam um aumento da área utilizada. Esses valores não consideram a área da célula TAP, que é uma restrição do PDK, como já citado na metodologia. Na maioria dos casos, a área utilizando a topologia NAND2 é mais de três

vezes maior do que a topologia de porta complexa. As portas OAI22 e AOI211 apresentam a maior variação, o leiaute com portas NAND2 é cerca de 4,5 vezes maior do que o leiaute tradicional. Já a porta XOR possui o menor aumento na comparação entre as duas topologias, aproximadamente 67%.

Tabela 6.5: Área utilizada por cada porta lógica nas duas topologias

Funções Lógicas	Área (μm^2)	
	Complexa	NAND2
AOI21	0,085	0,271
OAI21	0,085	0,271
AOI22	0,102	0,271
OAI22	0,102	0,475
AOI211	0,102	0,475
OAI211	0,102	0,407
XOR	0,203	0,339

Fonte: Produção do próprio autor

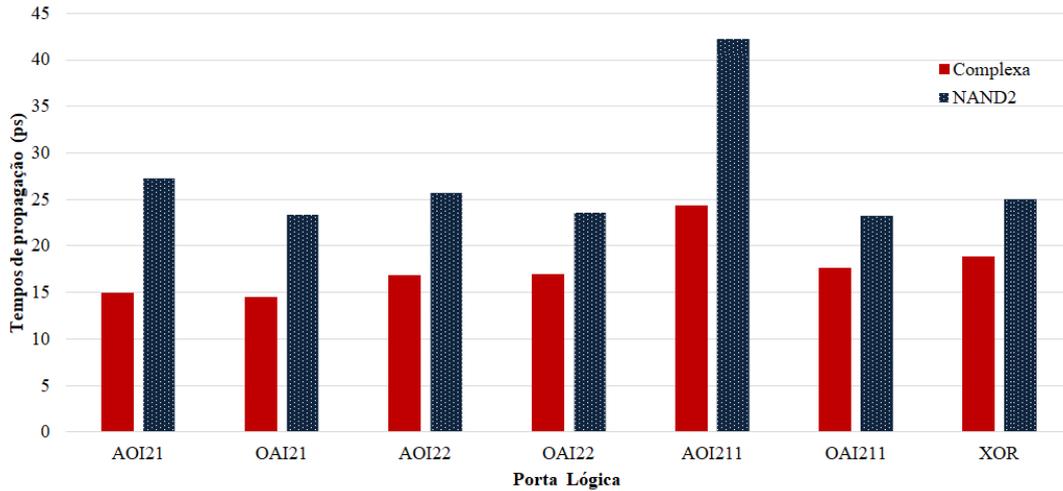
6.2.1 Comportamento Nominal

Como já citado nos resultados da primeira parte deste trabalho, a redução do número de transistores nos arranjos de porta complexa na comparação com os arranjos que utilizam somente portas NAND2 contribuem para tempos de propagação mais baixos e uma potência total menor. Nas Figuras 6.6 e 6.7 esse efeito pode ser percebido para todas as sete portas lógicas utilizadas neste trabalho, através dos gráficos com o pior atraso e com a potência total consumida para cada porta lógica.

A porta OAI211 apresenta o menor aumento (31,8%) dos tempos de atraso na comparação entre seu arranjo com portas básicas e o arranjo com porta complexa. Já a porta AOI21 possui um aumento quase duas vezes maior na mesma comparação, cerca de 82%. Essa comparação é interessante, pois em suas versões complexas a porta AOI21 possui o seu maior tempo de atraso em torno de 15ps enquanto para a porta OAI211 esse tempo é aproximadamente 18ps. Com a utilização da topologia NAND2 a porta AOI21 passa a ter o atraso maior do que a porta OAI211 (27,3ps contra 23,2ps), mesmo com a topologia de células básicas da porta OAI211 utilizando duas portas NAND2 a mais do que a topologia da porta AOI21. Como destaque negativo desta análise fica a porta AOI211 com o atraso mais elevado entre todas as portas do estudo, 42,2ps na sua versão NAND2.

Na análise da potência total consumida, novamente a porta AOI211 não apresenta

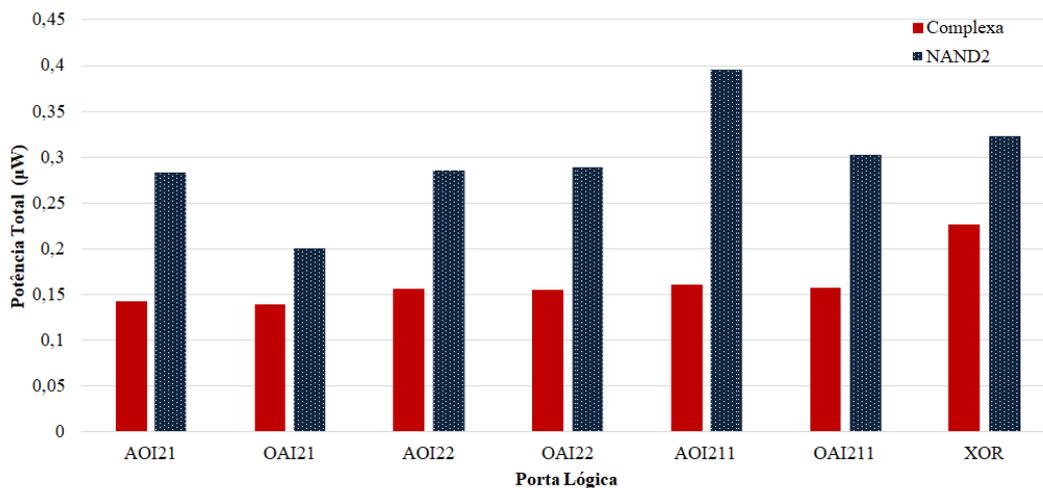
Figura 6.6: Tempos de propagação em condições nominais



Fonte: Produção do próprio autor

bons resultados. A porta apresenta o maior aumento do consumo na comparação entre as duas topologias utilizadas, em torno de 145%, também apresentando o maior consumo entre todas as portas, chegando próximo de $0,4\mu\text{W}$. Diferentemente da análise dos tempos de atraso, na análise da potência total, a porta OAI211 não apresenta o menor aumento na comparação entre as duas topologias. A porta que possui o menor aumento de potência é a porta XOR, com o pior atraso 42,8% maior para o arranjo NAND2 na comparação com o arranjo de porta complexa.

Figura 6.7: Potência Total em condições nominais



Fonte: Produção do próprio autor

6.2.2 Variabilidade de Processo

A Tabela 6.6 apresenta a média e o desvio padrão (*Sigma*) dos piores tempos de atraso e da potência total consumida para todas as portas do estudo considerando 2000 simulações Monte Carlo. A razão *Sigma*/Média é utilizada para comparar os efeitos da variabilidade de processo. Ela fornece o desvio dos tempos de propagação e da potência total em relação aos mesmos em condições nominais. As Figuras 6.8 e 6.9 apresentam este desvio na comparação entre as topologias de porta complexa e somente NAND2.

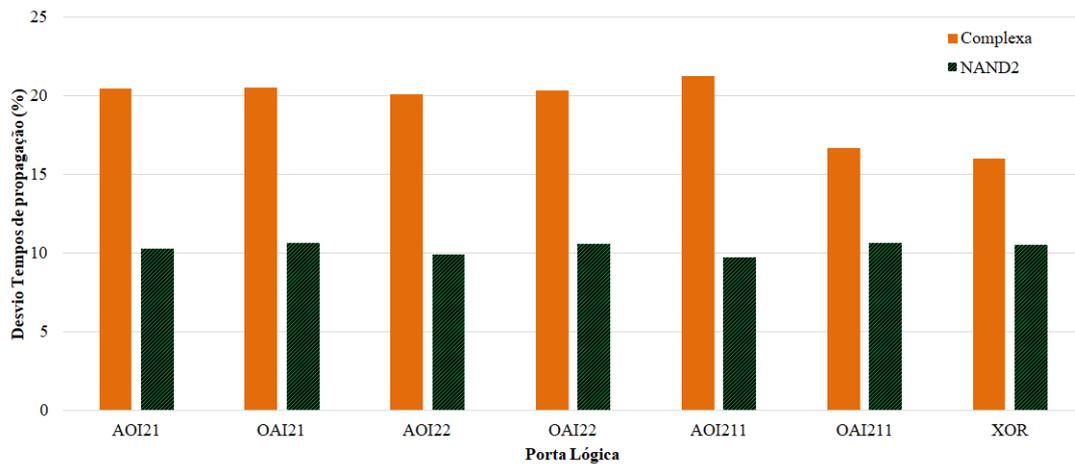
Tabela 6.6: Resultados de Média e Desvio Padrão (*Sigma*) para a Potência e Atraso

Porta Complexa	Medidas	Complexa		NAND2	
		Média	Sigma	Média	Sigma
AOI21	Maior Atraso (ps)	15,9	3,2	27,7	2,8
	Potência Total (nW)	142,0	5,8	283,0	10,6
OAI21	Maior Atraso (ps)	15,8	3,2	23,8	2,5
	Potência Total (nW)	140,3	5,6	200,5	8,1
AOI22	Maior Atraso (ps)	18,0	3,6	26,2	2,6
	Potência Total (nW)	156,2	6,3	285,4	10,5
OAI22	Maior Atraso (ps)	17,8	3,6	24,1	2,5
	Potência Total (nW)	155,6	6,2	289,7	11,8
AOI211	Maior Atraso (ps)	26,0	5,5	43,1	4,2
	Potência Total (nW)	161,4	6,8	396,0	15,2
OAI211	Maior Atraso (ps)	17,9	3,0	23,7	2,5
	Potência Total (nW)	157,3	6,5	303,4	12,5
XOR	Maior Atraso (ps)	19,6	3,1	25,6	2,7
	Potência Total (nW)	222,5	9,3	325,3	13,2

Fonte: Produção do próprio autor

Como visto na primeira parte dos experimentos, as portas complexas apresentam desvios dos tempos de propagação bem maiores do que a topologia que utiliza células básicas. Todas as portas utilizando a topologia NAND2 apresentam desvios bem semelhantes e que não passam de 11%. Já para o arranjo de porta complexa esses desvios variam de 16% até mais de 21%. As portas OAI211 e XOR apresentam os menores desvios para esse arranjo. Observando o comportamento da porta AOI211, fica clara a grande vantagem da utilização do arranjo NAND2 para mitigar os efeitos da variabilidade de processo. Na topologia de porta complexa, a porta AOI211 apresenta o maior desvio entre todas as portas (21,24%) e com a utilização do arranjo NAND2 o desvio tem uma grande redução tornando-se o menor entre as sete portas do estudo (9,68%), comprovando a maior robustez da topologia que utiliza somente portas NAND2 à variabilidade de processo.

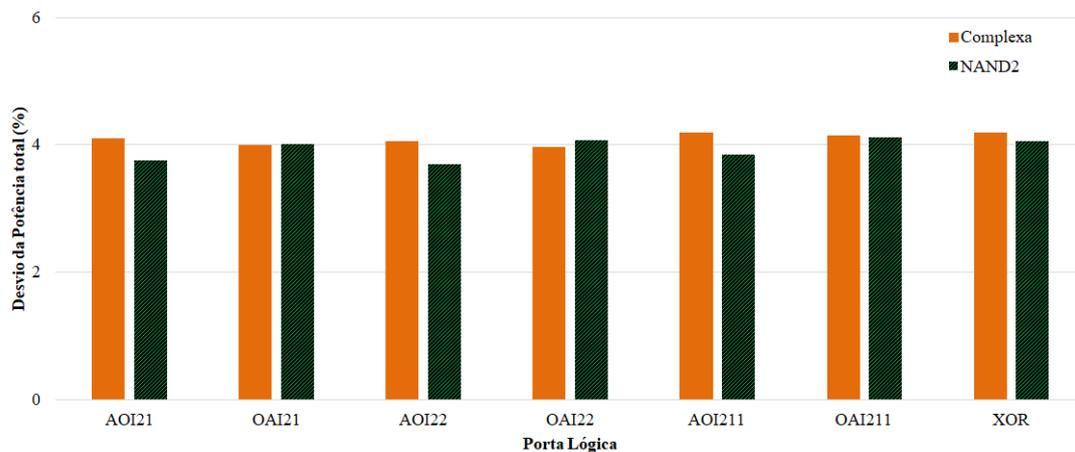
Figura 6.8: Desvio do atraso devido a variabilidade de processo



Fonte: Produção do próprio autor

Diferentemente dos desvios nos tempos de propagação, a potência total consumida apresenta desvios quase imperceptíveis, nenhuma porta apresenta um desvio maior que 0,5% na comparação entre os dois arranjos. Ainda, em dois casos (portas OAI21 e OAI22) esse desvio é levemente maior para a topologia NAND2.

Figura 6.9: Desvio da potência total devido a variabilidade de processo



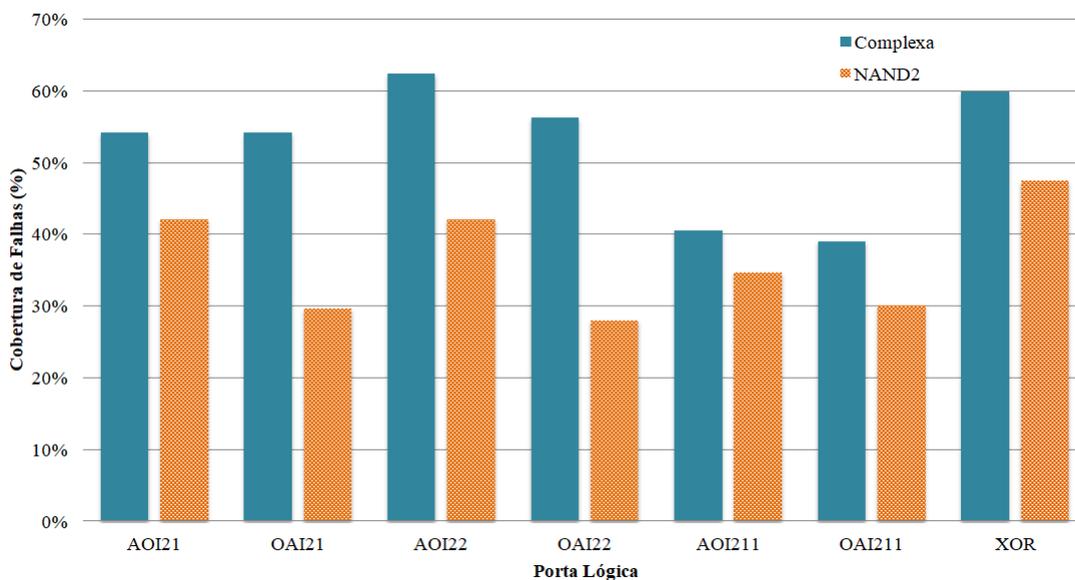
Fonte: Produção do próprio autor

6.2.3 Efeitos de Radiação

Além da melhora em relação aos efeitos da variabilidade de processo, a utilização do arranjo com portas básicas também tem o objetivo de mitigar os efeitos de radiação. A Figura 6.10 comprova a menor sensibilidade do arranjo NAND2 aos SETs. A porta OAI22 apresenta a maior redução da sensibilidade a falhas transientes na comparação entre as

duas topologias, em torno de 28%, enquanto a porta AOI211 tem a menor redução desta sensibilidade, 5,8%. Mesmo com essa pequena redução da sensibilidade para algumas das portas analisadas, é importante destacar que todas as sete portas são mais tolerantes à falhas utilizando o arranjo que utiliza somente portas NAND2.

Figura 6.10: Comparação da cobertura de falhas



Fonte: Produção do próprio autor

Na Tabela 6.7 a análise de falhas pode ser observada com mais detalhes. Pode-se perceber o alto número de falhas inseridas para as portas que utilizam o arranjo NAND2, principalmente as portas lógicas que possuem quatro entradas. Isso deve-se a quantidade de nodos internos considerados, visando determinar de forma mais realista o impacto de falhas transientes nos circuitos.

Tabela 6.7: Análise de falhas

Função Lógica	Topologia	Análise de Falhas			
		Inseridas	Detectadas	Mascaradas	Cobertura de Falhas
AOI21	Complexa	24	13	11	54,2%
	NAND2	64	27	37	42,2%
OAI21	Complexa	24	13	11	54,2%
	NAND2	64	19	45	29,7%
AOI22	Complexa	64	40	24	62,5%
	NAND2	128	54	74	42,2%
OAI22	Complexa	64	36	28	56,3%
	NAND2	224	63	161	28,1%
AOI211	Complexa	64	26	38	40,6%
	NAND2	224	78	146	34,8%
OAI211	Complexa	64	25	39	39,1%
	NAND2	192	58	134	30,2%
XOR	Complexa	20	12	8	60,0%
	NAND2	40	19	21	47,5%

Fonte: Produção do próprio autor

7 CONCLUSÕES

Este trabalho apresentou uma avaliação da influência da variabilidade de processo e dos efeitos da radiação na tecnologia 7nm FinFET da ASAP. Na primeira parte, as portas lógicas AOI22, OAI211 e XOR foram convertidas usando o teorema de De Morgan para obter três topologias compostas apenas por células básicas (somente NAND2, somente NOR2 e NAND2/NOR2/INV). Já na segunda parte o mesmo procedimento foi utilizado, porém utilizando sete portas lógicas com as topologias complexa e somente NAND2, sendo esta última, a que apresentou os melhores resultados na primeira parte do trabalho. O objetivo foi verificar qual é o melhor arranjo para mitigar os efeitos da variabilidade de processo e das falhas transientes.

Quando as portas lógicas foram analisadas em condições nominais, ficou evidente que o arranjo de portas complexas é a melhor escolha para obter um menor consumo de potência e uma diminuição no atraso de propagação. Isso ocorre porque a topologia de porta complexa reduz significativamente o número de transistores e as conexões entre eles. Por outro lado, quando o comportamento das portas lógicas é investigado com efeitos de radiação ou de variabilidade de processo, os arranjos multi-nível de portas básicas são a melhor opção.

Portas complexas sofrem mais influência das variações do processo de fabricação em atrasos de propagação do que no consumo de potência. Para todas as portas lógicas analisadas, esta alternativa apresentou mais de 15% de desvio de atraso, sendo que na análise pós-leiaute a maioria das portas apresentaram mais de 20% neste desvio. Comparado com as topologias multi-nível, o desvio do atraso das portas complexas impactam em mais de 30% a estabilidade das funções. Assim, arranjos multi-nível são indicados para obter circuitos mais estáveis sob a variabilidade de processo.

Em comparação com a topologia de porta complexa, as portas lógicas XOR e AOI22 compostas apenas por portas NOR2, na análise pré-leiaute, podem ser até 14% e 28% mais tolerantes a falhas, respectivamente. Comportamento semelhante pode ser visto com a porta lógica OAI211, onde a escolha do arranjo com somente portas NAND2 alcança em torno de 9% mais tolerância a falhas do que a topologia com portas complexas. Na análise pós-leiaute, a porta AOI22 apresenta a maior tolerância a falhas na comparação entre as topologias, em torno de 28%. As portas XOR e AOI22 apresentam porcentagens semelhantes a análise pré-leiaute, 12,5% e 20,3%, como esperado. Finalmente, sob o impacto da radiação ou variações do processo de fabricação, é possível encontrar melho-

res resultados utilizando topologias baseadas em arranjos multi-níveis. Isso comprova o objetivo e a contribuição desta monografia, fornecendo aos projetistas qual o impacto da utilização de arranjos com portas básicas nos efeitos da variabilidade de processo e falhas transientes. A Tabela 7.1 resume todas as conclusões obtidas a partir das diferentes análises, pós-leiaute, apresentadas no trabalho. São apresentadas as funções com os melhores e piores resultados para as análises de: comportamento nominal, robustez a variabilidade de processo, sensibilidade a falhas transientes e penalidade em área. Ainda, é destacada a topologia que apresenta os melhores resultados para cada análise.

Tabela 7.1: Melhor/Pior função e topologia para cada análise

Resultados por função lógica	Comportamento Nominal		Robustez a Variabilidade de Processo		Sensibilidade a Falhas Transientes		Penalidade em Área
	Função Lógica	Topologia	Função Lógica	Topologia	Função Lógica	Topologia	Função Lógica
Melhores Resultados	OAI21	Complexa	AOI211	NAND2	OAI22	NAND2	XOR
Piores Resultados	AOI21	NAND2	AOI211	Complexa	AOI22	Complexa	OAI22/AOI211
Melhor Topologia (geral)	Complexa		NAND2		NAND2		Complexa

Fonte: Produção do próprio autor

7.1 Trabalhos Futuros

Analisando algumas possibilidades para trabalhos futuros, penso em duas frentes. Primeiramente, explorar ainda mais as análises realizadas nesta monografia. Também pretendo focar na área de tolerância a falhas, analisando técnicas específicas para mitigar os efeitos de radiação, principalmente relacionados a SETs.

Em relação ao primeiro ponto, seria interessante explorar outras funções lógicas além das sete já estudadas. Simular o comportamento das funções lógicas variando o LET e a frequência de operação dos circuitos, também é um objetivo, pois permitirá avaliar com ainda mais detalhes e variáveis o comportamento das portas lógicas em relação aos efeitos de radiação e da variabilidade de processo. Por fim, uma análise do impacto da utilização de técnicas de dimensionamento de transistores em relação aos efeitos de radiação também poderá ser realizada.

REFERÊNCIAS

- ALIOTO, M. Comparative evaluation of layout density in 3t, 4t, and mt finfet standard cells. **IEEE Transactions on Very Large Scale Integration (VLSI) Systems**, IEEE, v. 19, n. 5, p. 751–762, 2011.
- ALIOTO, M.; CONSOLI, E.; PALUMBO, G. Variations in nanometer cmos flip-flops: Part i—impact of process variations on timing. **IEEE Transactions on Circuits and Systems I: Regular Papers**, IEEE, v. 62, n. 8, p. 2035–2043, 2015.
- ANDERSON, T.; LEE, P. **Fault Tolerance: Theory and Practice**. [S.l.]: Prentice-Hall, Englewood Cliffs, NJ, 1981.
- AVIZIENIS, A. The four-universe information system model for the study of fault tolerance. In: **Proceedings of 12th International Symposium on Fault-Tolerant Computing**. [S.l.: s.n.], 1982. p. 6–13.
- AZAMBUJA, J. R.; KASTENSMIDT, F.; BECKER, J. **Hybrid Fault Tolerance Techniques to Detect Transient Faults in Embedded Processors**. [S.l.]: Springer, 2014.
- BALEN, T. R. Efeitos da radiação em dispositivos analógicos programáveis (fpaas) e técnicas de proteção. 2010.
- BAUMANN, R. C. Radiation-induced soft errors in advanced semiconductor technologies. **IEEE Transactions on Device and materials reliability**, IEEE, v. 5, n. 3, p. 305–316, 2005.
- BAZE, M.; BUCHNER, S. Attenuation of single event induced pulses in cmos combinational logic. **IEEE Transactions on Nuclear Science**, IEEE, v. 44, n. 6, p. 2217–2223, 1997.
- BRAMNIK, A.; SHERBAN, A.; SEIFERT, N. Timing vulnerability factors of sequential elements in modern microprocessors. In: IEEE. **IOLTS, 2013 IEEE 19th International**. [S.l.], 2013. p. 55–60.
- BROWN, A. R.; WATLING, J. R.; ASENOV, A. Intrinsic parameter fluctuations due to random grain orientations in high- κ gate stacks. **Journal of Computational Electronics**, Springer, v. 5, n. 4, p. 333–336, 2006.
- BUTZEN, P. F. et al. Transistor network restructuring against nbtI degradation. **Microelectronics Reliability**, Elsevier, v. 50, n. 9-11, p. 1298–1303, 2010.
- CARRENO, V. A.; CHOI, G.; IYER, R. Analog-digital simulation of transient-induced logic errors and upset susceptibility of an advanced control system. 1990.
- CHORASIA, J.; JASANI, K.; SHAH, A. Realization of various error mitigation techniques for sram based fpga. In: IEEE. **Convergence in Technology (I2CT), 2017 2nd International Conference for**. [S.l.], 2017. p. 55–59.
- CHRISTIANSEN, M. Design for success: Usb ip for finfet process. In: **DesignWare Technical Bulletin**. Synopsys. [S.l.: s.n.], 2015.

CLARK, L. T. et al. Asap7: A 7-nm finfet predictive process design kit. **Microelectronics Journal**, Elsevier, v. 53, p. 105–115, 2016. Available from Internet: <<http://asap.asu.edu/asap/>>.

COLINGE, J.-P. et al. **FinFETs and other multi-gate transistors**. [S.l.]: Springer, 2008.

DADGOUR, H.; DE, V.; BANERJEE, K. Statistical modeling of metal-gate work-function variability in emerging device technologies and implications for circuit design. In: IEEE. **Computer-Aided Design, 2008. ICCAD 2008. IEEE/ACM International Conference on**. [S.l.], 2008. p. 270–277.

DADGOUR, H. F. et al. Grain-orientation induced work function variation in nanoscale metal-gate transistors — part ii: Implications for process, device, and circuit design. **IEEE Transactions on Electron Devices**, IEEE, v. 57, n. 10, p. 2515–2525, 2010.

ENDO, K. et al. Variation analysis of tin finfets. In: IEEE. **Semiconductor Device Research Symposium, 2009. ISDRS'09. International**. [S.l.], 2009. p. 1–2.

ENTRENA, L. et al. Set emulation considering electrical masking effects. **IEEE Transactions on Nuclear Science**, IEEE, v. 56, n. 4, p. 2021–2025, 2009.

FANG, Y.-P.; OATES, A. S. Neutron-induced charge collection simulation of bulk finfet srams compared with conventional planar srams. **IEEE Transactions on Device and Materials Reliability**, IEEE, v. 11, n. 4, p. 551–554, 2011.

FERLET-CAVROIS, V. et al. New insights into single event transient propagation in chains of inverters—evidence for propagation-induced pulse broadening. **IEEE Transactions on Nuclear Science**, IEEE, v. 54, n. 6, p. 2338–2346, 2007.

FRANK, D. J. et al. Device scaling limits of si mosfets and their application dependencies. **Proceedings of the IEEE**, IEEE, v. 89, n. 3, p. 259–288, 2001.

HENDERSON, C. L. Failure analysis techniques for a 3d world. **Microelectronics Reliability**, Elsevier, v. 53, n. 9-11, p. 1171–1178, 2013.

HUANG, X. et al. Sub 50-nm finfet: Pmos. In: IEEE. **Electron Devices Meeting, 1999. IEDM'99. Technical Digest. International**. [S.l.], 1999. p. 67–70.

ITRS. **International technology roadmap for semiconductors**. 2011. Available from Internet: <<http://www.itrs2.net/2011-itrs.htmlFile:011ExecSum.pdf>>.

KEANE, J. et al. Method for qcrit measurement in bulk cmos using a switched capacitor circuit. In: **NASA Symposium on VLSI Design**. [S.l.: s.n.], 2007.

KING, T.-J. Finfets for nanoscale cmos digital integrated circuits. In: IEEE COMPUTER SOCIETY. **Proceedings of the 2005 IEEE/ACM International conference on Computer-aided design**. [S.l.], 2005. p. 207–210.

KLEEBERGER, V. B.; GRAEB, H.; SCHLICHTMANN, U. Predicting future product performance: Modeling and evaluation of standard cells in finfet technologies. In: **ACM. Proceedings of the 50th Annual Design Automation Conference**. [S.l.], 2013. p. 33.

LAPRIE, J.-C. Dependable computing and fault-tolerance. **Digest of Papers FTCS-15**, p. 2–11, 1985.

LEE, S. et al. Radiation-induced soft error rate analyses for 14 nm finfet sram devices. In: IEEE. **Reliability Physics Symposium (IRPS), 2015 IEEE International**. [S.l.], 2015. p. 4B–1.

MEINHARDT, C. Variabilidade em finfets. 2014.

MEINHARDT, C.; ZIMPECK, A. L.; REIS, R. A. Predictive evaluation of electrical characteristics of sub-22 nm finfet technologies under device geometry variations. **Microelectronics Reliability**, Elsevier, v. 54, n. 9-10, p. 2319–2324, 2014.

MESSENGER, G. Collection of charge on junction nodes from ion tracks. **IEEE Transactions on nuclear science**, IEEE, v. 29, n. 6, p. 2024–2031, 1982.

MISHRA, P.; MUTTREJA, A.; JHA, N. K. Finfet circuit design. In: **Nanoelectronic Circuit Design**. [S.l.]: Springer, 2011. p. 23–54.

MUNTEANU, D.; AUTRAN, J.-L. Modeling and simulation of single-event effects in digital devices and ics. **IEEE Transactions on Nuclear science**, IEEE, v. 55, n. 4, p. 1854–1878, 2008.

NASEER, R. et al. Critical charge characterization for soft error rate modeling in 90nm sram. In: IEEE. **Circuits and Systems, 2007. ISCAS 2007. IEEE International Symposium on**. [S.l.], 2007. p. 1879–1882.

NASSIF, S. R. Process variability at the 65nm node and beyond. In: IEEE. **Custom Integrated Circuits Conference, 2008. CICC 2008. IEEE**. [S.l.], 2008. p. 1–8.

NSENGIYUMVA, P. et al. A comparison of the seu response of planar and finfet d flip-flops at advanced technology nodes. **IEEE Transactions on Nuclear Science**, IEEE, v. 63, n. 1, p. 266–272, 2016.

ORSHANSKY, M.; NASSIF, S. R.; BONING, D. Introduction. **Design for Manufacturability and Statistical Design: A Constructive Approach**, Springer, p. 1–8, 2008.

PRADHAN, D. K. et al. **Fault-tolerant computer system design**. [S.l.]: Prentice-Hall Englewood Cliffs, 1996.

SAVAGE, M. et al. A compendium of single event transient data. In: IEEE. **Radiation Effects Data Workshop, 2001 IEEE**. [S.l.], 2001. p. 134–141.

SEXTON, F. W. Destructive single-event effects in semiconductor devices and ics. **IEEE Transactions on Nuclear Science**, IEEE, v. 50, n. 3, p. 603–621, 2003.

SILVA, D. N. da; REIS, A. I.; RIBAS, R. P. Cmos logic gate performance variability related to transistor network arrangements. **Microelectronics Reliability**, Elsevier, v. 49, n. 9-11, p. 977–981, 2009.

SRINIVASAN, G.; MURLEY, P.; TANG, H. Accurate, predictive modeling of soft error rate due to cosmic rays and chip alpha radiation. In: IEEE. **Reliability Physics Symposium, 1994. 32nd Annual Proceedings., IEEE International**. [S.l.], 1994. p. 12–16.

STASSINOPOULOS, E.; RAYMOND, J. P. The space radiation environment for electronics. **Proceedings of the IEEE**, IEEE, v. 76, n. 11, p. 1423–1442, 1988.

SWAHN, B.; HASSOUN, S. Gate sizing: Finfets vs 32nm bulk mosfets. In: ACM. **Proceedings of the 43rd annual Design Automation Conference**. [S.l.], 2006. p. 528–531.

TAUR, Y. et al. Cmos scaling into the nanometer regime. **Proceedings of the IEEE**, IEEE, v. 85, n. 4, p. 486–504, 1997.

TOPALOGLU, R. O. Design with finfets: design rules, patterns, and variability. In: IEEE. **Computer-Aided Design (ICCAD), 2013 IEEE/ACM International Conference on**. [S.l.], 2013. p. 569–571.

UZNANSKI, S. et al. Single event upset and multiple cell upset modeling in commercial bulk 65-nm cmos srams and flip-flops. **IEEE Transactions on Nuclear Science**, IEEE, v. 57, n. 4, p. 1876–1883, 2010.

VAZ, P. I. Efeitos da radiação ionizante e técnicas de proteção aplicadas a projetos de dispositivos mos customizados. 2015.

VELAZCO, R.; FOUILLAT, P.; REIS, R. **Radiation effects on embedded systems**. [S.l.]: Springer Science & Business Media, 2007.

WANG, F.; AGRAWAL, V. D. Single event upset: An embedded tutorial. In: IEEE. **VLSI Design, 2008. VLSID 2008. 21st International Conference on**. [S.l.], 2008. p. 429–434.

WANG, X. et al. Statistical variability and reliability in nanoscale finfets. In: IEEE. **Electron Devices Meeting (IEDM), 2011 IEEE International**. [S.l.], 2011. p. 5–4.

WIRTH, G.; KASTENSMIDT, F. L.; RIBEIRO, I. Single event transients in logic circuits—load and propagation induced pulse broadening. **IEEE Transactions on Nuclear Science**, IEEE, v. 55, n. 6, p. 2928–2935, 2008.

ZIMPECK, A.; MEINHARDT, C.; BUTZEN, P. Análise do comportamento de portas lógicas cmos com falhas stuck-on em nanotecnologia. v. 1, 02 2014.

ANEXO A — TRABALHO DE GRADUAÇÃO I - TG1

Impacto de Técnicas de Tolerância a TID em SETs

Leonardo Heitich Brendler¹, Alexandra Lackmann Zimpeck¹, Cristina Meinhardt²,
Ricardo Augusto da Luz Reis¹

¹Instituto de Informática – Universidade Federal do Rio Grande do Sul (UFRGS)

²Centro de Ciências Computacionais – Universidade Federal do Rio Grande (FURG)

{lhbrendler, alzimpeck, reis}@inf.ufrgs.br

crisrina.meinhardt@furg.br

Abstract. *Integrated circuits are susceptible to different doses of radiation that can cause disturbances that will change the expected behavior of the circuits. From this exposure to radiation, phenomena of singular character (SEU and SET) and cumulative character (TID) can occur. This work proposes the use of tolerance techniques to the effects of total ionizing dose, known as ELT and Guard Rings, as a way to also mitigate the sensitivity of combinational logic gates to SETs. The experiments will be done at the layout level using the 28nm FDSOI technology from ST Microelectronics.*

Resumo. *Circuitos integrados estão suscetíveis a diferentes doses de radiação que podem causar perturbações que venham a alterar o comportamento esperado dos circuitos. A partir dessa exposição à radiação, podem ocorrer fenômenos de caráter singular (SEU e SET) e de caráter cumulativo (TID). Este trabalho propõe o uso de técnicas de tolerância aos efeitos de dose total ionizante, conhecidas por ELT e anéis de guarda, como forma de também mitigar a sensibilidade de portas lógicas combinacionais a SETs. Os experimentos serão feitos a nível de leiaute, com o uso da tecnologia FDSOI de 28nm da ST Microelectronics.*

1. Introdução

A evolução no processo de fabricação dos transistores vem acontecendo com uma velocidade impressionante. A redução das dimensões desses transistores, chamada “escalonamento tecnológico” (*technology scaling*), proporciona o aumento da capacidade de integração dos circuitos integrados, como também permite que as frequências de operação sejam cada vez mais elevadas [Balen 2010]. Assim, os circuitos integrados têm se tornado cada vez mais densos, complexos e, portanto, mais suscetíveis a falhas.

Essa miniaturização dos transistores acaba ocasionando uma série de efeitos colaterais. O aumento da variabilidade do processo de fabricação, o efeito de canal curto, as correntes de fuga (*leakage current*) [Taur et al. 1997] são alguns desses efeitos. O foco deste trabalho é estudar e mitigar a vulnerabilidade de portas lógicas combinacionais a falhas transientes ocasionadas por incidência de radiação [Messenger 1991], efeito cada vez mais presente nos dispositivos devido o escalonamento tecnológico.

Além disso, os dispositivos *bulk* CMOS estão atingindo seu limite físico [Mishra et al. 2011] e, portanto, é necessário o estudo de outras tecnologias. Visando

umentar os níveis de tolerância à radiação dos circuitos integrados, a tecnologia SOI (*Silicon on Insulator*) é uma escolha promissora, pois apresenta uma maior imunidade à radiação ionizante, tanto à efeitos transientes, quanto à efeitos de Dose Total Ionizante (*Total Ionizing Dose - TID*) [Schwank et al. 2008]. O substrato na tecnologia SOI é isolado dos transistores através de uma camada de óxido (*burried oxide*), embora esta camada de óxido também sofra o acúmulo de cargas induzidas por acúmulo de dose total, o transistor pode ser projetado para operar em modo de depleção parcial. Nesse caso, o efeito do acúmulo de cargas sobre as características elétricas do transistor, como a tensão de limiar (*threshold voltage - V_{th}*), por exemplo, é reduzido significativamente, pois neste modo o canal do transistor não se entende até a região do *burried oxide*. A tecnologia SOI também apresenta maior tolerância em relação aos Efeitos de Eventos Únicos (*Single Event Effects - SEEs*). Sendo o substrato isolado do transistor principal pela camada de *burried oxide*, a região de coleta de cargas fica restrita a um volume menor [Musseau 1996]. SOI é a tecnologia utilizada neste trabalho, visando atacar em duas frentes (tecnologia específica e técnicas de proteção de circuitos) os efeitos da radiação nos circuitos integrados.

Circuitos eletrônicos operando no espaço, principalmente em ambientes inóspitos (*harsh environments*), podem ser expostos a doses de radiação significativas, assim como à incidência de partículas pesadas provenientes do sol ou de fora da galáxia. A partir desta exposição à radiação, alterações e perturbações no circuito, que prejudicam o seu correto funcionamento, podem ocorrer com alta probabilidade. Os efeitos relacionados à incidência de radiação em componentes eletrônicos vêm sendo estudados há bastante tempo pela comunidade científica internacional, principalmente visando aplicações espaciais e militares. Os circuitos integrados que experimentam a interação de partículas ionizantes sofrem basicamente dois tipos de degradação: as de caráter singular, que ocorrem devido à incidência de uma única partícula, e as de caráter cumulativo, as quais, por sua vez, ocorrem devido ao acúmulo de doses de radiação ionizante ao longo da vida útil do circuito.

As degradações que ocorrem devido à incidência de uma única partícula recebem a denominação de Efeitos de Eventos Únicos (SEE). Esses efeitos, basicamente, podem ser divididos em dois subgrupos: Evento Único Permanente ou Catastrófico (*hard error*), caso cause um defeito permanente no circuito. Evento Único Transiente ou Não-Catastrófico (*soft error*), no caso de um erro no sistema que não acarrete danos permanentes. O Evento Único Transiente (*Single Event Transient - SET*), principal foco deste trabalho, tem como efeito resultante um pulso de corrente, em um dado ponto do circuito, que pode propagar-se modificando a tensão de outros nós e a corrente em outros pontos do circuito [Baze and Buchner 1997, Savage et al. 2001].

Os efeitos de caráter cumulativo têm origem devido a dose de radiação ionizante acumulada ao longo da vida útil do dispositivo e são classificados como Efeitos de Dose Total Ionizante (*Total Ionizing Dose - TID*). A exposição prolongada à radiação ionizante, devido a cargas elétricas acumuladas (induzidas pela radiação), faz com que partes do circuito sofram alterações em suas características elétricas, como por exemplo, a alteração de V_{th} e/ou o acréscimo na corrente de fuga do dispositivo. Estas alterações elétricas prejudicam o correto funcionamento do dispositivo e podem, dependendo da quantidade de dose acumulada, danificá-lo permanentemente.

Para lidar com todas essas degradações decorrentes dos efeitos de radiação, técnicas de proteção de circuitos são utilizadas. As técnicas de proteção de circuitos integrados contra os efeitos de radiação podem ser divididas em três níveis: processo ou tecnologia (*hardening-by-technology*), projeto (*hardening-by-design*) e sistema (*hardening-by-system*). O foco desse trabalho são as técnicas em nível de projeto do dispositivo, com o objetivo de atenuar tanto as falhas transientes quanto as de caráter cumulativo, atuando na redução das regiões críticas do leiaute. A aplicação de Anéis de Guarda (*Guard Rings*) e a geometria de *gate* fechado (*Enclosed Layout Transistor – ELT*) são as técnicas mais utilizadas visando, principalmente, a atenuação dos efeitos de TID. ELT consiste em uma modificação na geometria do transistor que pode ser empregada para reduzir drasticamente a fuga de corrente ocasionada por acúmulo de dose total [Snoeys et al. 2000].

A estratégia de proteção de circuitos através da geometria de *gate* fechado para reduzir os efeitos de TID já está bem consolidada na literatura [Faccio 2007, Fan et al. 2011], apresentando resultados muito significativos. Assim, o objetivo deste trabalho é utilizar as técnicas ELT e Anéis de Guarda, comprovadamente úteis na redução dos efeitos de caráter cumulativo, visando mitigar SETs. A base fornecida para acreditar nesta possível atenuação das falhas transientes, está presente no trabalho de [Zhao et al. 2014]. Segundo o autor, a mesma técnica utilizada para o controle de TID pode contribuir significativamente, também, para atenuação dos SETs.

As Seções 2 e 3 apresentam os efeitos das radiações ionizantes e as estratégias de proteção de circuitos, respectivamente. Os trabalhos relacionados são apresentados na Seção 4. A motivação e os objetivos deste trabalho estão presentes na Seção 5, seguidos da metodologia na Seção 6. O cronograma de atividades visando o TG2 está na Seção 7. Finalmente, as conclusões são apresentadas na Seção 8.

2. Efeitos das Radiações Ionizantes em Transistores MOS

Os SEE ocorrem devido à interação de partículas com grande capacidade de ionização. Essas partículas, ao adentrarem o material de silício geram um caminho transitório constituído por elementos ionizados (pares \bar{e}/h) dispostos sob uma distribuição radial que permeia o percurso da partícula incidente. Esse caminho transitório pode possuir carga móvel suficiente de forma a conduzir um pulso de corrente frente à presença do campo elétrico externo devido à polarização do transistor [Schrimpf and Fleetwood 2004].

De acordo com a intensidade e a região em que flui essa corrente, ela é capaz de ocasionar falhas que podem ser permanentes na estrutura do dispositivo, chamadas Eventos Únicos Permanentes ou Catastróficos (*hard errors*), ou falhas não-destrutivas, representadas pelos SETs e pelos *Single Event Upset* (SEU), conhecidas como eventos Não-Catastróficos (*soft errors*).

Os efeitos de caráter cumulativo, também chamados Efeitos de Dose Total ou Dose Ionizante Total (*Total Ionizing Dose – TID*) ocorrem devido ao acúmulo de cargas nos materiais que compõem os transistores do circuito integrado e que se manifestam por longo prazo. Esse acúmulo de cargas altera propriedades e parâmetros elétricos do dispositivo. No entanto, algumas dessas alterações podem ser reversíveis ou amenizadas por processos de recozimento (*annealing*).

2.1. Efeitos De Eventos Únicos (SEE)

Quando uma partícula ou um feixe de íons de alta energia (como prótons, nêutrons, partículas α e íons pesados) atravessa camadas isolantes, semicondutoras ou até mesmo todo o dispositivo MOS, um rastro (uma densa distribuição radial) de pares \bar{e}/h é gerado ao longo de toda sua trajetória. Desse modo, SEE indicam qualquer alteração mensurável ou observável em um estado ou desempenho de um dispositivo microeletrônico, componente, subsistema ou sistema (digital ou analógico) como resultado da incidência de uma única partícula energética [Munteanu and Autran 2008].

As alterações causadas pelos SEE podem acarretar falhas não-catastróficas ou mesmo danificar permanentemente a estrutura do dispositivo, causando um defeito permanente. O trabalho terá seu foco voltado para as falhas não-catastróficas, principalmente os efeitos de caráter transiente, que serão detalhados a seguir.

2.1.1. Eventos Não-Catastróficos

A principal diferença entre os dois eventos não-catastróficos é o local de incidência da partícula. Se o pulso de corrente ocorrer dentro de um circuito sequencial, tal como *latches* ou *flip-flops*, o valor original armazenado poderá ser invertido, produzindo um SEU ou *bit-flip* [Bramnik et al. 2013]. De forma semelhante, o efeito SET também gera um pulso, mas a sua origem é pelo impacto de partículas dentro de um circuito combinacional. Se o pulso gerado dentro de um circuito combinacional se propagar e chegar até um circuito sequencial, o SET poderá se tornar um SEU.

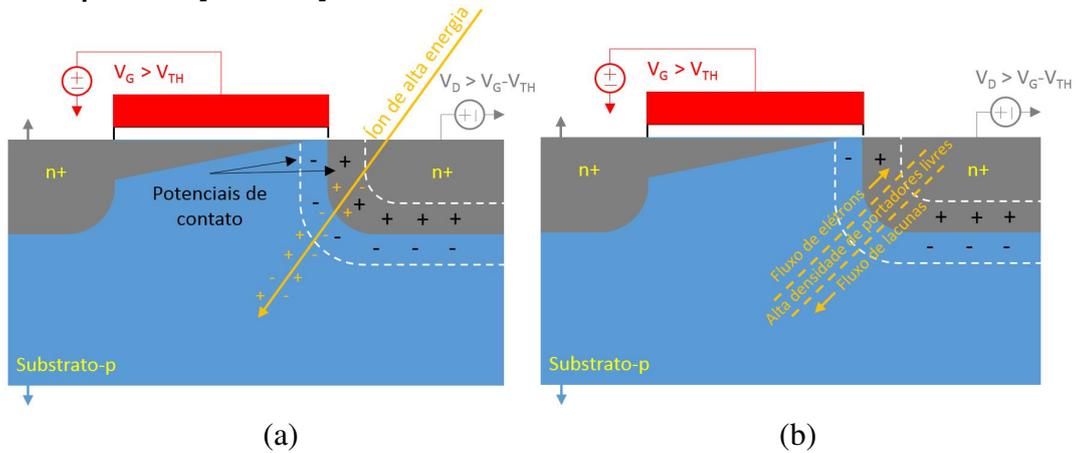
Os SEUs, diferentemente dos SETs, tem o caráter não transiente, pois estão associados à inversão de bits de elementos de memória. Podem ter uma duração indefinida ou serem corrigidos após um ou mais ciclos de relógio. Como este trabalho tem o foco na análise dos SETs, este efeito será descrito detalhadamente a seguir.

Para quantificar os efeitos dos SETs, características como amplitude, formato e duração do pulso de corrente são grandezas importantes. Os SETs são originados por pulsos de corrente gerados pelo impacto de partículas energéticas no semicondutor [Balen 2010]. O caminho formado pela disposição radial de pares \bar{e}/h criados após a incidência transversal de uma partícula de alta energia sob um transistor NMOS polarizado está ilustrado na Figura 1(a).

Após a geração dos pares \bar{e}/h a maioria dessas cargas são imediatamente deslocadas para suas respectivas polaridades opostas. Isso acontece devido à presença do intenso campo elétrico na região de depleção, a qual é compreendida pela área entre as linhas pontilhadas (na cor branca) na Figura 1(a).

Nesse caso, conforme apontado pelas setas amarelas, na Figura 1(b), os elétrons movem-se em deriva no sentido do potencial mais positivo, estabelecido na região N+ da junção, ao passo que as lacunas migram no sentido do potencial mais negativo, estabelecido na região P. Desse modo ocorre a migração líquida de portadores, possibilitando que se estabeleça uma corrente de deriva (*drift*) através do caminho formado. A quantidade total de corrente envolvida nesse processo, ou pulso de corrente, é responsável por uma queda de tensão no terminal. Essa queda de tensão, pode ser temporária, se o terminal estiver polarizado, ou até mesmo permanente, caso o terminal se encontrar sem

Figura 1. (a) Geração de pares \bar{e}/h no dispositivo MOS, (b) Indicação do deslocamento predominante de portadores positivos e negativos no transistor NMOS. Adaptada de [Vaz 2015]

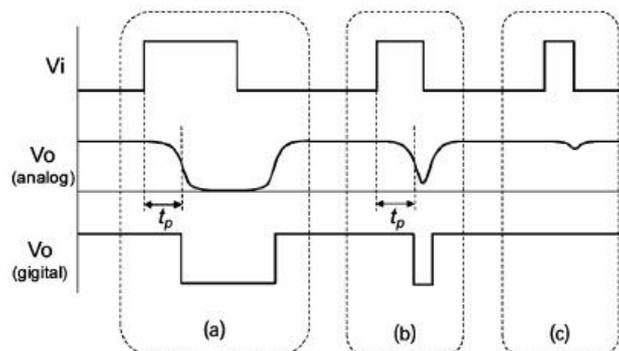


polarização.

Assim, é possível afirmar que a origem destes efeitos em nível elétrico ocorre no domínio analógico [Balen 2010]. O efeito resultante causado por um SET é um pulso de corrente, em um dado ponto do circuito, que pode propagar-se modificando a tensão de outros nós e a corrente em outros pontos do circuito [Baze and Buchner 1997, Savage et al. 2001].

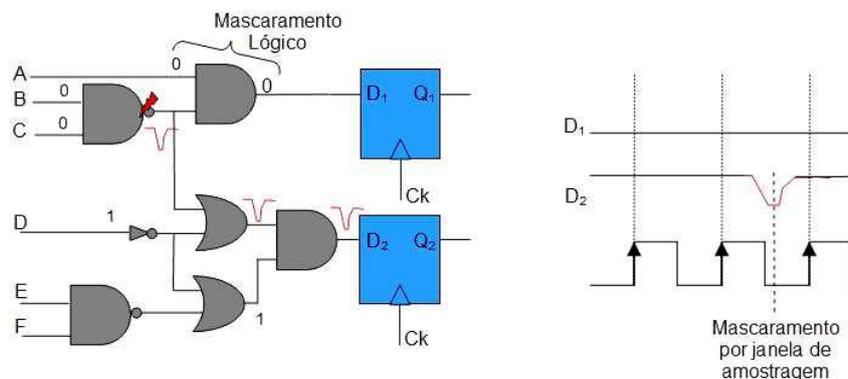
Na medida em que o SET se propaga pelo caminho do sinal, o pulso pode ter sua largura diminuída ou até mesmo aumentada [Ferlet-Cavrois et al. 2007, Wirth et al. 2008]. Isso deve-se aos diferentes atrasos de propagação de subida e descida das portas que compõe o circuito (parâmetros que dependem da carga à qual cada porta está submetida e ao dimensionamento e parâmetros tecnológicos dos transistores). O pulso ocasionado pelo SET pode ainda ser atenuado em sua amplitude, ao longo do circuito combinacional, chegando a um elemento de memória com uma pequena amplitude. Neste caso, o pulso não será capturado pelo registrador, ocasionando o fenômeno conhecido como **mascamamento elétrico**, que é ilustrado na Figura 2.

Figura 2. Degradação de um pulso por mascaramento elétrico. (a) pulso gerado, ao propagar-se pelo circuito, pode vir a ser atenuado (b) ou filtrado (c), caracterizando o mascaramento elétrico. [Entrena et al. 2009]



Outro tipo de mascaramento é o **mascaramento lógico** (Figura 3), caracterizado pelo fato de impedir que um SET propague-se até um elemento de memória, por este ocorrer ou propagar-se por caminhos não sensibilizados da lógica combinacional [Entrena et al. 2009]. O pulso propagado após a ocorrência de um SET, mesmo quando não mascarado pelos mecanismos aqui descritos, pode ainda sofrer um mascaramento temporal, ou “mascaramento por janela de amostragem” (*latch window masking*) [Entrena et al. 2009]. Neste caso, mesmo invertendo temporariamente o nível lógico na entrada de um registrador, o pulso ocorre fora do intervalo de tempo de captura do sinal, conforme ilustrado também na Figura 3. Quanto maior for a largura do pulso do SET, menor é a probabilidade de ocorrer o mascaramento temporal, pois a probabilidade do pulso vir a ser capturado aumenta [Balén 2010].

Figura 3. Propagação de um SET na lógica combinacional. Exemplos de mascaramento lógico e mascaramento por janela de amostragem. [Balén 2010]



A amplitude e a duração de um SET dependem de fatores como a tecnologia de fabricação, geometria do circuito, tensão de polarização do nó afetado, impedância de carga do nó, local do transistor atingido pela partícula, além de fatores relacionados ao SEE em si, como o tipo e energia da partícula incidente [Balén 2010].

2.2. Efeitos De Dose Total (TID)

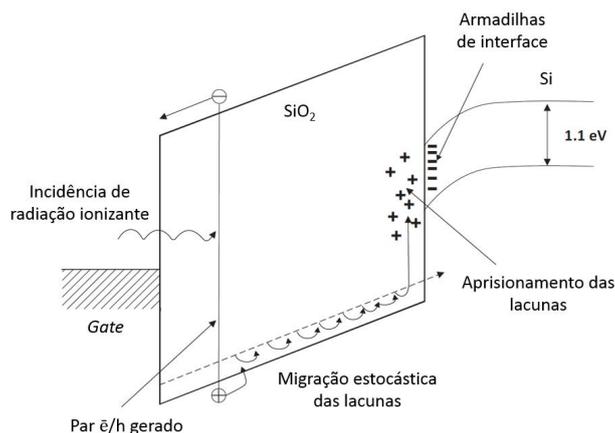
Efeitos de Dose Total ou Efeitos de Dose Ionizante Total (*Total Ionizing Dose - TID*) são fenômenos de caráter cumulativo que ocorrem devido à exposição dos circuitos integrados à radiação ao longo do tempo [Velazco et al. 2007]. São efeitos produzidos após uma partícula ionizante entrar em contato com o dispositivo e que não são desfeitos ao longo do tempo, ou seja, efeitos de longo prazo na qual sua intensidade depende da intensidade da radiação e do tempo que o circuito foi exposto a esta radiação.

Como a energia depositada no material depende da densidade deste, usualmente o objeto alvo é identificado entre parênteses como rad (*Si*), rad (*SiO₂*) ou rad (*GaAs*) para o Silício, Dióxido de Silício e Arseneto de Gálio, respectivamente. A parte mais sensível de uma estrutura MOS à radiação ionizante é o *SiO₂*. Quando uma partícula ionizante atravessa a estrutura do óxido, pares \bar{e}/h são criados e a separação desses pares \bar{e}/h ocorre durante alguns picossegundos.

Muitos desses pares acabam se recombinando na primeira fração desses picossegundos [Velazco et al. 2007, 89-109], porém, nos casos de pares \bar{e}/h gerados através

de uma energia maior em adição à presença de campo elétrico externo, pode haver a migração de carga antes que ocorra a recombinação. Na Figura 4, a qual representa esses fenômenos no contexto do dispositivo MOS, pode-se observar que a geração de um par \bar{e}/h experimenta a presença de um campo elétrico externo, possibilitando que haja o efeito de deslocamento dessas cargas.

Figura 4. Transporte de cargas e efeitos TID em dispositivo MOS. Adaptada de [Barnaby 2006]



No caso de uma polarização positiva em um NMOS, pode-se perceber que as lacunas deslocam-se em direção à interface do Si/SiO_2 , experimentando um fenômeno estocástico de migração através de pequenos saltos entre centros de aprisionamento de cargas localizados na estrutura do óxido. Os elétrons, por sua vez, são removidos do óxido migrando em direção ao gate [Anelli 2000]. Devido este fenômeno de migração, as lacunas migram até chegarem a regiões muito próximas ou mesmo até a interface entre o dióxido de silício e o silício do substrato. Nas regiões de fronteira, estão presentes centros de aprisionamento de cargas. Esses centros fazem com que as cargas positivas tendem a permanecer indeterminadas na fronteira.

Esse acúmulo de cargas, dependendo da quantidade, pode promover que haja uma inversão de população sob o substrato, alterando as características elétricas do dispositivo. Portanto, os efeitos de ionização que ocorrem no dióxido de silício são a causa dos defeitos relacionados à TID em dispositivos CMOS [Böttcher 1996]. Cargas aprisionadas tanto no óxido como na interface são responsáveis pela fuga de corrente, por desvios na tensão de limiar de transistores MOS, além de causarem a degradação da mobilidade de portadores e modificarem as características de ruído dos dispositivos [Velazco et al. 2007, p. 11-29][Meisenheimer et al. 1991].

3. Estratégias de Proteção de Circuitos

Nos capítulos anteriores foram apresentados os efeitos da radiação em circuitos eletrônicos, evidenciando a necessidade do desenvolvimento e aprimoramento de técnicas e metodologias de projeto e de teste para mitigar tais efeitos, ou tornar os circuitos eletrônicos tolerantes a um dado nível de radiação pré-definido. Neste contexto, dependendo da fase de concepção de um dado circuito ou sistema, a proteção contra os efeitos da radiação pode ser implementada em três diferentes níveis em um circuito eletrônico [Faccio 2007]:

- (a) **Processo ou tecnologia (*hardening-by-technology*):** quando um determinado processo ou tecnologia de fabricação são alterados. Ainda, quando uma tecnologia que apresenta características intrínsecas de tolerância à radiação é empregada. Um exemplo é a tecnologia SOI, utilizada nesse trabalho.
- (b) **Projeto (*hardening-by-design*):** quando a estrutura ou lógica de um determinado circuito é alterada em nível de projeto, a fim de se implementar tolerância à TID ou SEEs. Como exemplo, pode-se destacar as técnicas de alteração de projeto em nível de leiaute: ELT e anéis de guarda.
- (c) **Sistema (*hardening-by-system*):** quando a implementação em nível de sistema é alterada. Um exemplo é a utilização de redundância (temporal ou espacial), uma das técnicas mais populares a fim de atenuar SETs é a redundância modular tripla (*Triple Modular Redundancy* - TMR).

Ainda segundo [Faccio 2007], é importante destacar que nenhuma biblioteca comercial para projeto digital foi desenvolvida com a tolerância a radiação em mente, portanto nenhuma biblioteca está comercialmente disponível, onde os transistores ELT e Anéis de Guarda são sistematicamente utilizados. Diferentes grupos de projetistas envolvidos no desenvolvimento de ASIC para aplicações em ambientes de radiação foram confrontados com esse problema e, como resultado, existem hoje algumas bibliotecas "tolerantes a radiação". Porém, com a exceção da biblioteca IMEC [Redant et al. 2004] focada em uma tecnologia de $0,18\mu\text{m}$ livremente disponível para institutos/indústrias europeias, essas bibliotecas não estão facilmente disponíveis fora das comunidades que as produziram.

Antes de destacar as técnicas de tolerância a TID, que são o foco deste trabalho, serão apresentadas brevemente algumas técnicas de tolerância aos SEE.

Aumento da carga crítica: Pode ser realizado através da inclusão de capacitâncias maiores aos nós sensíveis circuito, ao qual pode ser obtido pela adição de capacitores metal-metal isoladores (MIMC) no topo das células ou através do aumento do tamanho de alguns transistores. [Faccio et al. 1999].

Utilização de células *Hardening*: Método baseado na alteração da arquitetura das células visando diminuir a sensibilidade a SEU. A arquitetura amplamente conhecida devido a sua compatibilidade com tecnologias CMOS e que é comumente integrada em *flip-flops* é chamada de DICE (*Dual Interlock Cell*) [Calin et al. 1996].

Redundância temporal: Método que busca tolerar principalmente as falhas oriundas de circuitos lógicos combinacionais [Eaton et al. 2004]. Supondo como exemplo um *flip-flop*, que pode sofrer com uma falha transiente que se propague e alcance a entrada de dados no momento da transição de relógio, o dado com erro será armazenado. Para evitar que isso ocorra, o *flip-flop* é triplicado e recebe os dados de entrada em três momentos diferentes. O primeiro *flip-flop* recebe os dados sem atraso, enquanto que o segundo e o terceiro recebem os dados com um atraso de ΔT e $2\Delta T$, respectivamente. Os três *flip-flops* irão gerar entradas para um circuito de votação que retorna o voto da maioria observando a saída dos três módulos. No entanto, o votador também pode ser sensível a falhas, e uma forma de garantir o resultado correto é também triplicá-lo.

Redução das resistências: No nível físico, a redução das resistências pode ser obtida aumentando a distância entre os dois transistores parasitas complementares ou usando um grande número de contatos de VDD e GND em todo o circuito

[Faccio 2007]. Este último também pode ser feito adicionando Anéis de Guarda entre todas as regiões que contém transistores NMOS.

Esse trabalho, além da utilização da tecnologia SOI, terá como foco primordial a proteção dos circuitos eletrônicos em nível de projeto, mais especificamente em nível de leiaute. Assim, na próxima seção será analisada detalhadamente a proteção em nível de leiaute com foco na topologia ELT.

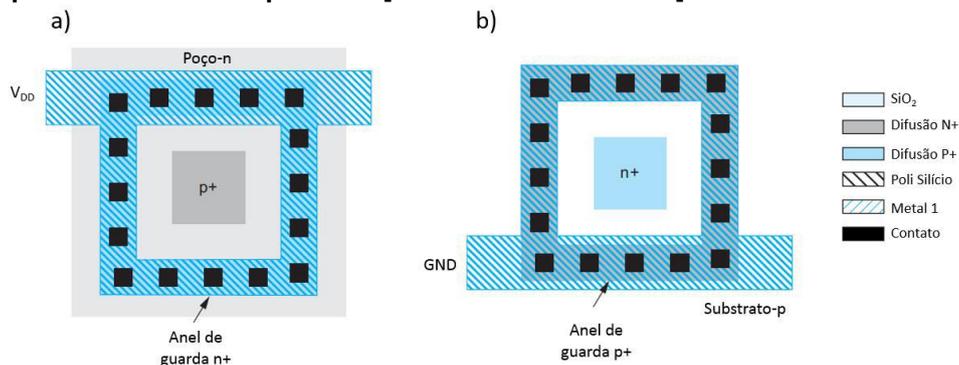
3.1. Proteção por Leiaute

A estratégia de proteção de circuitos em nível de projeto, também conhecida como *Hardening by Design*, considerada neste trabalho diz respeito, principalmente, à alteração do leiaute de transistores. Nesta seção serão apresentadas duas propostas fundamentais e extremamente impactantes com relação à atenuação das degradações provenientes da radiação ionizante: a aplicação de Anéis de Guarda (*Guard Rings*) e a geometria de gate fechado (*Enclosed Layout Transistor – ELT*).

3.1.1. Anéis de Guarda

Os Anéis de Guarda (*Guard Rings*) são estruturas disponíveis em processos CMOS do tipo *bulk* que têm por objetivo circundar os dispositivos a fim de promover uma polarização mais uniforme nas regiões de difusão ou de poço em que se encontram. Sua função é impedir a fuga de corrente entre dispositivos vizinhos, para isso são utilizados anéis de guarda tipo n e tipo p, como pode ser visto na Figura 5.

Figura 5. a) Anel de guarda circundando dispositivo PMOS e b) circundando dispositivo NMOS. Adaptada de [Weste and Harris 2011]



A proteção acontece, pois eventuais canais parasitas induzidos pelo acúmulo de cargas nos óxidos de campo são interrompidos pelo anel de guarda, evitando então o fluxo de corrente de fuga entre transistores vizinhos.

3.1.2. Geometrias de gate fechado - ELT

Modificar a geometria de transistores MOS, a fim de diminuir a fuga de corrente induzida por radiação, é uma boa forma de diminuir os efeitos de dose total. Conforme visto anteriormente, o aprisionamento de cargas nos óxidos de isolamento e na interface *SiO₂/Si*

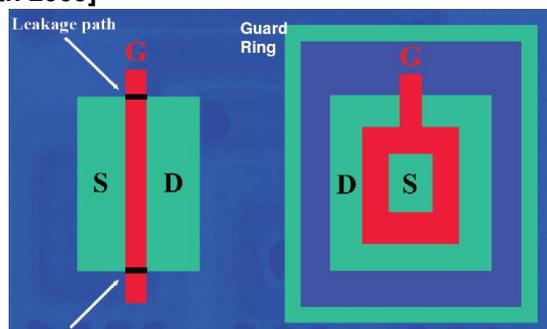
pode induzir inversões no canal, ou até mesmo canais parasitas em um transistor ou entre transistores, ocasionando fuga de corrente.

Uma modificação na geometria do transistor que pode ser empregada para reduzir drasticamente a fuga de corrente ocasionada por acúmulo de dose total é conhecida como ELT (*Enclosed Layout Transistor*) [Snoeys et al. 2000]. Nesta topologia de transistor, o terminal de fonte é totalmente circundado pela região da porta de polisilício, não permitindo que o óxido de campo fique em contato simultâneo com fonte e dreno, por onde poderia surgir um canal parasita (induzido pelo acúmulo de cargas).

Os transistores convencionais, que possuem os terminais de fonte e dreno separados por um canal de largura W e comprimento L , chamados *standard* ou *two-edged*. Para os transistores ELT existem diversas configurações diferentes, de acordo com a disposição do polisilício, são algumas delas: *annular*, *ringed-source*, *dogbone* e circular. Esse trabalho utilizará a configuração *annular*, que será demonstrada a seguir.

A Figura 6 mostra um leiaute tradicional de um transistor MOS (*two-edged*), bem como os caminhos por onde é possível existir fuga de corrente gerada por acúmulo de cargas no óxido. Na Figura 6 (à direita), é ilustrado o leiaute de um transistor ELT (*annular*) com uma proteção extra (anel de guarda), pode-se observar que não existem os mesmos caminhos de fuga de corrente entre dreno e fonte.

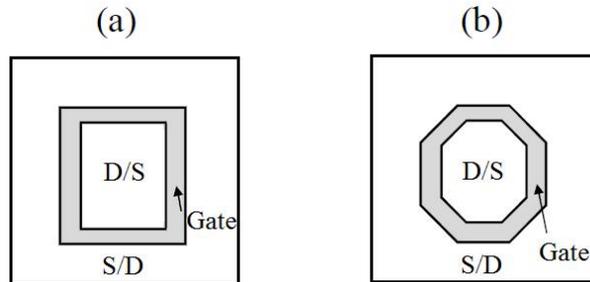
Figura 6. Leiaute tradicional de um transistor MOS (esquerda) e leiaute do tipo ELT (direita). [Wirth 2009]



Os dispositivos anelares, devido à possibilidade de disposição do *gate*, ainda recebem uma subclassificação específica conforme sua forma geométrica. Exemplificadas na Figura 7, as disposições podem ser denominadas *rectangular* (ou *square*) e *square 45°* (ou octogonal), respectivamente.

A estimativa da razão de aspecto, que é algo relativamente simples em transistores convencionais, passa a ser algo muito importante em transistores ELT. Os transistores convencionais são geralmente simétricos, todavia isso não é válido para transistores de geometria fechada. Como não existe uma simetria entre as regiões de dreno e fonte, o cálculo de estimativa da razão de aspecto W/L efetiva não é uma tarefa trivial [Vaz et al. 2015]. Para realizar esses cálculos existem alguns métodos diferentes, dependendo da geometria escolhida. Esses métodos serão detalhados futuramente.

Figura 7. Geometria *annular*: a) *rectangular* ou *square* e b) *square 45°* ou *octogonal*. Adaptada de [McLain et al. 2009]



4. Trabalhos Relacionados e Estado da Arte

Como este trabalho aborda uma série de efeitos e técnicas relacionadas com a radiação ionizante, diversos trabalhos relacionados podem ser encontrados na literatura. Todavia nem todas as pesquisas utilizam as técnicas de proteção de circuitos com o mesmo propósito e muito menos utilizando os mesmos circuitos e tecnologias.

Os trabalhos de [Narasimham et al. 2008, Fan et al. 2011, Vaz and Wirth 2015, Cardoso and Balen 2016, Baghbanmanesh et al. 2017] utilizam técnicas de proteção de circuitos integrados contra os efeitos da radiação ionizante. Todos os trabalhos têm em comum a utilização de tecnologias semelhantes (*bulk* CMOS variando de 130nm a 350nm). Entre as diferenças, pode-se destacar o tipo de circuito utilizado em cada trabalho, além do foco do uso das técnicas, visando mitigar os efeitos da radiação ou analisando o impacto das técnicas no desempenho dos circuitos. O trabalho de [Narasimham et al. 2008] visa mitigar os pulsos de SET utilizando *guard bands*, simulações TCAD são realizadas no nodo tecnológico de 130nm. Já os outros trabalhos mencionados analisam o impacto da utilização das técnicas de proteção (com foco na técnica ELT) no desempenho, consumo e área dos circuitos. Em [Fan et al. 2011], são comparadas três estruturas diferentes da técnica ELT utilizando dispositivos CMOS de 350nm: *two-edge*, *annular* e *ring*, além de diferentes razões de aspecto (W/L). O diferencial dessa pesquisa é a descrição detalhada e as comparações feitas das razões W/L mínimas e as áreas dos transistores. A conclusão fornece ao projetista a melhor opção de estrutura a ser escolhida quando se deseja obter um menor acréscimo de área, dependendo da razão W/L do transistor em questão. Segundo [Fan et al. 2011], o transistor *annular* é uma melhor solução quando a relação W/L do transistor a ser projetado é maior do que o W/L mínimo do transistor *annular*. O trabalho de [Vaz and Wirth 2015] e [Cardoso and Balen 2016] utilizam dispositivos CMOS de 180nm, sendo o primeiro realizando análises do impacto das técnicas de proteção em relação a densidade de área em um circuito inversor e o segundo análises do impacto no desempenho de um circuito amplificador. Em [Baghbanmanesh et al. 2017] são utilizados dispositivos CMOS de 150nm e um circuito SAR ADC (*Successive Approximation Register – Analog to Digital Converter*). São realizadas análises do impacto das técnicas de proteção utilizadas no desempenho e consumo do registrador em questão.

Além dos trabalhos já citados, outros trabalhos relacionados também apresentam conceitos interessantes, porém utilizando a tecnologia SOI. [Schwank et al. 2008] e [Liu et al. 2010], tratam dos Efeitos de Dose Total Ionizante e da tecnologia SOI. O primeiro apresenta uma descrição mais detalhada dos efeitos de TID e uma comparação

da sensibilidade aos efeitos da radiação entre as características das tecnologias *bulk* X SOI. o autor conclui que, visando tolerância aos efeitos da radiação, a tecnologia SOI é a indicada, já tendo um significativo aumento no seu uso no espaço. Já o trabalho de Liu é totalmente voltado para a análise experimental, apresentando os efeitos da utilização de diferentes técnicas ELT, em transistores SOI, na atenuação dos efeitos de TID.

É importante destacar dois trabalhos recentes que além de apresentarem muito dos conceitos utilizados neste trabalho, também servem de motivação vide suas conclusões:

[Zhao et al. 2014] pode ser considerado o estado da arte na utilização de técnicas de proteção de circuitos com o objetivo de atenuar os SETs. O trabalho realiza simulações 3D-TCAD na tecnologia de $0,18\mu\text{m}$ utilizando a técnica ELT, concluindo que a alteração do formato do *gate* tem grande influência nas características do pulso SET. Diferentemente de outras pesquisas, que apenas sugeriam que as mesmas técnicas utilizadas para atenuar os efeitos de TID poderiam ser efetivas para SETs também, a pesquisa de [Zhao et al. 2014] verifica esse fato na prática. Independentemente do método de simulação adotado e da tecnologia utilizada, os resultados obtidos pelo autor servem como grande motivação para a elaboração deste trabalho.

[Vaz 2015]: Trabalho utiliza diferentes geometrias ELT e métodos para estimativa de razão de aspecto W/L para tecnologias de 180nm e 600nm. O objetivo do trabalho é fornecer subsídios a fim de que seja possível combinar diferentes métodos e optar pelo que se ajuste melhor dada uma certa região de operação ou restrições referentes ao leiaute. Vale destacar a seção sobre as geometrias de *gate* fechado, na qual é apresentada uma comparação entre as diferentes disposições possíveis de geometrias ELT. O autor conclui que ao custo de área é possível que se obtenha um dispositivo mais tolerante à radiação e, neste caso, técnicas de mais alto nível ainda podem ser aplicadas de forma a atingir uma maior eficiência de proteção.

5. Motivação e Objetivos

Como apresentado na Seção 4, diversos trabalhos utilizam as técnicas de tolerância a TID em diferentes topologias e tecnologias. Entretanto nenhum trabalho aplica estas técnicas realizando a análise do impacto no número de SETs presentes nos circuitos integrados. Ainda, os trabalhos de [Faccio 2007] e [Zhao et al. 2014] mostram que a ideia da utilização das técnicas de tolerância aos Efeitos de Dose Total é promissora e pode colaborar com uma maior tolerância a falhas do tipo SET, resultando em circuitos ainda mais tolerantes aos efeitos de radiação.

Este trabalho tem por objetivo a utilização de técnicas de tolerância a TID, já consolidadas na literatura (ELT e Anéis de Guarda), visando mitigar os efeitos das falhas transientes. Será verificado o quanto essas técnicas impactam na susceptibilidade de portas lógicas em relação aos efeitos dos SETs.

6. Metodologia

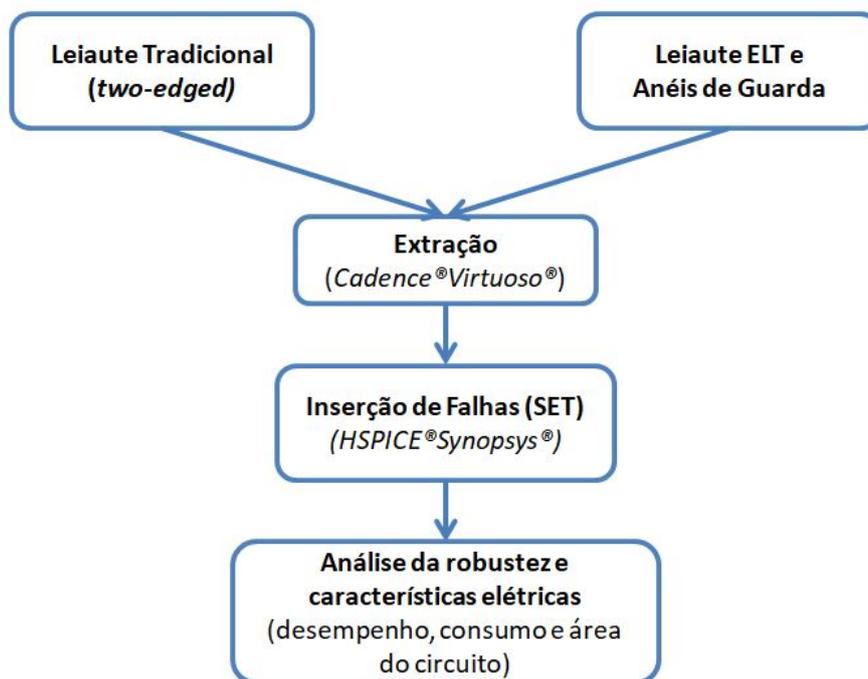
Este trabalho propõe a comparação entre o leiaute tradicional (*two-edged*) e o leiaute com técnicas de tolerância aos Efeitos de Dose Total (*Enclosed Layout Transistor* – ELT e Anéis de Guarda) utilizando a tecnologia de 28nm FDSOI da *ST Microelectronics*. O objetivo do trabalho é verificar o impacto dessas técnicas na sensibilidade de portas lógicas a falhas transientes (SETs), como sugerido em Faccio, 2007.

Devido o *Process Design Kit* (PDK) da *ST* ainda não estar disponível para o uso dos alunos, não foi possível iniciar a parte prática do trabalho. Por esse motivo, a estimativa do *W/L* e o modelo para esta pesquisa só poderão ser definidos depois da realização de alguns testes práticos. Essa estimativa da razão de aspecto será uma das primeiras etapas a serem feitas após o PDK ser disponibilizado.

A geração de leiaute, tradicional e com técnicas de tolerância aos efeitos de radiação, será realizada utilizando a ferramenta *Virtuoso*[®] da *Cadence*[®]. Após a extração do leiaute, a ferramenta *HSPICE*[®] da *Synopsys*[®] será utilizada para a inserção de falhas transientes. Como visto anteriormente, a técnica *ELT* se divide em diferentes geometrias, a geometria utilizada neste trabalho será a *annular* na subclassificação *square 45°*, onde todos os cantos são chanfrados em 45°, resultando em uma forma octogonal.

O impacto das técnicas utilizadas, será avaliando em portas lógicas combinacionais básicas e complexas, como: Inversor, *NAND2*, *NOR2*, *XOR* e *AOI21*. Serão realizadas análises, antes e depois da aplicação de técnicas de tolerância a *TID*, a fim de verificar se houve mudança de susceptibilidade ou não de falhas transientes. Também serão feitas análises para verificar a penalidade inserida no desempenho, consumo e área do circuito.

Figura 8. Fluxograma do desenvolvimento do trabalho.



7. Cronograma de atividades para o TG2

A leitura de artigos e a revisão do Estado da Arte necessárias para o desenvolvimento desta pesquisa foram realizadas no período de Outubro à Dezembro de 2017. O desenvolvimento deste trabalho prevê as atividades listadas na Tab. 1, sendo executadas até o início de julho de 2018.

Tabela 1. Cronograma de atividades 2018

Atividades	Jan	Fev	Mar	Abr	Mai	Jun	Jul
Familiarização com o PDK da ST e definição da razão W/L	X						
Geração dos leiautes sem técnicas de tolerância		X	X				
Geração dos leiautes com técnicas de tolerância			X	X			
Análise e Escrita dos Resultados					X	X	
Escrita do TG2 e Submissão de Artigos					X	X	X

8. Conclusão

Foi observado em trabalhos relacionados, o quanto as técnicas ELT e Anéis de Guarda ajudam na redução dos efeitos de TID. O trabalho de [Faccio 2007], por exemplo, conclui que a diminuição da espessura do óxido do *gate* que acompanha a miniaturização das tecnologias CMOS torna os circuitos cada vez menos sensíveis aos efeitos TID. Ainda conclui que é possível eliminar todas as fontes restantes de falha induzida por TID com o uso de técnicas HBD.

Como citado anteriormente, os trabalhos de [Faccio 2007, Zhao et al. 2014] destacam a importância de verificar o quanto as técnicas usadas para tolerar TID podem ser úteis para ajudar, ou não, a diminuir a probabilidade de ocorrer um SET. Através de simulações *3D TCAD* o trabalho de Zhao, 2014 conclui que a forma do *gate* tem grande influência nas características do pulso de SET e que o envolvimento da região de dreno (separando-o da fonte) pode efetivamente diminuir a carga coletada pelo dreno através do compartilhamento de carga em dispositivos NMOS. Conclusões obtidas na literatura, como a apresentada, são fundamentais para a consolidação da motivação deste trabalho, mostrando a viabilidade da utilização de técnicas de tolerância a TID na tentativa de atenuação dos SETs.

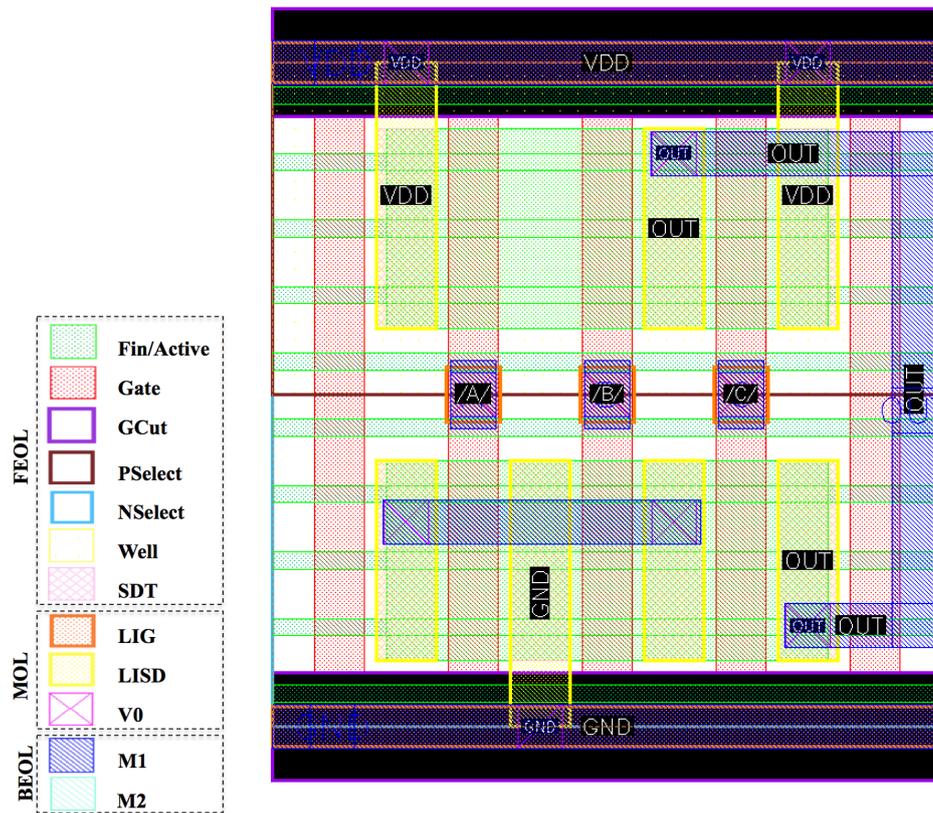
Referências

- Anelli, G. (2000). *Conception et caractérisation de circuits intégrés résistants aux radiations pour les détecteurs de particules du LHC en technologies CMOS submicroniques profondes*. PhD thesis, INP GRENOBLE.
- Baghbanmanesh, M., Maloberti, F., and Gatti, U. (2017). A 10-Bit Radiation-Hardened by Design (RHBD) SAR ADC for Space Applications. *2017 NGCAS*, (Ddd):53–56.
- Balen, T. R. (2010). Efeitos da radiação em dispositivos analógicos programáveis (FPAAs) e técnicas de proteção. page 206.
- Barnaby, H. (2006). Total-ionizing-dose effects in modern cmos technologies. *IEEE Transactions on Nuclear Science*, 53(6):3103–3121.
- Baze, M. and Buchner, S. (1997). Attenuation of single event induced pulses in cmos combinational logic. *IEEE Transactions on Nuclear Science*, 44(6):2217–2223.
- Böttcher, S. (1996). Study of the radiation damage in analog cmos pipelines, mos transistors, and mos capacitors. Technical report.

- Bramnik, A., Sherban, A., and Seifert, N. (2013). Timing vulnerability factors of sequential elements in modern microprocessors. In *IOLTS, 2013 IEEE 19th International*, pages 55–60. IEEE.
- Calin, T., Nicolaidis, M., and Velazco, R. (1996). Upset hardened memory design for submicron cmos technology. *ITNS*, 43(6):2874–2878.
- Cardoso, G. S. and Balen, T. R. (2016). Performance evaluation of radiation hardened analog circuits based on Enclosed Layout geometry. *LATS 2016*, pages 123–128.
- Eaton, P., Benedetto, J., Mavis, D., Avery, K., Sibley, M., Gadlage, M., and Turflinger, T. (2004). Single event transient pulsewidth measurements using a variable temporal latch technique. *ITNS*, 51(6):3365–3368.
- Entrena, L., Valderas, M. G., Cardenal, R. F., Garcia, M. P., and Ongil, C. L. (2009). Set emulation considering electrical masking effects. *ITNS*, 56(4):2021–2025.
- Faccio, F. (2007). Design Hardening Methodologies for ASICs. *Radiation Effects on Embedded Systems*, pages 143–160.
- Faccio, F., Kloukinas, K. C., Magazzu, G., and Marchioro, A. (1999). Set effects in registers and in a dual-ported static ram designed in a 0.25 μm cmos technology for applications in the lhc. Technical report, CERN.
- Fan, X., Li, P., Li, W., Zhang, B., Xie, X., Wang, G., Hu, B., and Zhai, Y. (2011). Gate-enclosed NMOS transistors. *Journal of Semiconductors*, 32(8):084002.
- Ferlet-Cavrois, V., Paillet, P., McMorrow, D., Fel, N., Baggio, J., Girard, S., Duhamel, O., Melinger, J., Gaillardin, M., Schwank, J., et al. (2007). New insights into single event transient propagation in chains of inverters—evidence for propagation-induced pulse broadening. *ITNS*, 54(6):2338–2346.
- Liu, J., Zhou, J., Luo, H., Kong, X., En, Y., Shi, Q., and He, Y. (2010). Total-dose-induced edge effect in SOI NMOS transistors with different layouts. *Microelectronics Reliability*, 50(1):45–47.
- McLain, M. L., Barnaby, H. J., Esqueda, I. S., Oder, J., and Vermeire, B. (2009). Reliability of high performance standard two-edge and radiation hardened by design enclosed geometry transistors. In *Reliability Physics Symposium*, pages 174–179. IEEE.
- Meisenheimer, T., Fleetwood, D., Shaneyfelt, M., and Riewe, L. (1991). 1/f noise in n- and p-channel mos devices through irradiation and annealing. *ITNS*, 38(6):1297–1303.
- Messenger, G. C. (1991). A summary review of displacement damage from high energy radiation in semiconductors and semiconductor devices. In *RADECS 91., First European Conference on*, pages 35–40. IEEE.
- Mishra, P., Muttreja, A., and Jha, N. K. (2011). Finfet circuit design. In *Nanoelectronic Circuit Design*, pages 23–54. Springer.
- Munteanu, D. and Autran, J.-L. (2008). Modeling and simulation of single-event effects in digital devices and ics. *IEEE Transactions on Nuclear Science*, 55(4):1854–1878.
- Musseau, O. (1996). Single-event effects in soi technologies and devices. *IEEE Transactions on Nuclear Science*, 43(2):603–613.

- Narasimham, B., Bhuva, B. L., Schrimpf, R. D., Massengill, L. W., Gadlage, M. J., Holman, W. T., Witulski, A. F., Robinson, W. H., Black, J. D., Benedetto, J. M., and Eaton, P. H. (2008). Effects of guard bands and well contacts in mitigating long SETs in advanced CMOS processes. *ITNS*, 55(3):1708–1713.
- Redant, S., Marec, R., Baguena, L., Liegeon, E., Soucarre, J., Van Thielen, B., Beeckman, G., Ribeiro, P., Fernandez-Leon, A., and Glass, B. (2004). The design against radiation effects (dare) library. In *RADECS2004 Workshop*, pages 22–24.
- Savage, M., Turflinger, T., Howard, J., and Buchner, S. (2001). A compendium of single event transient data. In *Radiation Effects Data Workshop*, pages 134–141. IEEE.
- Schrimpf, R. D. and Fleetwood, D. M. (2004). *Radiation effects and soft errors in integrated circuits and electronic devices*, volume 34. World Scientific.
- Schwank, J. R., Shaneyfelt, M. R., Fleetwood, D. M., Felix, J. A., Dodd, P. E., Paillet, P., and Ferlet-Cavrois, V. (2008). Radiation effects in MOS oxides. *ITNS*, 55(4):1833–1853.
- Snoeys, W., Faccio, F., Burns, M., Campbell, M., Cantatore, E., Carrer, N., Casagrande, L., Cavagnoli, A., Dachs, C., Di Liberto, S., et al. (2000). Layout techniques to enhance the radiation tolerance of standard cmos technologies demonstrated on a pixel detector readout chip. *Nuclear Instruments and Methods in Physics Research Section A: accelerators, spectrometers, detectors and associated equipment*, 439(2):349–360.
- Taur, Y., Buchanan, D. A., Chen, W., Frank, D. J., Ismail, K. E., Lo, S.-H., Sai-Halasz, G. A., Viswanathan, R. G., Wann, H.-J., Wind, S. J., et al. (1997). Cmos scaling into the nanometer regime. *Proceedings of the IEEE*, 85(4):486–504.
- Vaz, P. I. (2015). Efeitos da Radiação Ionizante e Técnicas de Proteção Aplicadas a Prjetos de Dispositivos MOS Customizados. page 116.
- Vaz, P. I., Wiltgen, A., and Wirth, G. I. (2015). Techniques for square ELT simulation: A comparative study. *LASCAS 2015 - Conference Proceedings*, pages 2–5.
- Vaz, P. I. and Wirth, G. I. (2015). Design and comparative performance simulation of RHBD inverter cells in 180nm CMOS. *SBMicro 2015*, pages 2–5.
- Velazco, R., Fouillat, P., and Reis, R. (2007). *Radiation effects on embedded systems*. Springer Science & Business Media.
- Weste, N. H. and Harris, D. (2011). *CMOS VLSI design: a circuits and systems perspective*. Pearson Education India.
- Wirth, G. (2009). Efeitos da radiação em circuitos integrados analógicos: técnicas de simulação e “hardening”. palestra ministrada no: **II Workshop sobre efeitos da radiação em componentes eletrônicos e fotônicos de uso aeroespacial**. Technical report.
- Wirth, G., Kastensmidt, F. L., and Ribeiro, I. (2008). Single event transients in logic circuits—load and propagation induced pulse broadening. *ITNS*, 55(6):2928–2935.
- Zhao, X., Liang, W., and Suge, Y. (2014). Impact of gate shapes on single event transients. *EDSSC 2014*, pages 3–4.

Figura B.2: Leiaute da porta OAI21 nas duas topologias: complexa e somente NAND2
 (a) OAI21



(b) OAI21_NAND

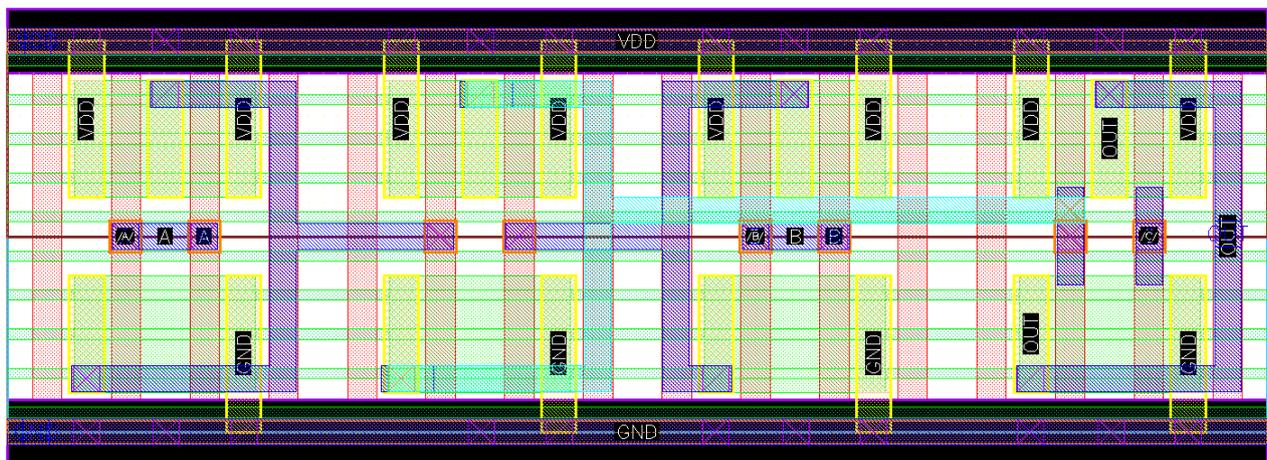
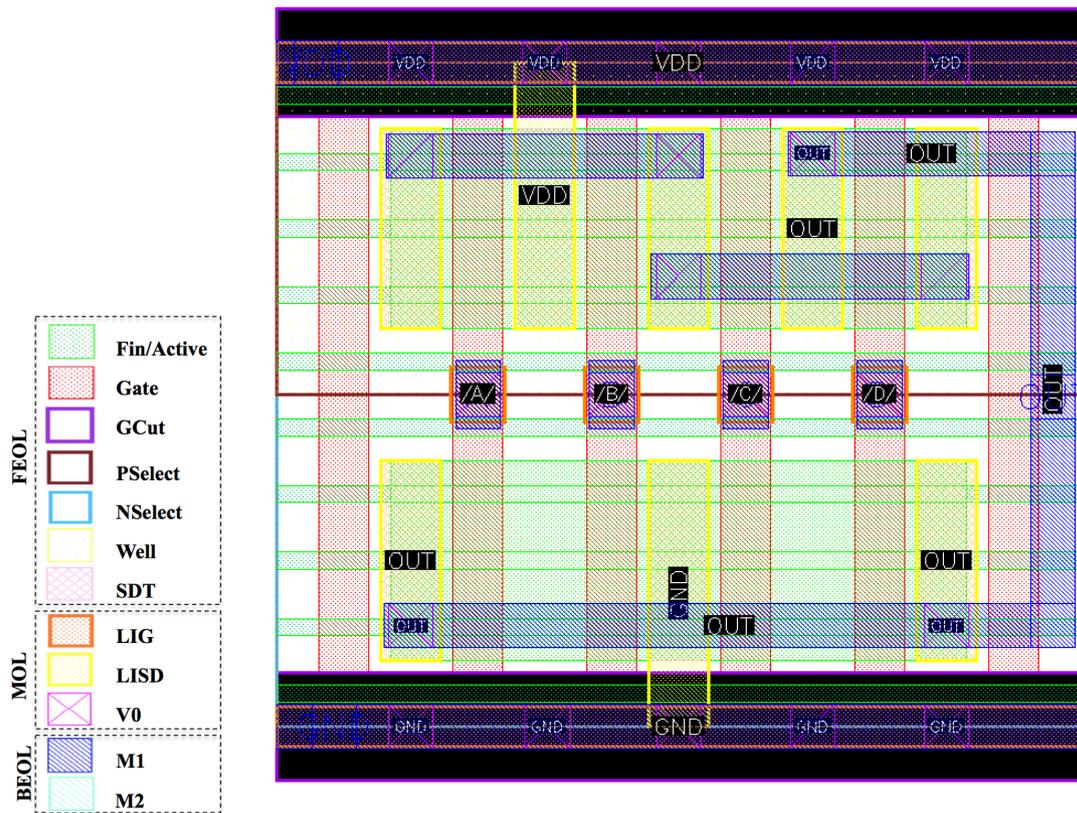


Figura B.3: Leiaute da porta AOI22 nas duas topologias: complexa e somente NAND2
 (a) AOI22



(b) AOI22_NAND

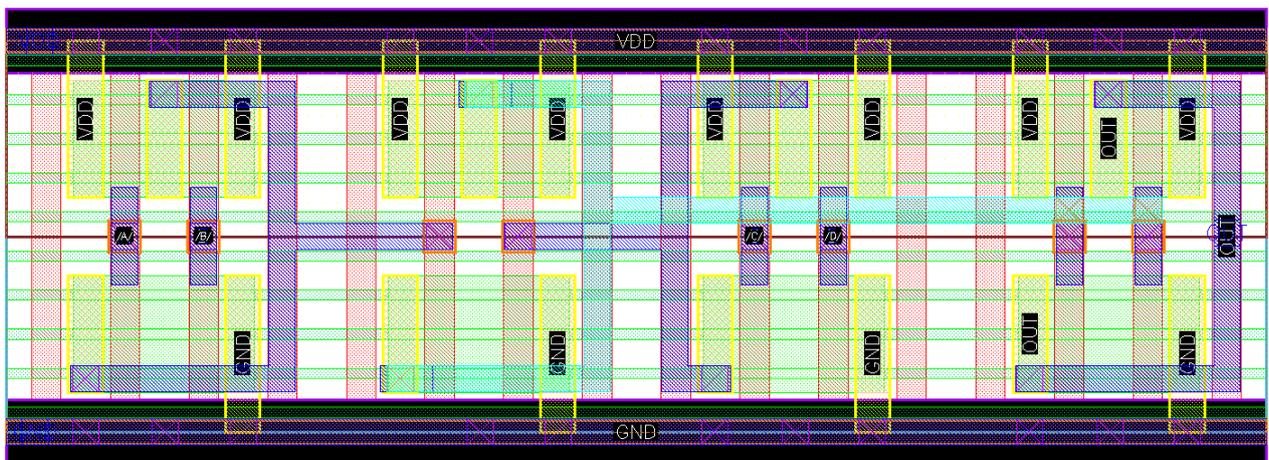
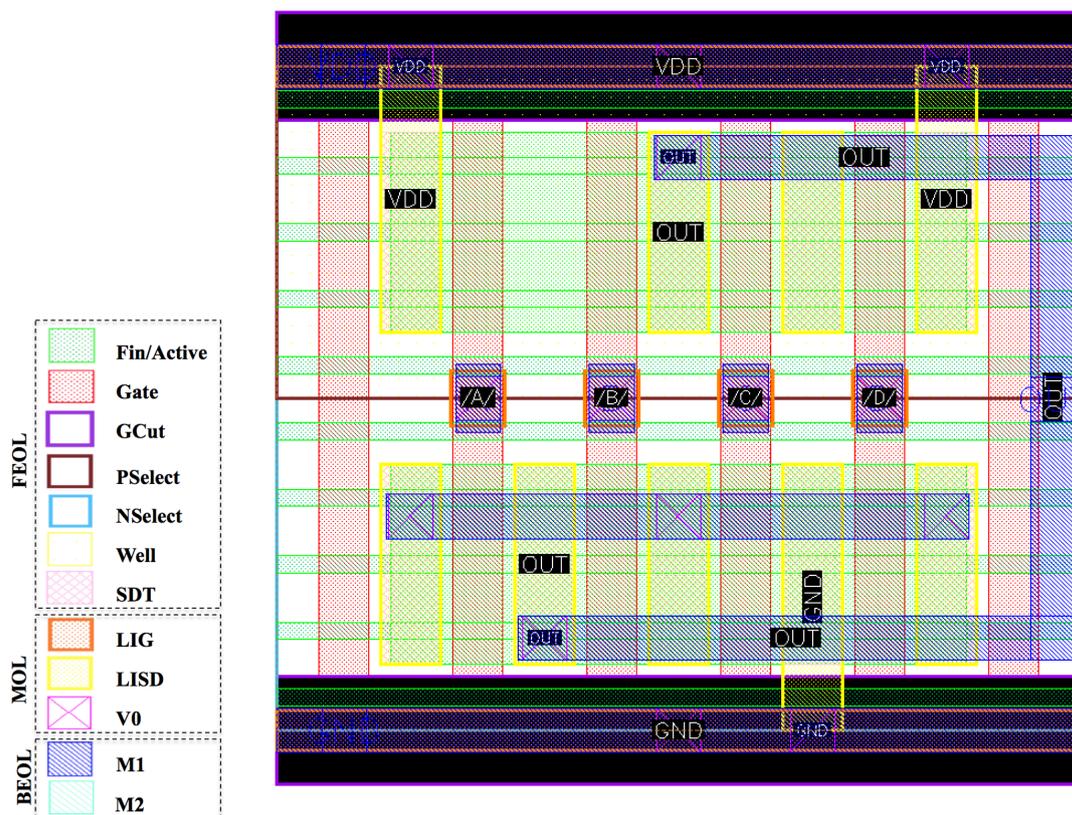


Figura B.4: Leiaute da porta OAI22 nas duas topologias: complexa e somente NAND2
 (a) OAI22



(b) OAI22_NAND

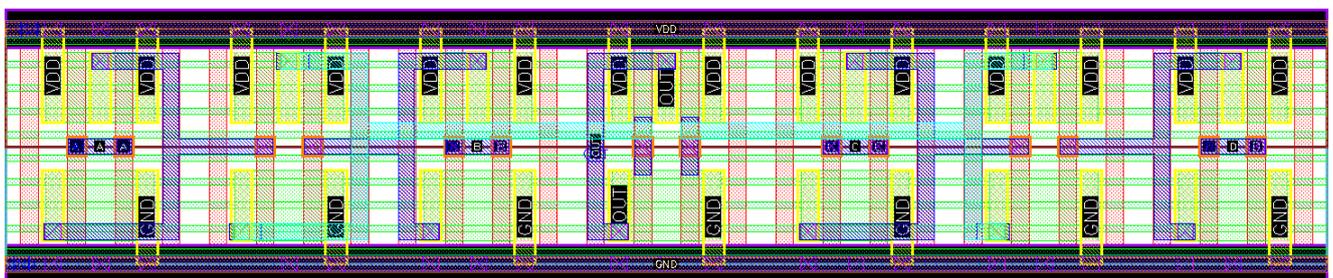
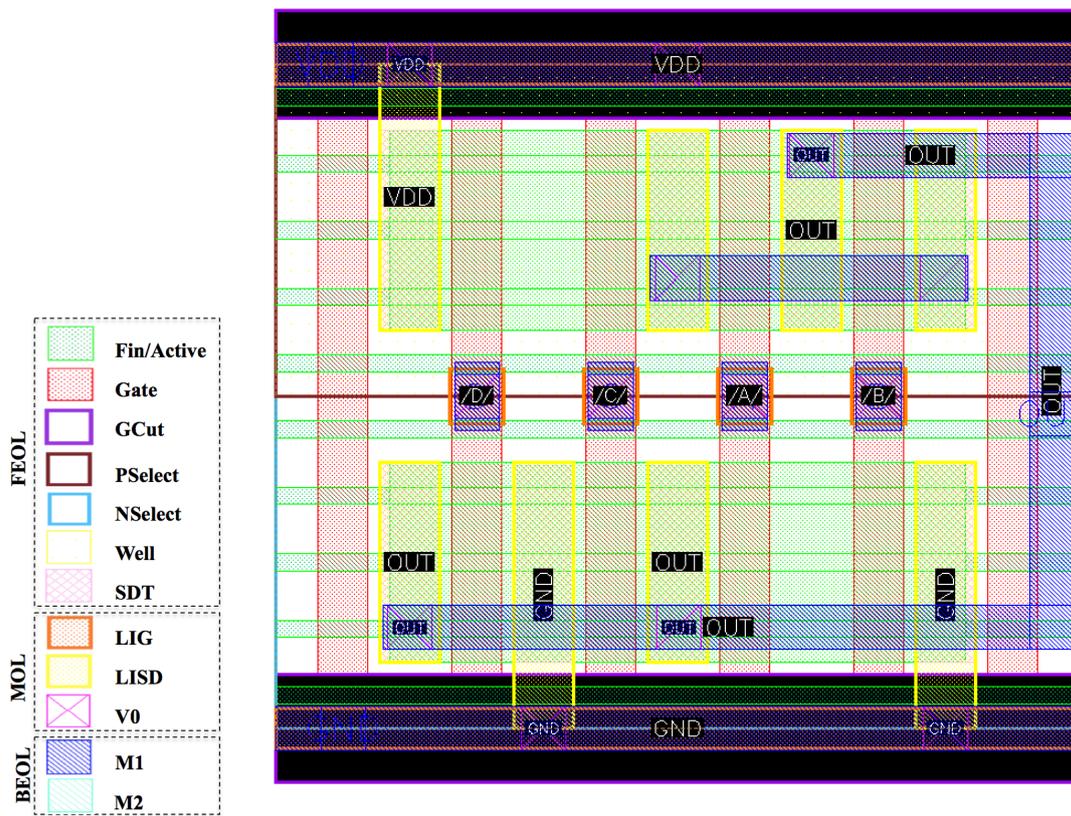


Figura B.5: Leiaute da porta AOI211 nas duas topologias: complexa e somente NAND2
 (a) AOI211



(b) AOI211_NAND

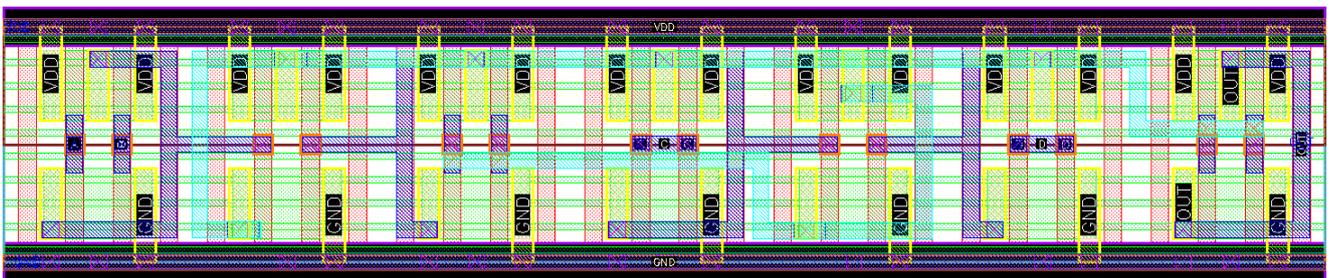
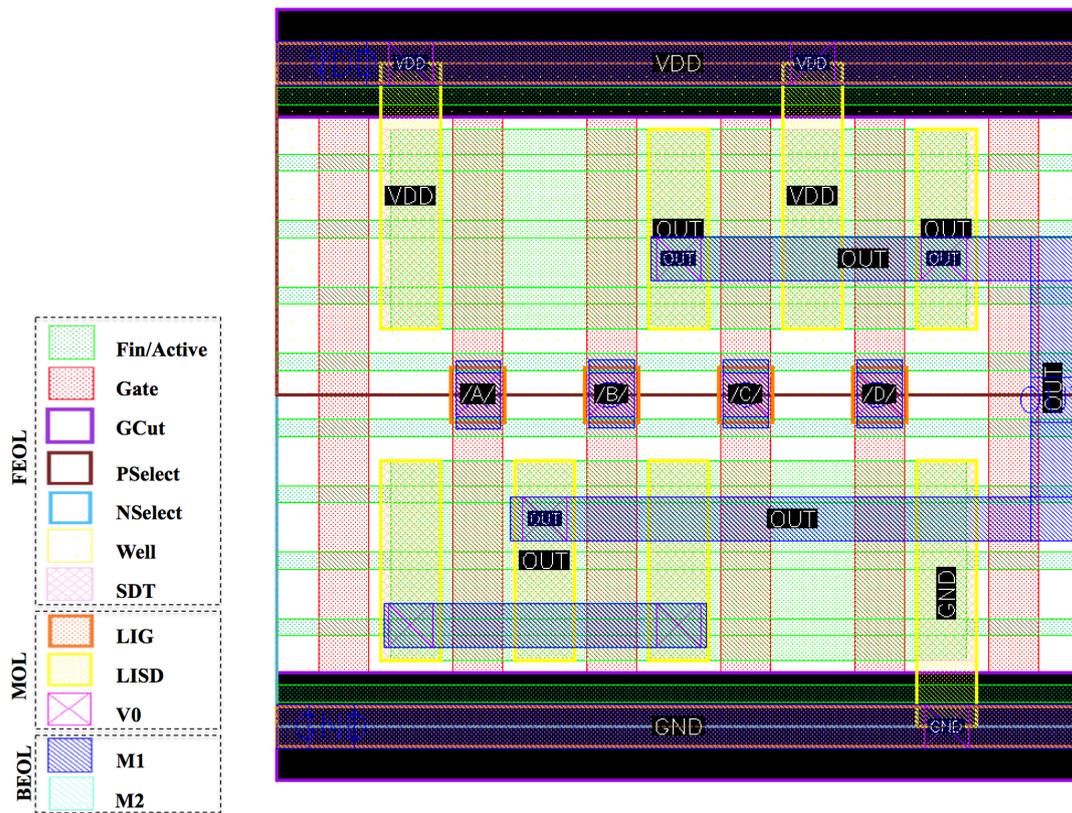


Figura B.6: Leiaute da porta OAI211 nas duas topologias: complexa e somente NAND2
(a) OAI211



(b) OAI211_NAND

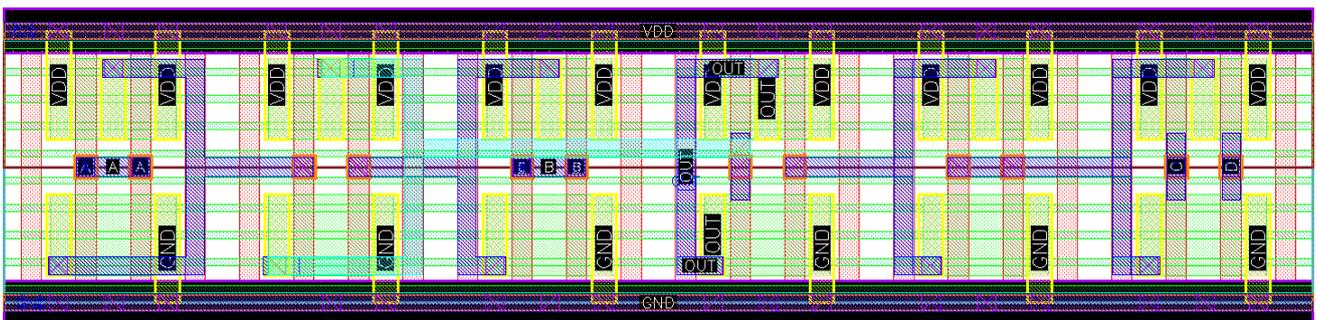
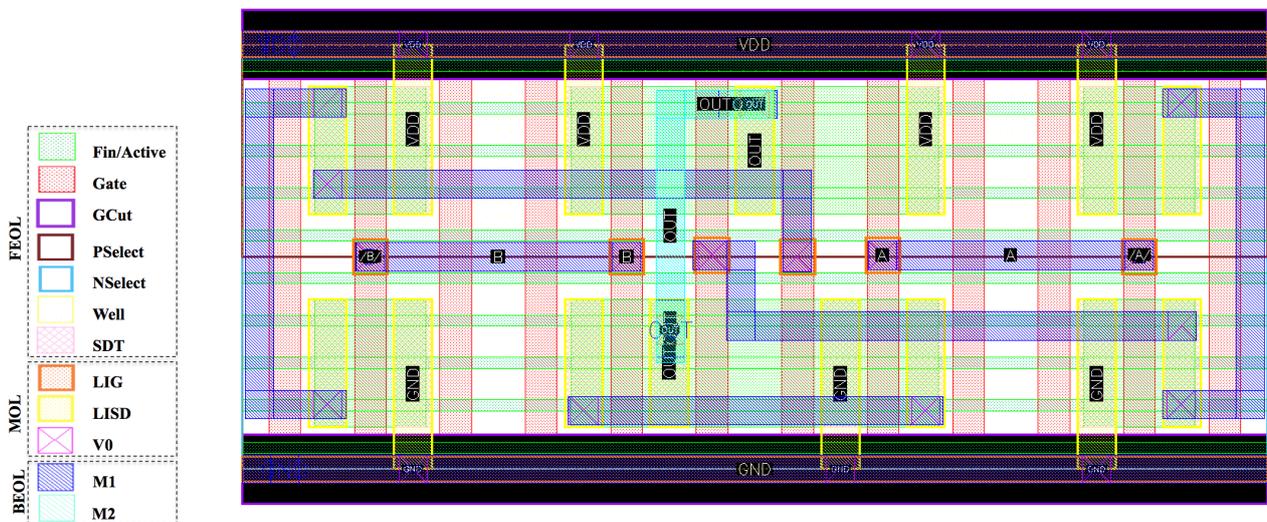


Figura B.7: Leiaute da porta XOR nas duas topologias: complexa e somente NAND2

(a) XOR



(b) XOR_NAND

