

SALÃO DE
INICIAÇÃO CIENTÍFICA
XXIX SIC

UFRGS
PROPESQ



múltipla 
UNIVERSIDADE
inovadora  inspiradora

Evento	Salão UFRGS 2017: SIC - XXIX SALÃO DE INICIAÇÃO CIENTÍFICA DA UFRGS
Ano	2017
Local	Campus do Vale
Título	Extensão de uma Plataforma para Sistemas Multiprocessados Embarcados
Autor	VITOR VIANA BANDEIRA
Orientador	RICARDO AUGUSTO DA LUZ REIS

Extensão de uma Plataforma para Sistemas Multiprocessados Embarcados

Vitor Viana Bandeira
Ricardo A. L. Reis (orientador)
UFRGS – Instituto de Informática
{vvbandeira, reis}@inf.ufrgs.br

O avanço nas ferramentas de projeto de circuitos integrados e na tecnologia usada para a fabricação dos mesmos, viabilizou o uso de sistemas integrados com mais de um núcleo de processamento computacional em um mesmo chip, ou seja, com mais de um core no mesmo chip, assim como unidades de processamento gráfico (GPU). Além disto, diversos outros módulos de função específica (aceleradores hardware ou aceleradores para atividades específicas hardware (APA)) tem sido também integrados em um mesmo chip.

Sistemas de Multiprocessadores Embarcados são uma realidade, tanto na indústria quanto na academia. Esses dispositivos oferecem a capacidade de processamento paralelo, objetivando cobrir requisitos de aplicações cada vez mais complexas. A carga de trabalho subjacente das aplicações é suscetível à variação em tempo de execução o que, se não for tratado adequadamente, pode levar a degradação do circuito, perda em desempenho e maior consumo de energia. O aumento contínuo da complexidade da carga de trabalho das aplicações, bem como do tamanho dos sistemas multiprocessados emergentes, requer soluções de mapeamento dinâmicas e distribuídas. A maioria das técnicas de mapeamento propostas na literatura são implementações personalizadas, considerando um sistema operacional interno desenvolvido para uma arquitetura de processador específica. Essa prática restringe sua aplicação em outras plataformas, levando a um esforço extra de projeto, revalidação e, conseqüentemente, um custo oculto que pode ser muito alto.

Com a popularização de sistemas multiprocessados, surgem novos desafios. Alguns deles são: (a) a comunicação entre os processadores ou núcleos deve ser confiável, escalável, eficiente e ainda possuir bom desempenho [1, 2]; (b) saber qual unidade de processamento utilizar (CPU, GPU ou APU); (c) como dividir as tarefas e aplicações nas diferentes unidades de processamento disponíveis utilizando heurísticas de mapeamento [3, 4]; (d) tratamento de erros e a confiabilidade geral do sistema [5]; (e) como testar e avaliar o desempenho ainda em tempo de projeto [6].

Pretendemos aumentar a funcionalidade da plataforma desenvolvida em [6] para incluir um número maior de arquiteturas de processadores bem como outras heurísticas de mapeamento.

- [1] F. G. Moraes, E. A. Carara, M. Ruaro, and G. A. Madalozzo, "Evaluation of adaptive management techniques in NoC-based MPSoCs", in 2012 19th IEEE International Conference on Electronics, Circuits, and Systems (ICECS 2012), Dec 2012, pp. 548–551.
- [2] M. Ruaro, E. A. Carara, and F. G. Moraes, "Tool-set for NoC-based MPSoC debugging x2014: a protocol view perspective", in 2014 IEEE International Symposium on Circuits and Systems (ISCAS), June 2014, pp. 2531–2534.
- [3] M. Mandelli, L. Ost, E. Carara, G. Guindani, T. Gouvea, G. Medeiros, and F. G. Moraes, "Energy-aware dynamic task mapping for noc-based mpsocs", in 2011 IEEE International Symposium of Circuits and Systems (ISCAS), May 2011, pp. 1676–1679.
- [4] Jean, G. Abich, R. A. L. Reis, and F. G. Moraes, "Publish-subscribe programming for a NoC-based multiprocessor system-on-chip", in IEEE ISCAS 2017, May 2017, Baltimore, USA.
- [5] F. Rosa, F. Kastensmidt, R. Reis, and L. Ost, "A fast and scalable fault injection framework to evaluate multi/many-core soft error reliability", in 2015 IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems (DFTS), Oct 2015, pp. 211–214.
- [6] G. Abich, M. G. Mandelli, F. R. Rosa, F. Moraes, L. Ost, and R. Reis, "Extending FreeRTOS to support dynamic and distributed mapping in multiprocessor systems", in 2016 IEEE International Conference on Electronics, Circuits and Systems (ICECS), Dec 2016, pp. 712–715, Monaco.