

## Introdução

A progressiva redução das tensões de alimentação na microeletrônica chegou a um ponto em que tornou-se necessário o estudo de substitutos para alguns dispositivos para aplicações em circuitos com ultra-baixa tensão de alimentação (*ultra-low voltage*). Um possível substituto para o Diodo de junção PN seria o **Diodo Schottky**, já bastante empregado em circuitos de proteção. As situações em que esses diodos são empregados, porém, não demandam informação quanto a **variabilidade no processo de fabricação**, resultando na pobreza desse tipo de dados fornecidos pelas *foundries*, um empecilho para projetos de outros tipos de circuito, como de referências de tensão [1].

Este trabalho visa caracterizar eletricamente uma grande quantidade de dispositivos (**100 diodos**) de diversas geometrias diferentes ( $2\mu\text{m} \times 2\mu\text{m}$ ,  $5\mu\text{m} \times 5\mu\text{m}$ ,  $10\mu\text{m} \times 10\mu\text{m}$  e  $10\mu\text{m} \times 10\mu\text{m}$  com *fingers* - **400 diodos no total**) em diversas temperaturas para extrair dados estatísticos a fim de compor um **modelo comportamental completo** para o dispositivo, incluindo os dados sobre **variabilidade no processo de fabricação** cuja falta motivou o projeto.

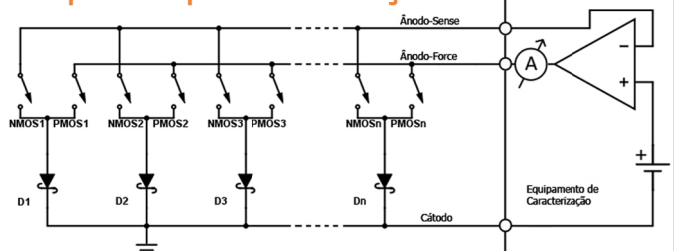
## Ideia

- Transistores PMOS e NMOS atuando como chaves acionadas por *shift-register* para ligar os diodos individualmente nos limitados pinos de acesso do circuito integrado (CI);
- Método de medição *force-sense* (Kelvin ou quatro-pontos) para redução de quedas de tensão entre o terminal do aparelho de caracterização e o ânodo/cátodo;
- Seleção de dispositivo a ser caracterizado, controle do aparelho de caracterização elétrica e controle de câmara térmica automatizado por programa de computador.

## Realizado pelo Bolsista

- Colaboração no desenvolvimento da proposta;
- Estudo das ferramentas CAD para microeletrônica utilizadas atualmente;
- Desenvolvimento do *Shift-Register*.

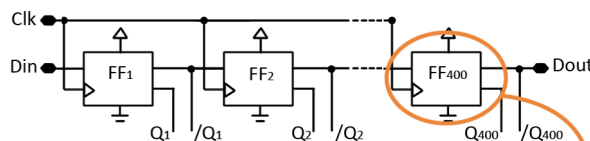
## Proposta para Medições



- “Chaves MOS” ativadas com o Q e o /Q dos *flip-flops* do *shift-register* desenvolvido. **NMOS** com  $Q=1$  e **PMOS** com  $/Q=0$ .

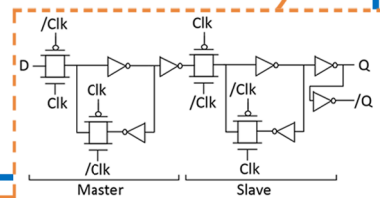
O autor foi bolsista no projeto CIRCUITOS INTEGRADOS ANALÓGICOS E MISTOS PARA OPERAÇÃO EM ULTRA-BAIXA TENSÃO (ULV) DE ALIMENTAÇÃO.  
PERÍODO: 01/08/2015 a 31/07/2016

## Circuito Implementado



- Palavra carregada no *Shift-register* SIPO (*serial in, parallel out*) fecha os contatos da “Chave MOS” correspondente ao *Flip-flop* carregado com bit = 1.

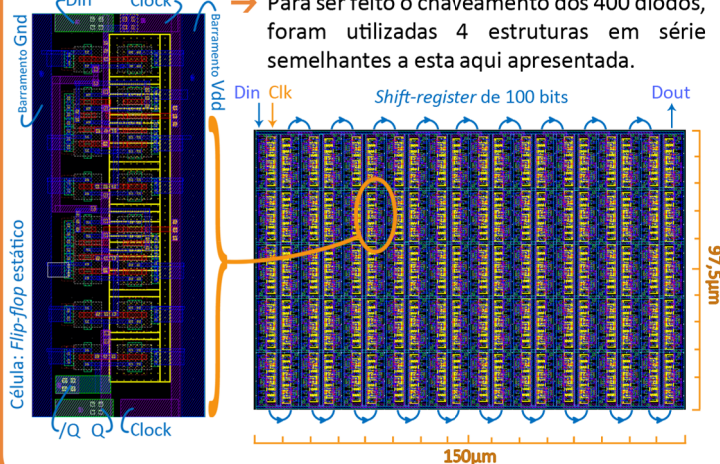
- *Flip-flop* do tipo *master-slave* com *latches* estáticos, compostos por Inversores e *Transmission Gates*.



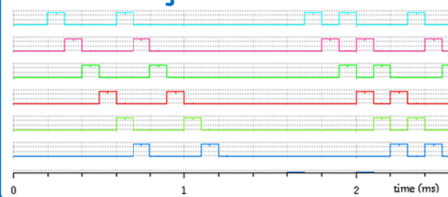
## Layout

- O *layout* foi feito de forma modular, facilitando a implementação da estrutura completa do *shift-register*;

- Para ser feito o chaveamento dos 400 diodos, foram utilizadas 4 estruturas em série semelhantes a esta aqui apresentada.



## Simulações



- Simulações transientes realizadas no software *Virtuoso®* mostram uma palavra sendo carregada através do *shift-register* a cada pulso de *clock* (10kHz).

## Continuação do Trabalho

- Próxima etapa para realização do trabalho, enquanto é aguardada a prototipação em processo IBM130nm pela MOSIS, é desenvolver a interface digital que fará o controle da caracterização e o levantamento dos dados de forma automatizada. **O chip foi enviado para prototipação em 08/2016 e deve retornar por meados de 11/2016 para então poder ser testado.**

### AGRADECIMENTOS

Agradeço à Propesq, ao Programa CI-Brasil, ao CNPq e à MOSIS por tornarem possível esta pesquisa.

### REFERÊNCIAS

- [1] Campana, R., Klimach, H. and Bampi, S. “0.5 V Supply Resistorless Voltage Reference for Low Voltage Applications,” *In Proceedings of the 28th symposium on Integrated circuits and systems design (SBCCI)*, 2015, vol. 1.
- [2] Klimach, H. “Mismatch model for MOS transistors”. *Tese de doutorado, PPGEEL, UFSC, 2008.*