



## SALÃO DE INICIAÇÃO CIENTÍFICA XXVIII SIC

paz no plural



<b>Evento</b>	Salão UFRGS 2016: SIC - XXVIII SALÃO DE INICIAÇÃO CIENTÍFICA DA UFRGS
<b>Ano</b>	2016
<b>Local</b>	Campus do Vale - UFRGS
<b>Título</b>	Circuito de Teste para Caracterização de Variabilidade de Diodos Schottky
<b>Autor</b>	MARCELO PEDRINI
<b>Orientador</b>	HAMILTON DUARTE KLIMACH

# Circuito de Teste para Caracterização de Variabilidade de Diodos Schottky

Marcelo Pedrini – Autor  
UFRGS – Cartão 46659  
marcelo.pedrini.br@gmail.com

Prof. Dr. Hamilton Klimach – Orientador  
UFRGS  
hamilton.klimach@ufrgs.br

Um bloco analógico muito importante na implementação de circuitos eletrônicos analógicos e digitais é a "referência de tensão". Com a progressiva redução na tensão de alimentação dos circuitos integrados, chegando atualmente a valores inferiores a 1V, os projetistas buscam dispositivos e circuitos que consigam operar sob tão restrito regime de alimentação. Com este enfoque, começam a ser usados os diodos do tipo Schottky no lugar dos tradicionais diodos de junção PN porque os primeiros apresentam uma menor tensão de operação em polarização direta. Como o seu uso ainda está em estágio embrionário, pois esta classe de dispositivo tem sido empregada apenas em circuitos de proteção, que são menos exigentes, os parâmetros de variabilidade construtiva destes componentes geralmente não são fornecidos pela indústria, ou quando são fornecidos são pouco confiáveis. Assim, surge a necessidade de estudar-se o comportamento da variabilidade destes componentes para auxiliar no estudo das referências de tensão que os utilizam. A finalidade deste trabalho é propor a construção de um circuito integrado com uma grande quantidade de componentes "iguais" para poder-se mensurar e modelar estatisticamente os efeitos da variabilidade deste componente. O circuito básico usado para o levantamento das curvas de Tensão por Corrente ( $V \times I$ ) deste dispositivo é bastante simples, basta fazer-se passar uma corrente conhecida pelo dispositivo e medir-se a tensão desenvolvida em seus terminais, ou vice-versa. O trabalho em questão foi direcionado a encontrar um método para medir-se uma grande quantidade de dispositivos usando-se poucos pinos de acesso externo ao circuito integrado. Foram selecionadas 4 geometrias diferentes (tamanhos) para os diodos e, em cada geometria, foram utilizados 100 diodos "iguais", com isso consegue-se mensurar as semelhanças e diferenças nas medições, obtendo-se um estudo de variabilidade (média e desvio padrão) para cada geometria. Como estes dispositivos serão usados em baixas tensões, as simulações foram feitas para se conseguir tensões entre 100mV e 400mV sobre os diodos. Para a seleção dos dispositivos foram usadas chaves compostas por transistores PMOS e NMOS e acionadas externamente por um computador através de um conjunto de registradores (*shift-register*), assim, consegue-se reduzir o número de pinos de acesso externo ao chip e acrescentar mais dispositivos para caracterização. Estas restrições nos levaram a estudar e simular várias topologias de circuitos, sendo que a topologia escolhida é a que apresenta menores correntes de fuga das chaves, correntes estas que aumentam conforme se aumenta o número de dispositivos conectados. Como os resultados das simulações foram satisfatórios para o circuito selecionado, inclusive com simulações em várias temperaturas de operação, o circuito encontra-se em fase de desenvolvimento do leiaute. O envio para fabricação está previsto para agosto de 2016 via o programa MOSIS, sendo a prototipagem efetuada no processo de fabricação IBM 130nm. Após o retorno dos circuitos integrados, previstos para novembro de 2016, haverá o processo de medição dos mesmos.