

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
ESCOLA DE ENGENHARIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

ALISSON JAMIE CRUZ LANOT

**ESTUDO DE FALHAS TRANSIENTES E TÉCNICAS DE
TOLERÂNCIA A FALHAS EM CONVERSORES DE DADOS
DO TIPO SAR BASEADOS EM REDISTRIBUIÇÃO DE
CARGA**

Porto Alegre

2014

ALISSON JAMIE CRUZ LANOT

**ESTUDO DE FALHAS TRANSIENTES E TÉCNICAS DE
TOLERÂNCIA A FALHAS EM CONVERSORES DE DADOS
DO TIPO SAR BASEADOS EM REDISTRIBUIÇÃO DE
CARGA**

Dissertação de mestrado apresentada ao Programa de Pós-Graduação em Engenharia Elétrica, da Universidade Federal do Rio Grande do Sul, como parte dos requisitos para a obtenção do título de Mestre em Engenharia Elétrica.

Área de concentração: Micro e Nanoeletrônica

ORIENTADOR: Dr. Tiago Roberto Balen

Porto Alegre

2014

ALISSON JAMIE CRUZ LANOT

**ESTUDO DE FALHAS TRANSIENTES E TÉCNICAS DE
TOLERÂNCIA A FALHAS EM CONVERSORES DE DADOS
DO TIPO SAR BASEADOS EM REDISTRIBUIÇÃO DE
CARGA**

Esta dissertação foi julgada adequada para a obtenção do título de Mestre em Engenharia Elétrica e aprovada em sua forma final pelo Orientador e pela Banca Examinadora.

Orientador: _____

Prof. Dr. Tiago Roberto Balen, UFRGS

Doutor pela Universidade Federal do Rio Grande do Sul

Banca Examinadora:

Prof. Dr. Gilson Inácio Wirth, UFRGS

Doutor pela Universitaet Dortmund, Alemanha

Profa. Dra. Fernanda Gusmão de Lima Kastensmidt, UFRGS

Doutora pela Universidade Federal do Rio Grande do Sul, Brasil

Prof. Dr. Altamiro Amadeu Susin, UFRGS

Doutor pela Institut National Polytechnique de Grenoble, França

Coordenador do PPGEE: _____

Prof. Dr. Alexandre Sanfelice Bazanella

Porto Alegre, Outubro de 2014.

AGRADECIMENTOS

Agradeço ao meu orientador, Prof. Dr. Tiago Balen por ter aceitado me orientar mesmo sabendo das minhas dificuldades, pela paciência em resolver as minhas dúvidas, pelo envolvimento contínuo na realização deste trabalho, por me incentivar em seguir na vida acadêmica, pelo envolvimento constante na elaboração dos nossos artigos (que foram todos aceitos!), pela correção da dissertação, como também pela nossa amizade.

Agradeço aos meus pais pelo carinho, por sempre terem confiado no meu potencial, e por terem compreendido a minha ausência devido a nossa distância e o meu envolvimento com os estudos.

Agradeço à minha irmã Marcele e meu cunhado Luciano pela nossa amizade, pela preocupação constante com o meu bem estar, e por terem compartilhado comigo diversos momentos de felicidade nesses últimos anos.

Agradeço ao meu irmão Erlon e minha cunhada Janine pela nossa amizade, como também por sempre me ajudarem a resolver burocracias quando eu mais precisei, e também (junto com meu sobrinho Richard) por compartilharem comigo diversos momentos de felicidade nesses últimos anos.

Agradeço aos colegas do Laboratório de Prototipação e Testes (LAPROT) pela amizade e por sempre me ensinarem e sanarem as minhas dúvidas quando eu precisei.

Agradeço a CAPES pela bolsa de mestrado.

RESUMO

Conversores A/D do tipo aproximações sucessivas (SAR) baseados em redistribuição de carga são frequentemente utilizados em aplicações envolvendo a aquisição de sinais, principalmente as que exigem um baixo consumo de área e energia e boa velocidade de conversão. Esta topologia está presente em diversos dispositivos programáveis comerciais, como também em circuitos integrados de propósito geral. Tais dispositivos, quando expostos a ambientes suscetíveis a radiação, como é o caso de aplicações espaciais, estão sujeitos à colisão com partículas capazes de ionizar o silício. Estes podem causar falhas temporárias, como um efeito transiente, uma inversão de bit em um elemento de memória, ou até mesmo danos permanentes no circuito. Este trabalho visa descrever o comportamento do conversor SAR baseado em redistribuição de carga após a ocorrência de efeitos transientes causados por radiação, por meio de simulação SPICE. Tais efeitos podem causar falhas nos componentes da topologia: chaves, lógica de controle e comparador. Estes são propagados por todo o estágio de conversão, devido à sua característica sequencial de conversão. Por fim, uma discussão sobre as possíveis técnicas de mitigação de falhas para esta topologia é apresentada.

Palavras-chave: Conversor A/D, Aproximações Sucessivas, Efeitos Singulares, Efeitos Transientes, Técnicas de mitigação de falhas.

ABSTRACT

Successive Approximation Register (SAR) Analog to Digital Converters (ADCs) based on charge redistribution are frequently used in data acquisition systems, especially those requiring low power and low area, and good conversion speed. This topology is present on several mixed-signal programmable devices. These devices, when exposed to harsh environments, such as radiation, which is the case for space applications, are prone to Single Event Effects (SEEs). These effects may cause temporary failures, such as transient effects or memory upsets or even permanent failures on the circuit. This work presents the behavior of this type of converter after the occurrence of a transient fault on the circuit, by means of SPICE simulations. These transient faults may cause an inversion on the conversion due to a transient on the control logic of the switches, or a charge or discharge of the capacitors when a transient occur on the switches, as well as a failure on the comparator, which may propagate to the remainder stages of conversion, due to the sequential nature of the converter. A discussion about the possible fault mitigation techniques is also presented.

Keywords: Analog to Digital Converters. Successive Approximation Register. Single Event Effects. Single Event Transients. Fault Mitigation Techniques.

SUMÁRIO

1	INTRODUÇÃO	12
2	CONVERSORES SAR BASEADOS EM REDISTRIBUIÇÃO DE CARGA	16
2.1	CONVERSORES DE DADOS.....	16
2.2	HISTÓRICO	18
2.3	PRINCÍPIO DE REDISTRIBUIÇÃO DE CARGA.....	19
2.4	LÓGICA DE CONTROLE DO CONVERSOR SAR.....	24
2.5	EXEMPLO DE CONVERSÃO	27
3	EFEITOS TRANSIENTES EM CIRCUITOS INTEGRADOS.....	31
3.1	EFEITOS SINGULARES	31
3.2	EFEITOS TRANSIENTES	33
3.3	MODELAGEM DE EFEITOS TRANSIENTES	34
4	MODELAGEM DO CONVERSOR E METODOLOGIA DE INJEÇÃO DE FALHAS.....	37
4.1	MODELAGEM DO CONVERSOR.....	37
4.2	DESCRIÇÃO DA TOPOLOGIA ANALISADA.....	41
4.3	METODOLOGIA TRADICIONAL DE INJEÇÃO DE FALHAS.....	42
4.4	MODELO DE INJEÇÃO DE FALHAS EM CHAVES CMOS	43
4.5	INJEÇÃO DE FALHAS EM CONVERSORES SAR.....	48
5	RESULTADOS EXPERIMENTAIS	50
5.1	OCORRÊNCIA DO ERRO	50
5.2	INJEÇÃO DE FALHAS NAS CHAVES.....	52
5.3	INJEÇÃO DE FALHAS NO CIRCUITO DE CONTROLE	55
6	TÉCNICAS DE MITIGAÇÃO.....	58
6.1	DIMENSIONAMENTO	58
6.2	REDUNDÂNCIA	59
6.3	SENSORES INTEGRADOS AOS TRANSISTORES	61
7	CONCLUSÕES.....	64

REFERÊNCIAS	67
APÊNDICE I – DESCRIÇÃO SPICE DO CIRCUITO SAR	71
APÊNDICE II – CÓDIGO MATLAB PARA A OBTENÇÃO DA FUNÇÃO DE TRANSFERÊNCIA DO CIRCUITO	76
APÊNDICE III – CÓDIGO MATLAB PARA A GERAÇÃO DE FONTES DE CORRENTE PARA INJEÇÃO DE FALHAS.....	78
APÊNDICE IV – CÓDIGO MATLAB PARA A EXTRAÇÃO E ANÁLISE DOS RESULTADOS.....	81
APÊNDICE V – SCRIPT PARA EXPANDIR SUBCIRCUITOS DO CONTROLE DO SPICE	83
APÊNDICE VI - PUBLICAÇÕES.....	85

LISTA DE ILUSTRAÇÕES

Figura 1. Comparativo entre frequência de amostragem e resolução de conversores. Extraído de (LEME <i>et al.</i> , 2013)	17
Figura 2. Diagrama de blocos de um conversor A/D baseado em aproximações sucessivas. Extraído de (MAXIM INTEGRATED, 2001).....	19
Figura 3. Matriz de capacitores ponderados de 4 bits	20
Figura 4. Matriz de capacitores chaveados e divisor capacitivo equivalente.....	21
Figura 5. Topologia básica do conversor SAR baseado em redistribuição de carga.....	21
Figura 6. Possíveis valores de comparação para os estágios iniciais de conversão	23
Figura 7. Circuito de controle clássico proposto em (ANDERSON, 1972).....	24
Figura 8. Formas de onda do controle do conversor SAR para entrada analógica “0”	25
Figura 9. Formas de onda para a adaptação do circuito de controle de (ANDERSON, 1972).....	26
Figura 10. Simulação da conversão do valor analógico $V_{IN} = 0,35V$	29
Figura 11. (a) Ionização direta e (b) Indireta. Extraído de (STURESSON, 2009).....	33
Figura 12. Forma de onda da dupla exponencial.....	35
Figura 13. Diagrama do Flip-Flop do tipo D baseado em portas lógicas CMOS.....	38
Figura 14. Flip-Flop do tipo D baseado em transmission gates.	38
Figura 15. Chave do tipo charge pump e sua forma de onda associada. Extraída de (SCOTT <i>et al.</i> , 2003)	39
Figura 16. Nó de análise para as simulações transientes	40
Figura 17. Resultado de uma conversão de uma rampa analógica variando o sinal entre 0V e 1,2V.	41
Figura 18. Circuito equivalente para a injeção de falhas em um inversor (a) NMOS e (b) PMOS	43
Figura 19 Exemplo de chaves do tipo (a) SPST e (b) SPDT.....	43
Figura 20. Tensão aplicada nas chaves e a dependência do R_{ON} para transistores MOSFET. Extraído de (ANALOG DEVICES INC., 2009)	44
Figura 21. Topologia da transmission gate.....	44
Figura 22. Resistência da chave para uma <i>transmission gate</i> . Extraído de (ANALOG DEVICES INC., 2009).	45

Figura 23. Possíveis casos para a injeção de falhas em chaves CMOS.....	45
Figura 24. Exemplo de Injeção de falhas na chave S7	46
Figura 25. Modelo do circuito equivalente da entrada do comparador para uma única chave do conversor SAR.....	46
Figura 26. Modelo equivalente para uma chave que controla a seção superior e uma chave que controla a seção inferior da rede capacitiva.....	47
Figura 27. Portas NAND3 do circuito de controle e nós sensíveis	48
Figura 28. Exemplo de falha transiente em um conversor SAR	50
Figura 29. Falha transiente na chave S7 em um estágio inicial de conversão.....	51
Figura 30. Bit flips para cada bit de saída para todos os experimentos de injeção de falhas...53	
Figura 31. Bit flips causados no bit associado à própria chave em que o transiente é injetado	54
Figura 32. Ocorrência de falhas no conversor em nós aleatórios.....	55
Figura 33. Ocorrência de falhas no conversor em nós aleatórios	55
Figura 34. Bit flips resultantes da injeção de falhas aleatória no circuito de controle	57
Figura 35. Taxa de falhas de conversão para diversas razões de aspecto (L=130nm).....	59
Figura 36. Circuito do pBICS. Extraído de (WIRTH & FAYOMI, 2007).	61
Figura 37. Fluxograma do funcionamento do conversor utilizando Bulk-BICS.....	62
Figura 38. Adaptação no controle para a inclusão do Bulk-BICS.....	63
Figura 39. Funcionamento do circuito com a inclusão do Bulk-BICS.....	63

LISTA DE TABELAS

Tabela 1. Comparativo entre diversas características de conversores tradicionais	17
Tabela 2. Resultado teórico da conversão de uma entrada analógica $V_{IN} = 0,35V$	28
Tabela 3. Resumo de bit flips em cada chave para o experimento.....	52
Tabela 4. Porcentagem de bit flips para cada nó do circuito	53
Tabela 5. Bit flips causados no bit associado à própria chave em que o transiente é injetado.	54
Tabela 6. Bit flips resultantes da injeção de falhas aleatória no circuito de controle.....	56
Tabela 7. Comparação do número de transistores para diferentes topologias do controle	60

LISTA DE ABREVIATURAS

ADC – Analog to Digital Converter
ASU – Arizona State University
BICS – Built In Current Sensor
DAC – Digital to Analog Converter
IEEE – Institute of Electrical and Electronic Engineers
LET – Linear Energy Transfer
MOSFET – Metal Oxide Semiconductor Field Effect Transistor
MOS – Metal Oxide Semiconductor
NASA – National Aeronautics and Space Administration
NMOS – N-channel Metal Oxide Semiconductor
PMOS – P-channel Metal Oxide Semiconductor
PTM – Predictive Technology Model
SAR – Successive Approximation Register
SEE – Single Event Effects
SET – Single Event Transient
SEU – Single event Upset
SoC – System-on-a-Chip
SPST – Single Pole Single Throw
SPDT – Single Pole Double Throw
TID – Total Ionizing Dose
TMR – Triple Modular Redundancy

1 INTRODUÇÃO

Conversores de dados são circuitos responsáveis pela realização do interfaceamento entre informações nos domínios analógico e digital. Devido à popularização dos sistemas computacionais, tais circuitos se tornaram fundamentais para praticamente todas as operações que envolvem a manipulação de informações com o ambiente, visto que estas estão disponíveis de forma analógica, mas a sua armazenagem e processamento envolvem uma representação digital desta informação. Nesse contexto, conversores podem ser empregados para a conversão de um valor analógico para uma representação digital (Conversores Analógico/Digital ou A/D) como também na conversão de um valor digital para um equivalente analógico (Conversores Digital/Analógico ou D/A).

Por ter aplicação em diversos domínios, conversores de dados exigem diversos requisitos, que podem ser otimizados pelo projetista para cada aplicação, como consumo de energia, consumo de área, velocidade de conversão, tensão de operação, resolução, entre outros. A otimização de um determinado parâmetro, entretanto, pode ocasionar a penalização dos demais, como por exemplo, um projeto que otimize a velocidade de operação pode impactar na área do circuito integrado (RAZAVI, 2001), como é o caso de conversores do tipo *Flash* (MALOBERTI, 2010).

Conversores de dados do tipo Registrador de Aproximações Sucessivas (*Successive Approximation Register* – SAR) representam uma das topologias mais usadas para conversão A/D em circuitos integrados, devido ao seu projeto permitir um bom compromisso entre consumo de área, consumo de energia e velocidade de conversão. Entretanto, tal topologia não é utilizada em aplicações que exigem uma resolução muito alta, sendo frequente aplicações entre 8 e 18 bits (MAXIM INTEGRATED, 2001).

Conversores do tipo SAR possuem uma forma de conversão sequencial, sendo capazes de converter uma amostra analógica para uma representação digital em N ciclos de *clock*, onde N é o número de bits do conversor. Dentre as diversas topologias para este tipo de conversor, a mais popular atualmente consiste no princípio de redistribuição de carga. Esta topologia consiste no chaveamento de carga, em contraste com topologias R-2R que consiste no chaveamento de correntes.

Chavear carga se torna atrativo para a tecnologia CMOS visto que chaveamento de correntes envolve o projeto de resistores, como também necessitam um controle cuidadoso na resistência das chaves para uma grande faixa de valores. Ao utilizar transistores MOS

para chavear carga, estas chaves terão uma tensão de *offset* nula, e ao ser utilizado como amplificador, possuem uma alta impedância de entrada (MCCREARY & GRAY, 1975).

A topologia SAR é frequentemente utilizada em aplicações de instrumentação, ao contrário das topologias Flash e Pipeline (caracterizada pelo grande número de comparadores, que por sua vez, tem por consequência menores resoluções), e Sigma-Delta (que possui um maior tempo de conversão em comparação aos conversores SAR).

Os conversores do tipo SAR também estão presentes em diversas plataformas programáveis de sinal misto, como por exemplo, o PSoC5 (CYPRESS SEMICONDUCTOR CORP., 2012), SmartFusion (ACTEL CORP, 2012) e MSP430F6638 (TEXAS INSTRUMENTS INC., 2012). Estas plataformas possuem uma característica interessante de permitir uma prototipação rápida e a possibilidade de reconfiguração do circuito implementado, o que é um fator desejável para aplicações em ambientes críticos e remotos, onde a reconfiguração diretamente no local geralmente não é possível.

Um exemplo de operação em ambiente crítico são aplicações suscetíveis a radiação ionizante. Uma série de efeitos ocasionados pela exposição à radiação pode causar falhas no funcionamento de circuitos integrados, sendo estes transientes ou de longo prazo.

Efeitos transientes podem ser causados de duas formas: Através da colisão de uma única partícula, conhecido como Efeitos Singulares (*Single Event Effects*) ou SEEs, ou através de radiação ionizante de alta energia (Radiação γ). Efeitos Singulares consistem em um conjunto de efeitos que podem causar danos transientes ou permanentes nos transistores MOSFET. Efeitos causados por radiação γ ocorrem através da transferência de energia de forma relativamente uniforme por todo o circuito, que também podem causar danos transientes ou permanentes no circuito (SCHRIMPF, 2007).

Efeitos de longo prazo, conhecidos como efeitos de Dose Ionizante Total ou *Total Ionizing Dose* (TID) são causados pela exposição contínua do dispositivo no ambiente radioativo, que pode causar degradação dos parâmetros dos transistores, como também falhas funcionais que podem ocorrer em transistores MOSFET. Tais efeitos podem alterar propriedades como: desvio da tensão de limiar, degradação da mobilidade, alteração do comportamento do transistor na região sublimiar (*subthreshold slope*), e correntes de fuga (SCHRIMPF, 2007).

A colisão de uma partícula ionizante com um ou mais transistores do circuito pode provocar perturbações momentâneas (*glitches*) de tensão ou de corrente, e ocasionar uma mudança de nível lógico em um circuito combinacional ou no valor armazenado em um elemento de memória, como também causar uma perturbação em um componente analógico.

Estes efeitos, conhecidos como Efeitos Transientes (*Single Event Transients*) ou SETs são causados pela coleta de cargas em junções PN reversamente polarizadas do semicondutor após uma colisão com íons pesados ou ionização indireta. Esses efeitos ocorrem devido à exposição do circuito a ambientes agressivos, como por exemplo, contendo partículas resultantes de fissões nucleares, raios cósmicos ou aceleradores de partículas (DANZECA *et al.*, 2013), como também devido a impurezas radioativas presentes no circuito devido ao processo de fabricação. Em nível elétrico, esses efeitos geram pulsos de tensão ou corrente que podem afetar os transistores MOSFET, que por sua vez, podem mudar o funcionamento esperado do circuito.

Erros causados por SETs se tornaram a forma de erro mais frequente em circuitos integrados MOS devido ao *scaling* tecnológico. Devido à redução das dimensões dos transistores, uma menor carga é armazenada nas capacitâncias inerentes aos nós do circuito, e em consequência, uma menor carga também será suficiente para a ocorrência desses efeitos transientes (NICOLAIDIS, 2010).

A ocorrência de erros transientes em conversores SAR contidos em uma plataforma programável comercial foi previamente reportada na literatura, onde a plataforma programável foi exposta em uma fonte de nêutrons (TAMBARA *et al.*, 2013). Em (TAMBARA *et al.*, 2013) ainda é sugerido que falhas de conversão podem ocorrer devido a um desbalanceamento na redistribuição de carga no conversor SAR. O comportamento dos efeitos transientes em uma matriz programável de capacitores foi mostrado através de simulações na literatura (BALEN *et al.*, 2011).

Neste trabalho é apresentado um aprofundamento no estudo da ocorrência dessas falhas, através de uma investigação desses efeitos transientes em conversores A/D do tipo SAR. A análise proposta consiste na de injeção de falhas por meio de simulações em nível elétrico, através de uma descrição SPICE. Esta injeção se dá em nós sensíveis da parte analógica como também na lógica de controle em diferentes instantes de tempo.

Neste trabalho também é descrita uma metodologia para a injeção de falhas no circuito do conversor SAR em instantes de tempos aleatórios. Esta técnica permite através da injeção de falhas em diversos nós do circuito, um melhor entendimento do comportamento do conversor sob a incidência destas falhas transientes. Através do resultado dessas análises é possível identificar estratégias para a mitigação dessas falhas de forma a reduzir a ocorrência das mesmas.

Este trabalho está dividido da seguinte forma: No capítulo 2 são descritos os princípios de funcionamento do conversor do tipo SAR. No capítulo 3 são descritos os

efeitos transientes da radiação ionizante em circuitos integrados. No capítulo 4 é descrito o projeto do conversor SAR em nível elétrico, para a simulação de tais efeitos como também os mecanismos de falhas no circuito e os algoritmos utilizados para a automatização da injeção de falhas. No capítulo 5 são apresentados os resultados obtidos com o experimento. No capítulo 6 as possíveis técnicas de mitigação para o conversor do tipo SAR são discutidas. Finalmente, no capítulo 7 são apresentadas as conclusões e discussões deste trabalho.

2 CONVERSORES SAR BASEADOS EM REDISTRIBUIÇÃO DE CARGA

Neste capítulo serão abordados os princípios básicos de funcionamento de conversores de dados do tipo SAR (*Successive-Approximation-Register*), em especial, conversores SAR baseados em redistribuição de carga.

2.1 CONVERSORES DE DADOS

Diversas arquiteturas de conversores são utilizadas no mercado. Cada uma possui um domínio específico para a sua aplicação, pois cada arquitetura possui características próprias, como por exemplo, resolução, frequência de operação, área ocupada, velocidade de conversão, linearidade e consumo de energia. As aplicações se dividem basicamente em quatro segmentos: (a) aquisição de dados; (b) medições industriais de precisão; (c) aplicações de áudio e voz; e (d) aplicações de alto desempenho (KESTER, 2005).

Cada segmento tem requisitos diferentes. Conversores do tipo Sigma-Delta, por exemplo, são mais populares em aplicações de voz e áudio. Arquiteturas baseadas em integração (dual-slope, triple-slope, etc.) são utilizadas em aplicações de alta resolução.

Arquiteturas do tipo pipeline são utilizadas em aplicações que exigem alta velocidade, como por exemplo, osciloscópios digitais, vídeo, radares, circuitos de comunicação e eletrônicos comerciais (câmeras digitais, DVDs, televisões, etc.)

Arquiteturas do tipo *Flash* podem ser uma opção quando se exige alta velocidade. Seu consumo em área é grande devido a quantidade de comparadores a serem implementados, o que limita a sua utilização para resoluções mais altas, sendo usual uma resolução entre 6 e 8 bits.

Por último, arquiteturas do tipo Aproximações Sucessivas (SAR) são frequentemente utilizadas para aplicações envolvendo a aquisição de dados, especialmente quando envolve a multiplexação dos canais de entrada. A arquitetura SAR combina baixo consumo de energia, baixo consumo de área, alta velocidade de conversão atingindo resoluções entre 8 e 18 bits, (MAXIM INTEGRATED, 2001), e portanto possuindo uma boa relação custo-benefício comparada às demais arquiteturas.

A Figura 1 demonstra um comparativo entre as arquiteturas mais populares em termos de frequência de amostragem e resolução.

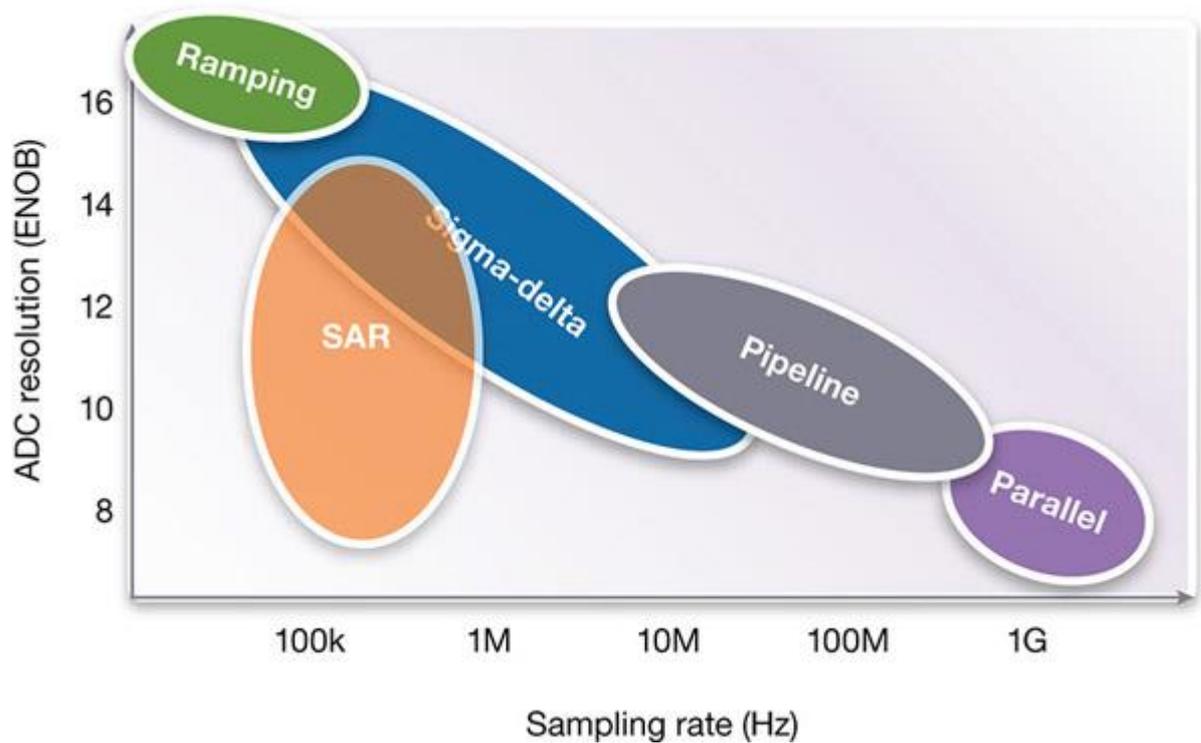


Figura 1. Comparativo entre frequência de amostragem e resolução de conversores. Extraído de (LEME *et al.*, 2013)

Na Tabela 1 é demonstrado um comparativo entre as principais arquiteturas em termos de latência, velocidade de conversão, resolução e consumo de área e energia. Na Tabela 1, embora não expresso, a arquitetura denominada “Parallel” se refere a arquitetura Flash.

Tabela 1. Comparativo entre diversas características de conversores tradicionais

Arquitetura	Latência	Velocidade	Resolução	Consumo de Área e Energia
Flash	Baixa	Muito Alta	Baixa	Alta
Rampa	Alta	Muito Baixa	Alta	Baixa
Sigma-Delta	Alta	Média-Baixa	Alta	Média
Pipeline	Média-Baixa	Alta	Média	Média
SAR	Baixa	Alta	Média	Baixa

Extraído de (KESTER, 2005)

Por fim, pode ser observado na Tabela 1 que as principais arquiteturas utilizadas que combinam boa velocidade de conversão, resolução e baixo consumo de área e energia são as arquiteturas Sigma-Delta, Pipeline e SAR. Em (KESTER, 2005) essa afirmação é reforçada.

2.2 HISTÓRICO

A técnica de aproximações sucessivas para a conversão de um valor analógico em um equivalente digital é amplamente utilizada desde o início da década de 1970 com a sua popularização através de implementações em circuitos integrados comerciais pela *National Semiconductor* e pela *Advanced Micro Devices* (KESTER, 2009). Implementações desta arquitetura são populares até hoje em circuitos integrados de diversos fabricantes, como também em plataformas programáveis de sinal-misto, como por exemplo, o PSoC 5 (CYPRESS SEMICONDUCTOR CORP., 2012), SmartFusion (ACTEL CORP, 2012), e MSP430F6638 (TEXAS INSTRUMENTS INC., 2012).

O primeiro registro na literatura de uma arquitetura de conversor baseada em aproximações sucessivas ocorreu em 1946 em uma patente da *Bell Telephone Labs*, onde a conversão era realizada através da adição de tensões de referências ponderadas binariamente, sem a utilização de um DAC interno. O princípio fundamental da arquitetura com um DAC interno, entretanto, apesar de diversas patentes o citarem, nenhuma delas declarou como sua propriedade, e, portanto, sua origem é incerta (KESTER, 2009).

A técnica de aproximações sucessivas consiste em utilizar um algoritmo de busca binária que percorre os possíveis níveis de quantização do sinal analógico amostrado. Para isto, um circuito deve fornecer níveis de tensões que serão comparados com o sinal analógico de entrada. Tais níveis de tensão são gerados através de frações de uma tensão de referência pré-determinada, que podem ser obtidas através de diversas técnicas, como por exemplo uma rede R-2R, ou capacitores chaveados.

Para o funcionamento correto do algoritmo, é necessário um circuito que irá efetuar decisões de acordo com as comparações realizadas no processo. Tal circuito é denominado lógica de controle. Esta lógica irá decidir os níveis de tensões a serem comparados com o sinal de entrada até convergir no valor binário desejado. O termo “*Register*” da sigla SAR vem do fato que o resultado é armazenado em registradores.

Devido ao circuito de controle também ser projetado com registradores, o conversor se torna dependente dos valores dos níveis de tensão gerados a cada ciclo de relógio. Com isso, o conversor SAR é caracterizado pela conversão em forma serial.

Um diagrama exemplificando o processo em alto nível é mostrado na Figura 2. Pode ser observado que o conversor consiste em diversos blocos, como um bloco de Sample & Hold, um conversor Digital-Analógico para obter os níveis de tensão de referência, o

registrador de saída (denominado N-BIT Register) e a lógica de controle (denominado SAR LOGIC).

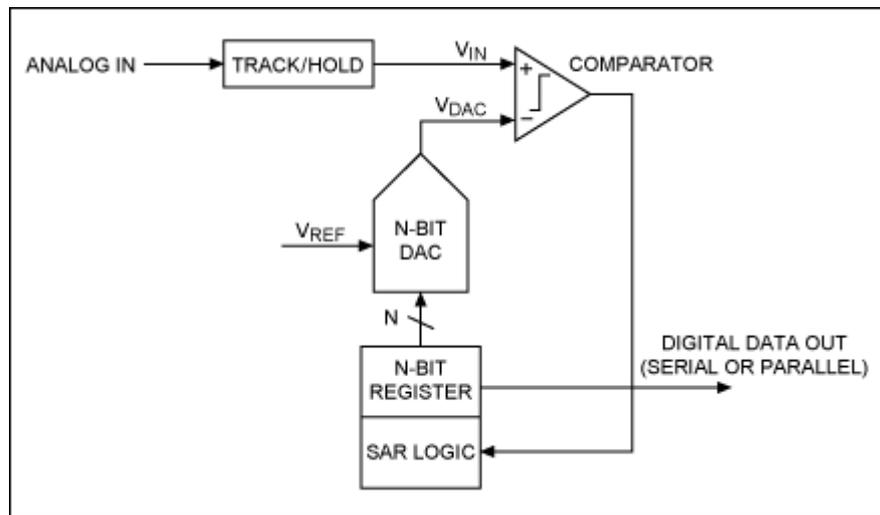


Figura 2. Diagrama de blocos de um conversor A/D baseado em aproximações sucessivas. Extraído de (MAXIM INTEGRATED, 2001)

2.3 PRINCÍPIO DE REDISTRIBUIÇÃO DE CARGA

A topologia tradicional de conversores SAR utiliza um conversor D/A (*Digital-To-Analog Converter* - DAC) que é um circuito essencial para gerar os níveis de tensão a serem comparados com o valor analógico da entrada. Este DAC pode ser projetado de diversas formas, como por exemplo, através de uma rede R-2R. Entretanto, o projeto de resistores na tecnologia CMOS possuem diversas desvantagens, como por exemplo, grandes variações causadas pelo processo de fabricação e uma dependência da temperatura (RAZAVI, 2001).

Uma evolução natural do circuito do SAR foi proposta por (MCCREARY & GRAY, 1975), onde os valores a serem comparados são obtidos através de capacitores chaveados, que são associados de forma a realizar diversos divisores de tensão capacitivos para fracionar a tensão de referência, fazendo o papel do DAC no conversor SAR (ver Figura 2). Tal técnica foi amplamente aceita na comunidade, devido ao projeto de capacitores em tecnologia CMOS apresentar diversas vantagens em relação as técnicas utilizadas até então, como também por permitir a realização de um circuito com menor área e totalmente monolítico.

Na Figura 3 é mostrada uma matriz de capacitores ponderados para um conversor hipotético de 4 bits. Chaves são utilizadas de forma que a rede de capacitores possa ter sua capacitância programada. Pode ser observado que o capacitor de menor valor é repetido. Isto

se dá para completar a rede de capacitores com um valor de capacitância total de $2C$, permitindo assim que uma fração dessas capacitâncias ($1C$) forme a região superior do divisor capacitivo e a outra forme a região inferior. Através do chaveamento, frações de tensão serão adicionadas na porção superior do divisor de tensão e removidos da porção inferior, ou vice versa, fornecendo novos valores de tensão na saída. Esta técnica é chamada de redistribuição de carga.

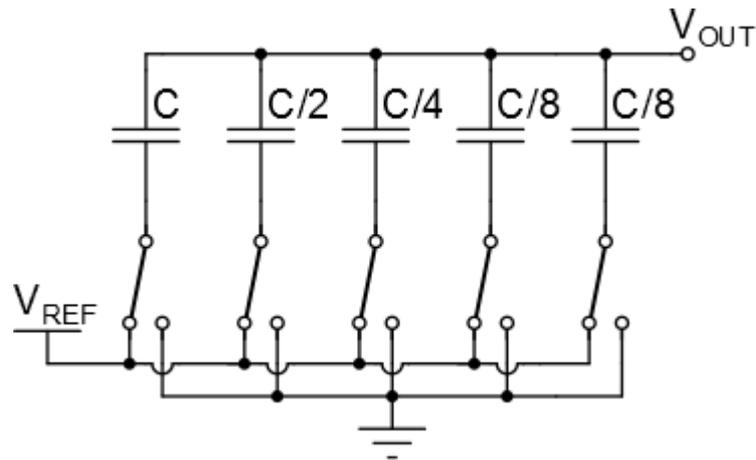


Figura 3. Matriz de capacitores ponderados de 4 bits

Com isto, o princípio de redistribuição de carga irá utilizar uma matriz de capacitores ponderados binariamente. Essa estrutura permite que todos os níveis de quantização para formar uma palavra digital sejam testados. Cada capacitor da matriz, quando conectado diretamente ao sinal de referência (sem uma associação paralela com os outros capacitores), é responsável pela verificação do estado de cada *bit* da sequência.

Devido ao aumento de um *bit* na resolução ter por consequência o dobro do tamanho da rede capacitiva, esta estratégia limita a utilização desta topologia para conversores de alta resolução, como também causa uma limitação em área do circuito.

Diversas técnicas foram propostas para a redução de área da rede capacitiva, como por exemplo, em (SUAREZ *et al.*, 1975) e (CHUN-CHENG *et al.*, 2010), entretanto o princípio de funcionamento básico é similar à estratégia de (MCCREARY & GRAY, 1975).

A Figura 4 demonstra um possível divisor capacitivo obtido através de um determinado posicionamento das chaves.

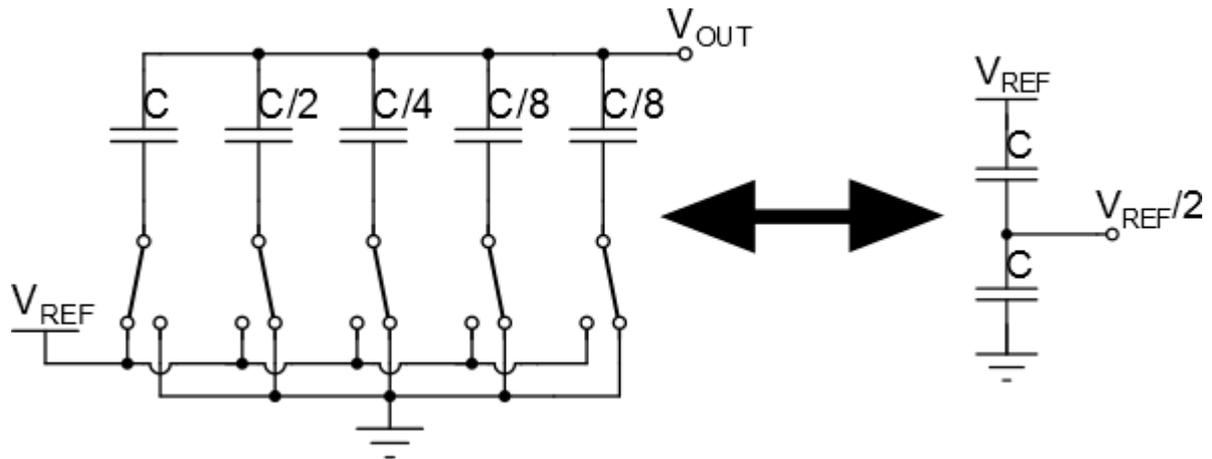


Figura 4. Matriz de capacitores chaveados e divisor capacitivo equivalente.

O funcionamento do conversor SAR baseado em redistribuição de carga segue o princípio mostrado nas Figura 3 e Figura 4. Na Figura 5 é mostrada a topologia básica deste conversor considerando uma arquitetura de 8 bits.

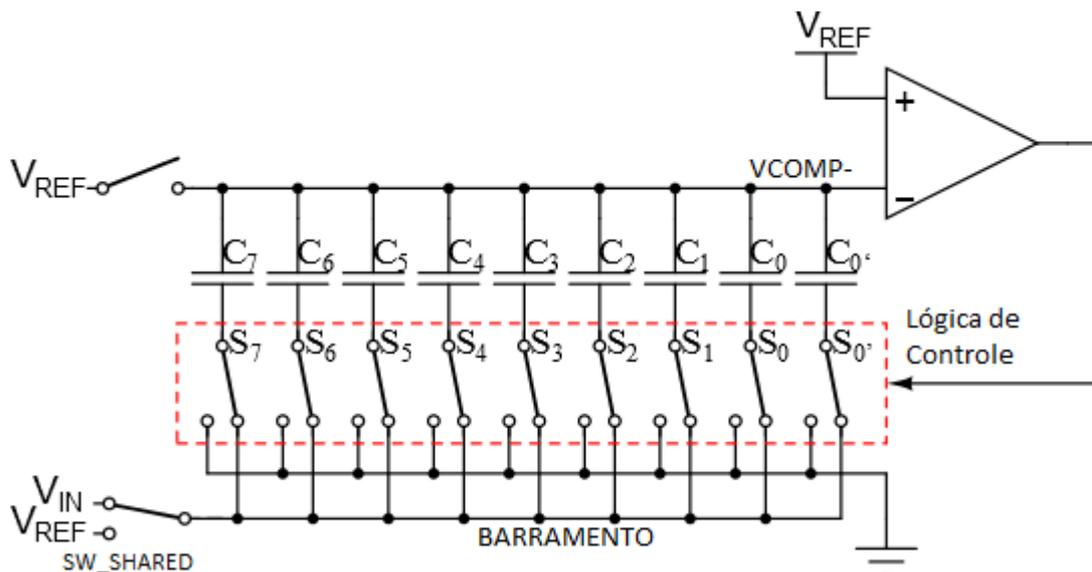


Figura 5. Topologia básica do conversor SAR baseado em redistribuição de carga.

O princípio de funcionamento segue através de um processo de 3 etapas:

- 1) Amostragem: A chave compartilhada entre o sinal de referência e o sinal de entrada (SW_SHARED) é posicionada em V_{IN} , e todas as chaves ligadas aos capacitores são conectadas ao nó que está ligado ao sinal de entrada. Chamaremos este nó de *barramento*. Esta conexão torna possível o carregamento da rede capacitiva em um valor equivalente à tensão de entrada.

- 2) Retenção: A chave conectada V_{COMP} é rapidamente fechada com o processo de amostragem, pré-carregando o nó em V_{REF} , e logo a seguir todas as chaves dos terminais inferiores dos capacitores são conectadas à GND . Com isto, devido ao potencial nos terminais superiores não ser descarregado em GND , estes terminais ficam com um valor retido igual a $V_{REF} - V_{IN}$. Portanto, essa topologia tem um circuito inerente de *Sample & Hold*, não necessitando de um circuito externo para tal tarefa. A tensão retida nos terminais superiores dos capacitores é dada pela equação a seguir:

$$V_{COMP} = V_{REF} - V_{IN} \quad (2.1)$$

- 3) Redistribuição de carga: A conversão em si inicia nesta etapa. A chave que controla o capacitor mais significativo (Neste caso S7) é ligada ao barramento, e a chave SW_SHARED é conectada a V_{REF} . Com isto, um divisor capacitivo entre C (capacitor mais significativo) e C (soma total da capacitância da configuração em paralelo dos demais capacitores) é formado, fazendo com que um valor equivalente a $V_{REF}/2$ seja somado à entrada do comparador, conforme a equação

$$V_{COMP} = V_{REF} - V_{IN} + \frac{V_{REF}}{2} \quad (2.2)$$

O comparador então efetua uma comparação entre os valores V_{REF} (terminal positivo do comparador) e $V_{REF} - V_{IN} + V_{REF}/2$ (terminal negativo do comparador). Caso $V_{REF} > V_{REF} - V_{IN} + V_{REF}/2$, ou simplificando, $V_{IN} > V_{REF}/2$, o comparador resultará na sua saída um nível “ALTO”, caso contrário um nível “BAIXO”. Portanto, o sinal de entrada (V_{IN}) será comparado com a tensão do terminal negativo do comparador (V_{COMP}).

Neste estágio de comparação, um nível “ALTO” indica que o valor de entrada é maior que o valor do meio da escala do conversor, e por consequência tem “1” no valor do seu *bit* mais significativo.

Quando o valor resultante for nível “BAIXO”, a próxima chave (neste caso S6) é conectada ao barramento, conectando a chave do capacitor mais significativo a GND . Isto faz com que a capacitância $C/2$ fique na porção superior da rede capacitiva, enquanto a associação dos demais se torna $3C/2$. Com isto, a tensão equivalente na entrada do comparador devido ao novo divisor capacitivo obtido irá testar o próximo *bit* da sequência, limitando a faixa de valores para a nova sequência para $0 < V_{IN} < V_{REF}/2$, e é dada por:

$$V_{COMP} = V_{REF} - V_{IN} + \frac{V_{REF}}{4} \quad (2.3)$$

Quando o valor resultante do primeiro estágio de conversão for nível “ALTO”, a segunda chave mais significativa é conectada ao barramento, mantendo a chave relativa ao MSB conectada. A associação então fica oposta à exibida anteriormente, fazendo com que seja obtido um valor na saída equivalente a $3V_{REF}/4$. Com isto, a redistribuição de carga pelo novo divisor capacitivo irá limitar a busca binária para a faixa de valores $V_{REF}/2 < V_{IN} < V_{REF}$, e o valor equivalente na entrada do comparador será dado por:

$$V_{COMP} = V_{REF} - V_{IN} + \frac{3V_{REF}}{4} \quad (2.4)$$

A Figura 6 resume a primeira e a segunda etapa da conversão, neste exemplo. As demais etapas seguem a mesma estratégia até atingir o bit menos significativo. A posição final das chaves indica o valor binário na saída, que estará armazenado nos registradores da lógica de controle.

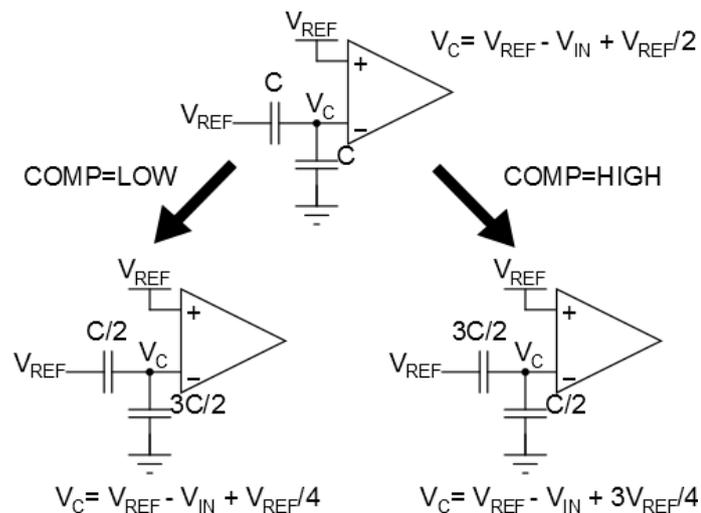


Figura 6. Possíveis valores de comparação para os estágios iniciais de conversão

Para as etapas posteriores, a tensão no terminal negativo do comparador pode ser generalizada através da seguinte equação, onde b_N é o posicionamento final da chave referente ao bit N (0 – ligada a GND ou 1 – ligada a V_{REF}):

$$V_{COMP} = V_{REF} - V_{IN} + \frac{b_N V_{REF}}{2} + \frac{b_{N-1} V_{REF}}{4} + \frac{b_{N-2} V_{REF}}{8} + \dots + \frac{b_0 V_{REF}}{2^N} \quad (2.5)$$

2.4 LÓGICA DE CONTROLE DO CONVERSAR SAR

Antes mesmo do conversor SAR baseado em redistribuição de carga ser proposto, já havia uma preocupação em apresentar um controle para o conversor SAR tradicional de forma mais otimizada possível. Em um relatório desenvolvido para a NASA em 1972 (ANDERSON, 1972) este problema é exposto, propondo a topologia de controle mais conhecida até hoje que expressa o funcionamento do algoritmo do SAR.

O circuito clássico proposto por (ANDERSON, 1972), como pode ser visto na Figura 7, utiliza $2N+2$ *Flip-Flops* do tipo D. Este circuito também é frequentemente utilizado para fins de entendimento do algoritmo do controle do SAR.

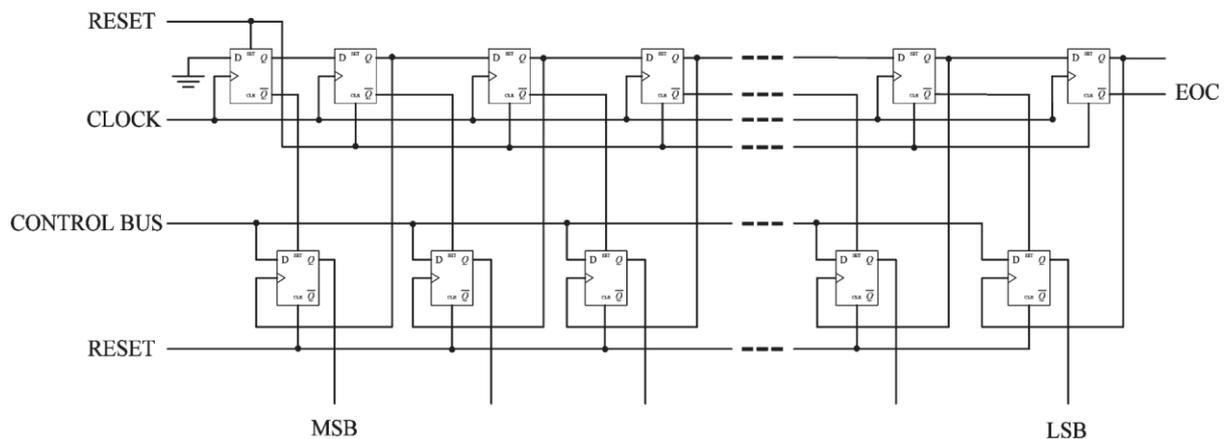


Figura 7. Circuito de controle clássico proposto em (ANDERSON, 1972).

Os *Flip-Flops* da região superior formam um registrador de deslocamento, chamado na literatura de *Sequencer* (Sequenciador). Neste registrador, o nível lógico “ALTO” é propagado do primeiro *Flip-Flop* ao último, a cada ciclo de *CLOCK*, através do terminal de saída negada de cada *Flip-Flop*.

Os *Flip-Flops* da região inferior do circuito também formam um registrador, chamado na literatura de *Code Register* (Registrador de Código), entretanto sua ativação é condicional ao sinal de saída de cada *Flip-Flop* do *Sequencer* pelo terminal *PRESET*.

A saída de cada *Flip-Flop* do *Sequencer* é utilizada como relógio dos *Flip-Flops* do *Code Register*, permitindo uma decisão se o *Flip-Flop* que controla a chave do estágio anterior permanece no barramento ou retorna para GND. A saída do comparador (*CONTROL BUS* na Figura 7) é ligada no terminal D de cada *Flip-Flop* do *Code Register*, permitindo que seja armazenado “0” ou “1” em cada *Flip-Flop* de acordo com o resultado da

conversão no seu respectivo estágio. Desta forma, o *Code Register* é utilizado para controlar as chaves do conversor.

A Figura 8 demonstra as formas de onda obtidas com o controle quando o valor analógico na entrada é “0”. Pode ser observado que o comportamento do circuito Sample & Hold não é previsto, visto que as chaves não estão ligadas ao barramento no estágio inicial de conversão. Tal comportamento pode ser observado na simulação transiente da Figura 8 nos instantes de tempo entre (0-10us) que todas as chaves estão conectadas em GND. Isto se dá devido ao controle ter sido proposto antes da técnica proposta em (MCCREARY & GRAY, 1975), logo, era necessário o uso de um circuito Sample & Hold externo.

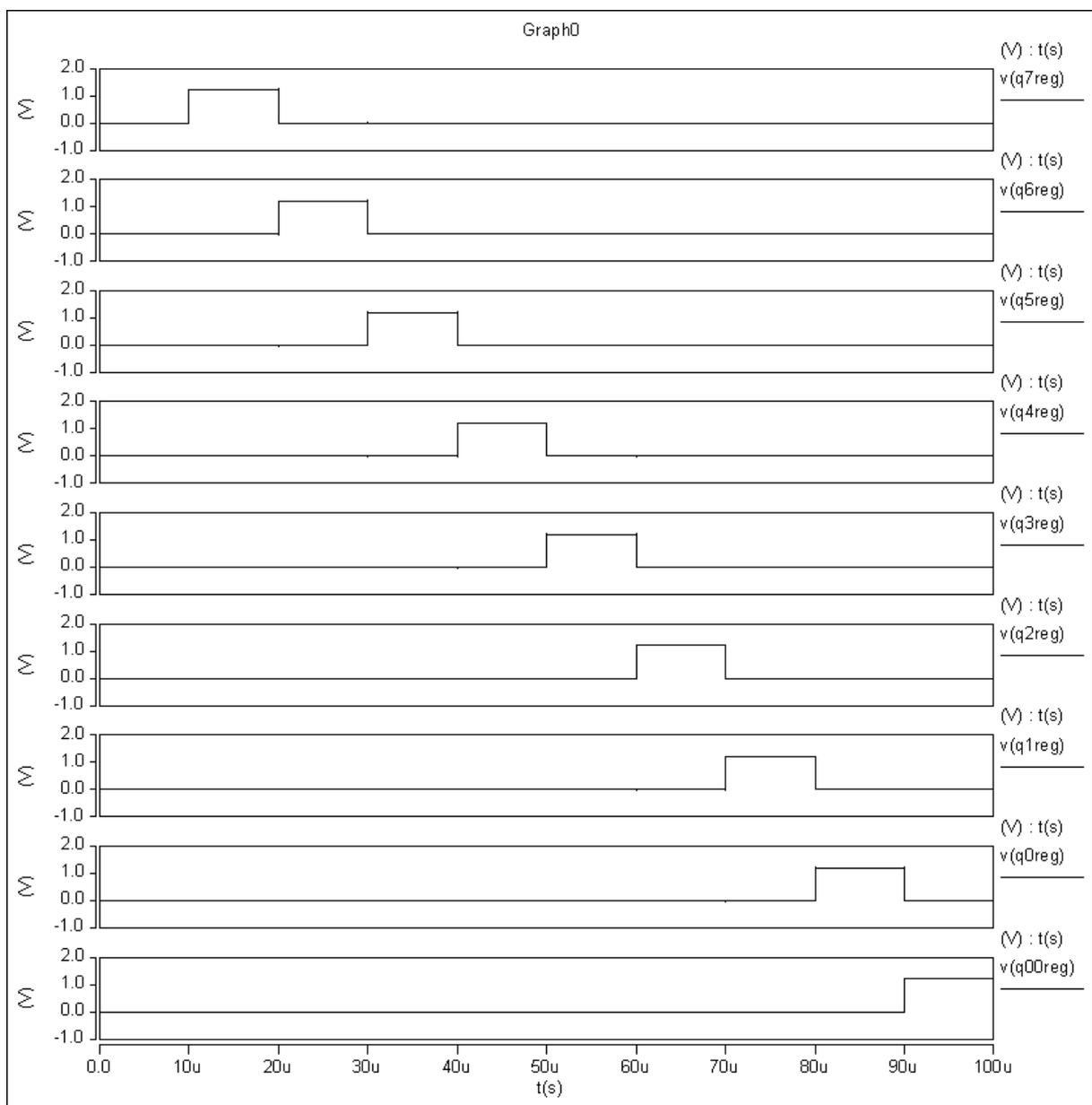


Figura 8. Formas de onda do controle do conversor SAR para entrada analógica “0”

Através de uma operação *NOR* entre os sinais da saída dos *Flip-Flops* com o sinal de amostragem, pode ser adicionado o comportamento do *Sample & Hold*. O resultado desta operação pode ser visto na Figura 9, ou seja, quando o sinal de saída do Flip-Flop for “0” e o sinal de amostragem for “0”, ele ativa o *Sample & Hold*. O sinal que informa quando a amostragem ocorre pode ser utilizado o mesmo que ativa ou desativa o controle (*RESET*). Ou seja, enquanto o conversor está com o sinal *RESET* ativado, o controle fica aguardando uma conversão com a amostragem de um valor na entrada. Quando o contrário ocorre, a amostragem ocorre.

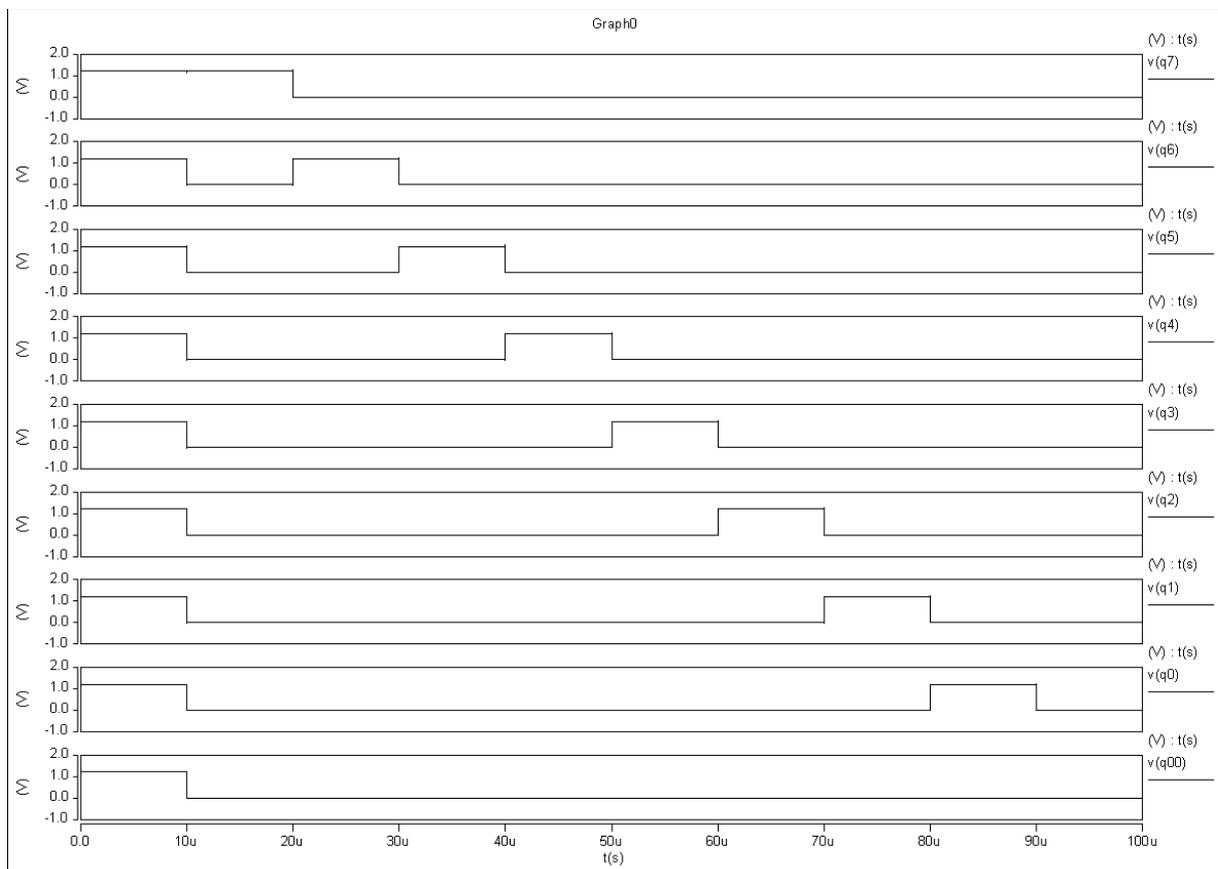


Figura 9. Formas de onda para a adaptação do circuito de controle de (ANDERSON, 1972).

Em (ANDERSON, 1972) ainda é apresentado um circuito alternativo utilizando *Flip-Flops* do tipo JK, onde são utilizados apenas $N+1$ *Flip-Flops*. Devido ao comportamento do *Flip-Flop* do tipo JK incluir uma função de *latch*, permite que este circuito realize ambas as

funções de Sequencer e *Code Register* com um menor número de flip-flops do circuito proposto anteriormente.

Diversas alternativas foram propostas para a redução do circuito proposto por Anderson. As mais populares são as propostas por (RUSSELL, 1978) e (ROSSI & FUCILI, 1996). Adaptações para a topologia de Anderson também foram propostas, como por exemplo, as propostas em (YUEN, 1979) e (DONDI *et al.*, 2006).

Circuitos propostos que utilizam *Flip-Flops* do tipo D ainda tem a possibilidade de terem uma redução no número de transistores, através de estratégias como, por exemplo, *Flip-Flops* dinâmicos do tipo D (CAMPOS, 2011). No decorrer do texto será mostrado um comparativo entre as principais estratégias.

2.5 EXEMPLO DE CONVERSÃO

Para concluir este capítulo, vamos exemplificar o processo de conversão para um valor analógico de entrada de $V_{IN} = 0,35V$.

Vamos considerar uma tecnologia de 130nm, tendo por característica uma tensão de alimentação $V_{DD} = 1,2V$. Para uma maior faixa dinâmica de conversão, também consideraremos que $V_{REF} = V_{DD} = 1,2V$. Vamos considerar também uma arquitetura de 8 *bits*. Através destes valores podemos determinar a variação de tensão que caracteriza 1 LSB. O valor é dado por:

$$V_{LSB} = \frac{V_{REF}}{2^N} = \frac{1.2}{2^8} \cong 4,6875 \text{ mV} \quad (2.6)$$

O valor de 4.6875mV indica que a cada acréscimo ou decréscimo deste valor de tensão, um *bit* é alterado, podendo atingir um valor mínimo de $D = 00000000_2$ (0_{10}), até um valor máximo de $D = 11111111_2$ (255_{10}). O valor esperado para a conversão de $V_{IN} = 0.35V$ é dado por:

$$D = \frac{V_{IN}}{V_{LSB}} = \frac{0.35}{0.0046875} \cong 75_{10} \quad (2.7)$$

O valor amostrado armazenado nos terminais superiores dos capacitores é dado por:

$$V_{COMP} = V_{REF} - V_{IN} = 1,2 - 0,35 = 0,85V \quad (2.8)$$

A conversão é resumida na

Tabela 2, onde os valores marcados com X indicam que o capacitor está ligado ao barramento, caso contrário a *GND*. Com isto, pode ser observado o valor da palavra digital correspondente à entrada analógica sendo gerado. Os valores da entrada do comparador para uma simulação SPICE da conversão também é mostrada para fins de comparação.

Tabela 2. Resultado teórico da conversão de uma entrada analógica $V_{IN} = 0,35V$

C7	C6	C5	C4	C3	C2	C1	C0	V_{COMP}	$V_{in} > V_{COMP} ?$	V_{COMP} Experimento
								0,85V	–	0,85285V
X								1,45V	Não	1,4527V
	X							1,15V	Sim	1,1528V
	X	X						1,3V	Não	1,3027V
	X		X					1,225V	Não	1,2278V
	X			X				1,1875V	Sim	1,1903V
	X			X	X			1,2062V	Não	1,209V
	X			X		X		1,1968V	Sim	1,1996V
	X			X		X	X	1,2015V	Sim	1,2043V
	X			X		X	X		–	1,2043V

A Figura 10 demonstra a simulação para a conversão descrita anteriormente, mostrando os estágios de conversão. Pode ser observado que foi obtido o valor esperado (75_{10}).

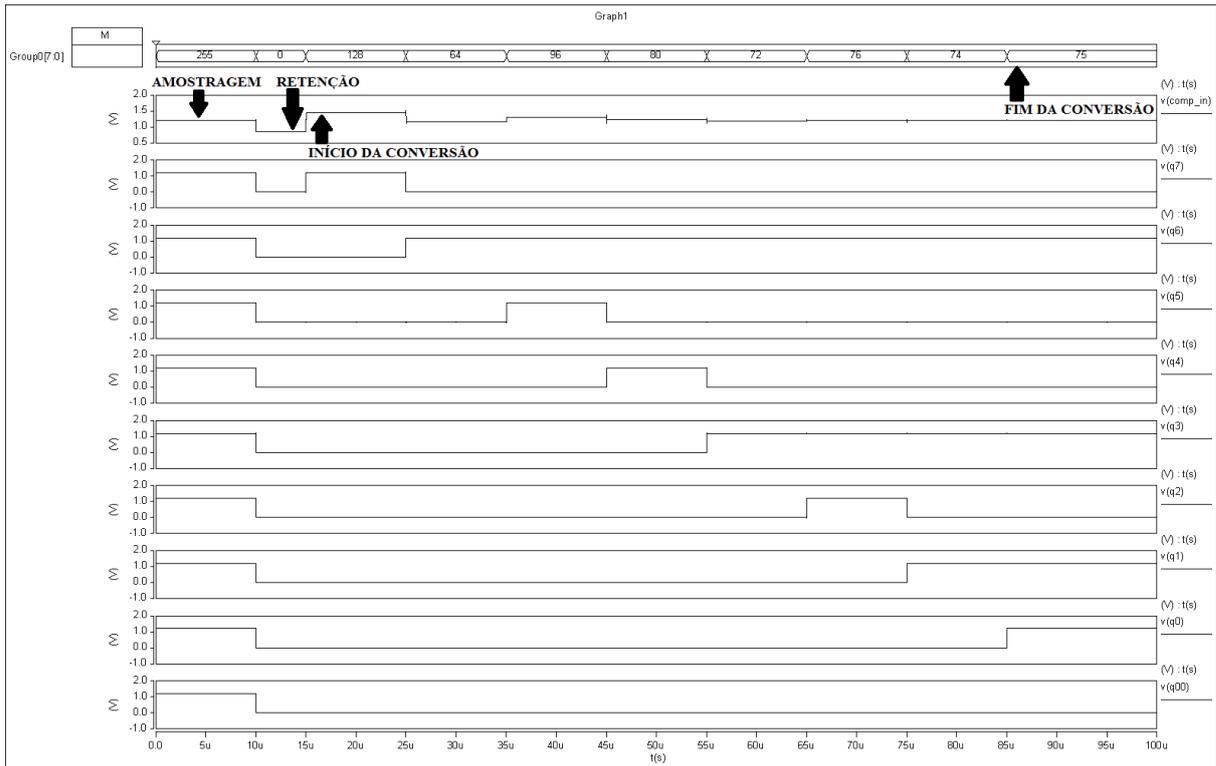


Figura 10. Simulação da conversão do valor analógico $V_{IN} = 0,35V$

Os divisores capacitivos são obtidos através das seguintes operações:

1º estágio (Conecta C7 a V_{REF}):

$$V_C = V_{REF} - V_{IN} + V_{REF} \frac{C}{2C} = V_{REF} - V_{IN} + \frac{V_{REF}}{2} \quad (2.9)$$

2º estágio ($V_{IN} < V_{REF}/2$ – Conecta C7 a GND e C6 a V_{REF}):

$$V_C = V_{REF} - V_{IN} + V_{REF} \frac{C}{2C} = V_{REF} - V_{IN} + \frac{V_{REF}}{4} \quad (2.10)$$

3º estágio ($V_{IN} > V_{REF}/4$ – Conecta C5 a V_{REF}):

$$V_C = V_{REF} - V_{IN} + V_{REF} \frac{\frac{C}{2} + \frac{C}{4}}{2C} = V_{REF} - V_{IN} + \frac{V_{REF}}{4} + \frac{V_{REF}}{8} \quad (2.11)$$

4º estágio ($V_{IN} < 3V_{REF}/8$ – Conecta C5 a GND e C4 a V_{REF}):

$$V_C = V_{REF} - V_{IN} + V_{REF} \frac{\frac{C}{2} + \frac{C}{8}}{2C} = V_{REF} - V_{IN} + \frac{V_{REF}}{4} + \frac{V_{REF}}{16} \quad (2.12)$$

5º estágio ($V_{IN} < 5V_{REF}/16$ – Conecta C4 a GND e C3 a V_{REF}):

$$V_C = V_{REF} - V_{IN} + V_{REF} \frac{\frac{C}{2} + \frac{C}{16}}{2C} = V_{REF} - V_{IN} + \frac{V_{REF}}{4} + \frac{V_{REF}}{32} \quad (2.13)$$

6º estágio ($V_{IN} > 9V_{REF}/32$ – Conecta C2 a V_{REF}):

$$V_C = V_{REF} - V_{IN} + V_{REF} \frac{\frac{C}{2} + \frac{C}{16} + \frac{C}{32}}{2C} = V_{REF} - V_{IN} + \frac{V_{REF}}{4} + \frac{V_{REF}}{32} + \frac{V_{REF}}{64} \quad (2.14)$$

7º estágio ($V_{IN} < 19V_{REF}/64$ – Conecta C2 a GND e C1 a V_{REF}):

$$V_C = V_{REF} - V_{IN} + V_{REF} \frac{\frac{C}{2} + \frac{C}{16} + \frac{C}{64}}{2C} = V_{REF} - V_{IN} + \frac{V_{REF}}{4} + \frac{V_{REF}}{32} + \frac{V_{REF}}{128} \quad (2.15)$$

8º estágio ($V_{IN} > 39V_{REF}/128$ – Conecta C0 a V_{REF}):

$$V_C = V_{REF} - V_{IN} + V_{REF} \frac{\frac{C}{2} + \frac{C}{16} + \frac{C}{64} + \frac{C}{128}}{2C} = V_{REF} - V_{IN} + \frac{V_{REF}}{4} + \frac{V_{REF}}{32} + \frac{V_{REF}}{128} + \frac{V_{REF}}{256} \quad (2.16)$$

Resultado ($V_{IN} > 79V_{REF}/256$ – Mantém C0 em V_{REF}):

$$V_C = V_{REF} - V_{IN} + V_{REF} \frac{\frac{C}{2} + \frac{C}{16} + \frac{C}{64} + \frac{C}{128}}{2C} = V_{REF} - V_{IN} + \frac{V_{REF}}{4} + \frac{V_{REF}}{32} + \frac{V_{REF}}{128} + \frac{V_{REF}}{256} \quad (2.17)$$

Com isto, devido as chaves S6, S3 e S1 estarem ligadas ao barramento, a configuração final é 01001011₂, ou 75₁₀.

3 EFEITOS TRANSIENTES EM CIRCUITOS INTEGRADOS

Neste capítulo serão abordados brevemente os principais efeitos de radiação capazes de causar danos nos circuitos integrados. Em particular, serão detalhados os efeitos transientes, objeto deste trabalho.

Os estudos sobre o comportamento dos efeitos de radiação em circuitos integrados foram iniciados no início da década de 60. Entretanto, relatórios descrevendo possíveis erros causados pela interação de uma partícula ionizante com o silício foram primeiramente reportados na literatura em 1975 (NICOLAIDIS, 2010), ao observar que um satélite apresentava anomalias no funcionamento em um dos seus circuitos de memória.

Em 1976, entretanto, pesquisadores da Intel observaram que um circuito de memória estava apresentando o mesmo efeito em nível do mar. A partir daí, surgiu na comunidade científica o interesse para a investigação dos efeitos de radiação em semicondutores. Na indústria, tais efeitos causaram grandes prejuízos financeiros para empresas como a IBM, Cisco e SUN (NICOLAIDIS, 2010), por exemplo.

3.1 EFEITOS SINGULARES

Efeitos Singulares, conhecidos na literatura como *Single Event Effects* (SEE) ocorrem quando uma partícula ionizante colide com um semicondutor. Com a colisão, a partícula ioniza o material, causando uma injeção dos portadores (elétrons ou lacunas) no canal, e estes são coletados pelo dreno do transistor (DODD & MASSENGILL, 2003).

Quando esta carga é maior que a carga do nó afetado, podem ocorrer erros temporários – conhecidos como *soft errors* – como também erros irreversíveis no circuito – conhecidos como *hard errors*. A seguir são descritos os principais tipos de erros causados pelos efeitos singulares (BALEN, 2010):

- Single-Bit Upset (SBU) – Ocorre quando a colisão de uma partícula ocasiona uma mudança de estado em uma célula de memória;
- Multiple-Cell Upset (MCU) – Ocorre quando a colisão de uma partícula ocasiona uma mudança no estado de duas ou mais células de memória;
- Multiple-Bit Upset (MBU) – Ocorre quando a colisão de uma partícula altera mais de um *bit* na mesma palavra da memória;
- Single-Event Transient (SET) – Ocorre quando a colisão causa um *glitch* temporário de tensão ou corrente no circuito. Este transiente, que pode afetar circuitos

combinacionais ou sequenciais, pode ser propagado pelo circuito, e por consequência causar a mudança de estado em elementos de memória;

- Single-Event Functional Interrupt (SEFI) – Ocorre devido a ocorrência de uma perturbação nos diversos sinais utilizados pelos circuitos, como o sinal de *clock*, sinal de *reset* e sinais de controle;
- Single-Event Latchup (SEL) – Ocorre quando a colisão ocasiona um aumento na corrente pelo transistor afetado através dos transistores bipolares parasitas dos mesmos, que por sua vez podem causar danos irreparáveis no dispositivo.

Efeitos singulares se originam através da combinação de dois mecanismos: deposição de cargas e coleta de cargas. A deposição de cargas pode ocorrer através de ionização direta ou indireta (DODD & MASSENGILL, 2003):

- 1) Ionização direta: a ionização direta ocorre quando a passagem da partícula ionizante pelo material semicondutor causa a liberação de pares elétron-lacuna. Esta partícula terá uma perda na sua energia pelo semicondutor. A perda de energia da partícula devido à passagem pelo semicondutor é conhecida como *linear energy transfer* (LET).
- 2) Ionização indireta: ocorre quando prótons ou nêutrons de alta energia atravessam a estrutura semicondutora, causando uma colisão inelástica com um núcleo, causando diversos tipos de reações nucleares. Tais reações nucleares podem ser: 1) colisões elásticas que produzem um recuo temporário no silício; 2) emissão de partículas alfa ou beta que causam um recuo em um de seus núcleos; e 3) reações de espalação, onde o núcleo é dividido em dois fragmentos.

A Figura 11 ilustra as situações de ionização direta e indireta.

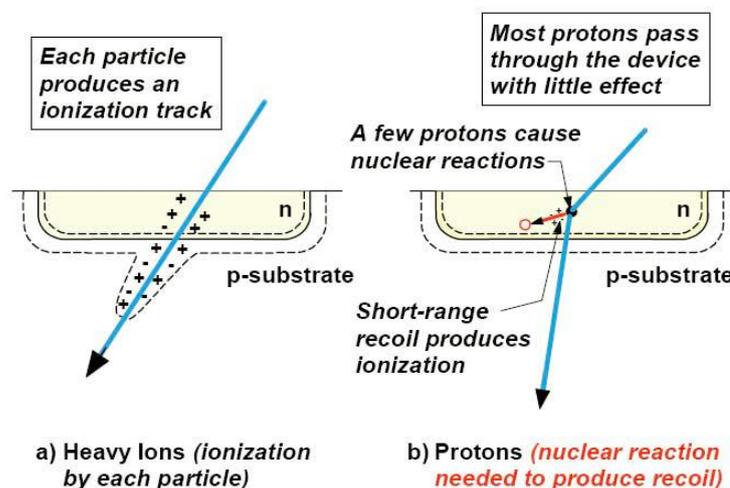


Figura 11. (a) Ionização direta e (b) Indireta. Extraído de (STURESSON, 2009)

Efeitos Singulares provenientes de coleção de cargas ocorrem quando uma partícula colide com o semiconductor, tendo por regiões mais sensíveis junções PN reversamente polarizadas. O campo elétrico presente na região de depleção desta junção PN pode causar a coleção de carga induzida pela partícula devido ao processo de deriva. Estas colisões também podem resultar em correntes transientes, quando os portadores atravessam por difusão a região de depleção, onde estes podem ser coletados (DODD & MASSENGILL, 2003).

3.2 EFEITOS TRANSIENTES

Efeitos transientes são perturbações momentâneas de tensão ou corrente que ocorrem quando a carga armazenada no nó do circuito é menor do que a carga originada pela colisão da a partícula ionizante com o dreno do transistor afetado.

Efeitos transientes em um circuito integrado surgem de diversas origens, tais como efeitos de radiação ionizante, interferência eletromagnética, ruídos ou até mesmo devido a impurezas no processo de fabricação. Tais efeitos são reportados na literatura principalmente como causadores de uma mudança de estado em circuitos digitais, tanto em circuitos sequenciais quanto circuitos combinacionais. Entretanto, os efeitos transientes também são observados em circuitos analógicos (TURFLINGER, 1996).

Para analisar os efeitos transientes no circuito, é necessário um parâmetro para descrever a ocorrência do efeito. A forma clássica de análise consiste em determinar a carga mínima coletada necessária para a ocorrência de uma mudança de estado no circuito. Esta carga mínima é chamada de carga crítica (Q_{crit}) (NASEER *et al.*, 2007).

Por relacionar os valores de tensão (V) e capacitância (C) do nó associado, o escalamento tecnológico tem por consequência menores cargas coletadas para causar um *upset* no circuito. Isto se dá devido a redução da tensão de alimentação (V_{DD}), como também das capacitâncias associadas aos transistores.

A carga coletada é um parâmetro dependente da tecnologia, relacionando diversos parâmetros, segundo a equação (SILVACO INC., 2014):

$$Q = \frac{q \rho L_f LET}{E_{eh}} \quad (3.1)$$

Onde:

- q = carga do elétron ($1,6 \times 10^{-19}$ C)

- ρ = densidade do material (2,33g/cm³ para o silício)
- L_f = rastro de ionização (cm)
- LET = Transferência Linear de Energia (MeV · cm² / mg)
- E_{eh} = Energia necessária para criar um par elétron-lacuna (3,6eV para o silício)

A carga coletada se relaciona com a corrente gerada pelo pulso transiente através da seguinte expressão (SILVACO INC., 2014):

$$I_{SET} = \frac{Q}{\tau_F - \tau_R} \quad (3.2)$$

Os valores de τ_F e τ_R estão relacionados à subida e descida do pulso de corrente, respectivamente, e também são valores dependentes da tecnologia. Estes são descritos na próxima seção.

3.3 MODELAGEM DE EFEITOS TRANSIENTES

O modelo da dupla exponencial, inicialmente proposto em (MESSENGER, 1982), consiste em um modelo analítico para expressar o efeito da colisão entre uma partícula ionizante e o silício. Este efeito, caracterizado pela energia da partícula ionizante, carga do nó alvo do circuito, e do ângulo de incidência da colisão, pode ser descrito de forma simplificada pela seguinte equação:

$$I(t) = I_{SET} (\exp(-t/\tau_F) - \exp(-t/\tau_R)) \quad (3.3)$$

O modelo expressa a variação do pulso através de um intervalo de tempo t . O pico de corrente ocasionado pelo pulso é delimitado por I_{SET} , valor relacionado à carga coletada, conforme descrito anteriormente. A forma de onda do pulso de corrente é exibida na Figura 12. Outros parâmetros a serem considerados são os instantes de tempo do início e descida do pulso de corrente, que, embora não expresso de forma explícita no modelo analítico, é necessário ser incluído na equação do modelo no SPICE.

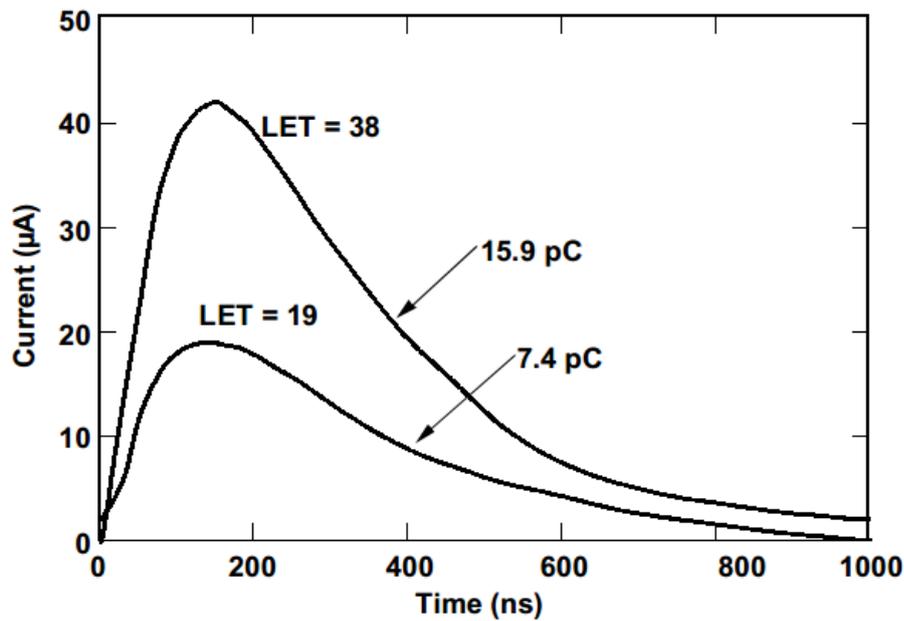


Figura 12. Forma de onda da dupla exponencial.

Para efeitos de simulação, um valor pequeno de τ_R é utilizado, e um valor grande para τ_F . A forma de onda é modelada desta forma, pois um valor pequeno de τ_R indica que a exponencial cresce rapidamente (constante de tempo relativa ao estabelecimento do rastro de íons devido a colisão), e decresce lentamente (constante de tempo relativo à coleção de cargas da junção) (MESSENGER, 1982).

Para efeitos de simulação em tecnologia 130nm, são utilizados na literatura valores de $\tau_R = 5\text{ps}$ e $\tau_F = 100\text{ps}$ (HUTSON *et al.*, 2006). A obtenção da largura do pulso experimentalmente também é necessária, o que para a tecnologia 130nm foi identificado um pior caso de 700ps (NARASIMHAM *et al.*, 2007). Por último, foi obtido na literatura um pior caso para a amplitude do pulso de corrente de 2mA (FERLET-CAVROIS *et al.*, 2006).

A largura do pulso é caracterizada pela diferença dos instantes de tempo de descida (t_2) e subida (t_1) do pulso, quando a corrente de pico é igual a $I_{SET}/2$. Os instantes de tempo podem ser obtidos de forma iterativa, isolando a variável “tempo” das expressões (SIMIONOVSKI, 2012):

$$t_1 = -\tau_R \ln \left(\exp \left(-\frac{t_1}{\tau_F} \right) - \frac{1}{2k} \right) \quad (3.4)$$

$$t_2 = -\tau_F \ln \left(\exp \left(-\frac{t_2}{\tau_R} \right) + \frac{1}{2k} \right) \quad (3.5)$$

onde a variável k pode ser obtida através de:

$$\frac{1}{2k} = \exp\left(-\frac{t}{\tau_F}\right) - \exp\left(\frac{t}{\tau_R}\right) \quad (3.6)$$

A utilização dos valores das constantes de tempo proposto em (Hutson *et al.*, 2006) no experimento visa simplificar o processo de obtenção deste parâmetro, visto que consiste de um processo iterativo, e, portanto demorado (SIMIONOVSKI, 2012).

4 MODELAGEM DO CONVERSOR E METODOLOGIA DE INJEÇÃO DE FALHAS

Neste capítulo o detalhamento das etapas para a realização dos experimentos realizados neste trabalho é apresentado. O experimento consiste em duas etapas: (1) Modelagem do conversor SAR baseado em redistribuição de carga em nível elétrico através de uma descrição SPICE, e (2) realização da injeção de falhas no circuito.

Para isto, são descritos os princípios de injeção de falhas em transistores em nível elétrico, assim como as adaptações necessárias para a análise dos resultados do experimento. A metodologia de injeção de falhas foi desenvolvida e descrita previamente em (LANOT & BALEN, 2014c).

4.1 MODELAGEM DO CONVERSOR

O conversor foi modelado considerando uma arquitetura de 8 bits. Para isto, foi utilizado um modelo SPICE preditivo para os transistores (Predictive Technology Model - PTM) da Arizona State University (ASU) (ARIZONA STATE UNIVERSITY, 2012) para a tecnologia de 130nm.

O circuito de controle utilizado foi projetado seguindo a estratégia proposta por (ANDERSON, 1972). A topologia clássica utiliza *flip-flops* do tipo D contendo sinais de PRESET e CLEAR. Para este trabalho, o *flip-flop* foi projetado de forma estática através de portas lógicas CMOS, para a simplificação da análise. O circuito do *flip-flop* é mostrado na Figura 13.

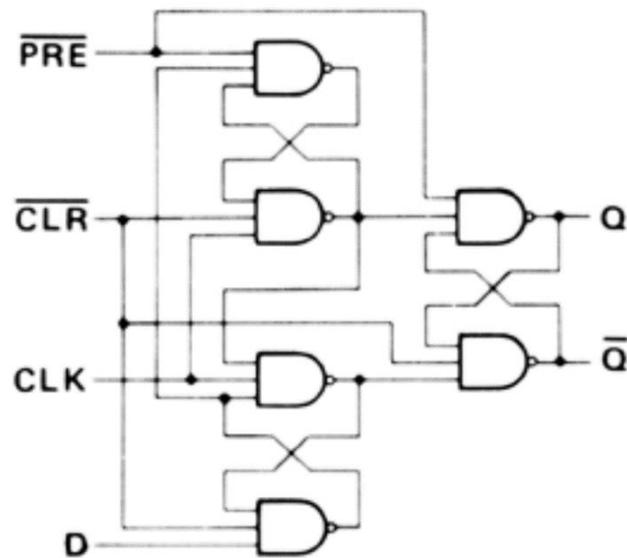


Figura 13. Diagrama do Flip-Flop do tipo D baseado em portas lógicas CMOS

O circuito escolhido para os *flip-flops* foi o da Figura 13, devido a topologia consistir exclusivamente de portas NAND de 3 entradas, e com isso permitir uma redução no tempo de projeto de uma futura implementação física. Outro motivo pela escolha da topologia é o subcircuito possuir uma estrutura regular, podendo os mesmos serem facilmente expandidos com um *script* para a injeção de falhas nos nós do controle de forma aleatória, conforme mostrado no Apêndice V.

Entretanto, outras estratégias podem ser utilizadas para a minimização da área do circuito, como por exemplo, Flip-Flops do tipo D baseados em *transmission gates*, também utilizado nos experimentos, e mostrado na Figura 14.

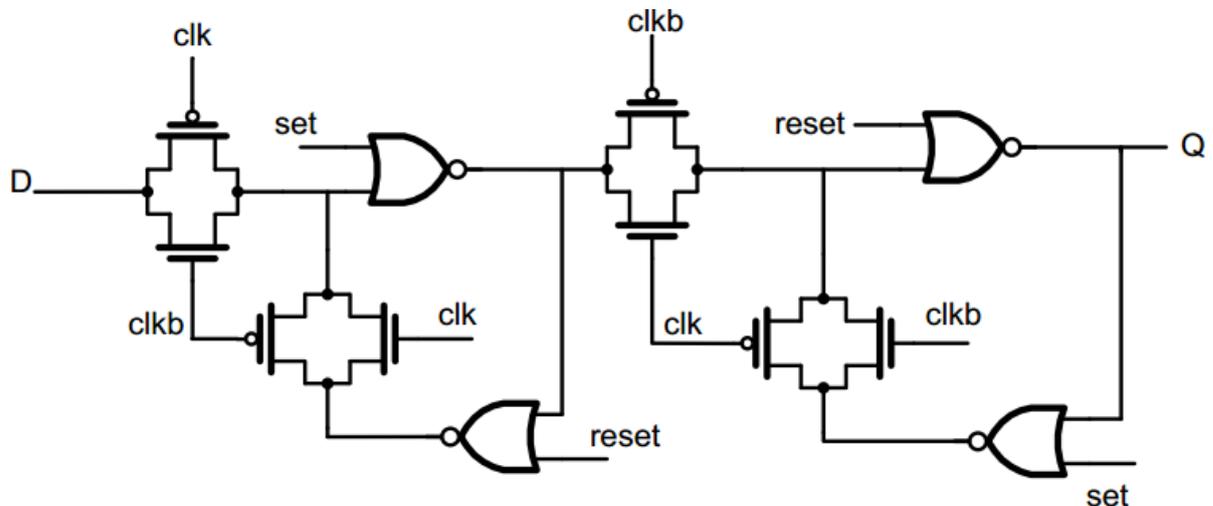


Figura 14. Flip-Flop do tipo D baseado em transmission gates.

Para uma futura implementação em silício, pode-se utilizar tal topologia, e com os resultados previamente reportados na literatura, como por exemplo, os obtidos através de um estudo sobre falhas transientes em flip-flops do tipo D baseados em *transmission gates* (HUTSON *et al.*, 2006), pode-se utilizar técnicas de mitigação em uma topologia com um menor número de transistores.

As topologias de chaves devem ser utilizadas de acordo com a excursão do sinal. Com isto, foram utilizadas *transmission gates* em uma estrutura de multiplexador analógico para a excursão do sinal de entrada e chaves NMOS para efetuar as conexões do sinal com *GND*.

Para a chave que controla o nó da entrada do comparador, uma chave do tipo PMOS não pode ser utilizada, pois para a condição de $V_{REF} = V_{DD}$, quando a conversão inicializar, o nó será inicializado em V_{REF} .

Entretanto, durante a etapa de redistribuição de carga, a tensão neste nó pode resultar em um sinal que excede a tensão de alimentação em $1,5 V_{REF}$. Devido à tensão de limiar do transistor PMOS ser igual ou inferior a $0,5V_{REF}$, a chave deve ser mantida fortemente desligada quando a tensão na entrada do comparador for igual a $1,5 V_{REF}$.

Uma chave do tipo *charge pump* é utilizada para elevar a tensão de controle da chave a $1,5 V_{REF}$, conforme sugerido em (SCOTT *et al.*, 2003). O circuito da chave do tipo *charge pump* é mostrado na Figura 15. Através dos experimentos, foi verificado que a capacitância C_{HOLD} necessária para elevar a tensão para $1,5 V_{REF}$ é de 13,5 fF.

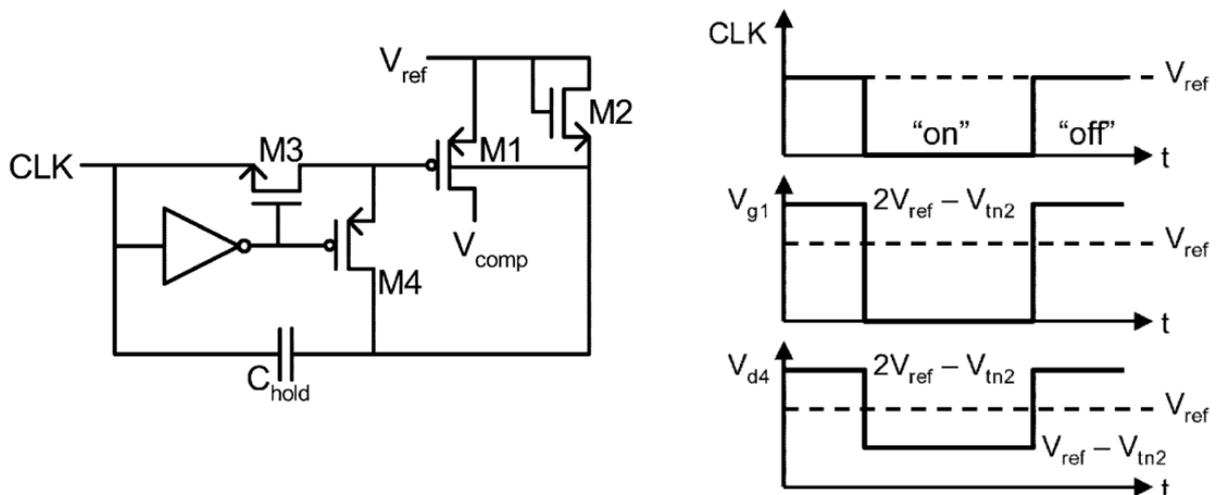


Figura 15. Chave do tipo charge pump e sua forma de onda associada. Extraída de (SCOTT *et al.*, 2003)

As chaves demonstraram funcionar adequadamente (ou seja, sem adicionar erros de não linearidade que extrapolam 1 LSB) com as dimensões mínimas de capacitores obtidos na tecnologia. Com isto, os transistores NMOS foram dimensionados com uma razão de aspecto de 4/1, ou seja, $W/L = 520\text{nm}/130\text{nm}$, e os transistores PMOS foram dimensionados para ter a largura do canal (W) de 2 vezes o transistor NMOS, ou seja, uma razão de aspecto de 8/1 ($W/L = 1040\text{nm}/130\text{nm}$).

Os capacitores foram dimensionados baseando na capacitância mínima utilizada em (SCOTT *et al.*, 2003), que consiste de um valor de 12fF. Tal valor se mostrou adequado para a realização dos experimentos, sem adicionar erros de não linearidade.

O comparador utilizado foi projetado com um componente ideal, através da primitiva do SPICE que consiste em uma fonte de tensão controlada por tensão. Isto foi realizado para diminuir os erros de não linearidade introduzidos na conversão pelo comparador como também para diminuir o tempo de simulação, que se demonstrou extenso para o experimento, já que o comparador não é o foco de estudo deste trabalho.

Por fim, foi utilizada uma frequência de relógio de 100kHz, e o sinal de amostragem de 10kHz, fator característico desse tipo de conversores.

Para este trabalho, todas as análises consistem simulações transientes onde são observados o nó relativo à saída do divisor capacitivo. Este nó é demonstrado de forma simplificada na Figura 16.

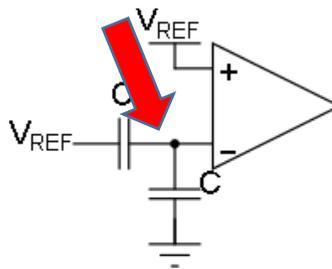


Figura 16. Nó de análise para as simulações transientes

Os resultados para uma conversão onde a entrada analógica varia entre 0V e 1,2V, percorrendo todos os 256 níveis de quantização na saída são mostrados na Figura 17. Tal conversão é realizada em 100kHz por amostra.

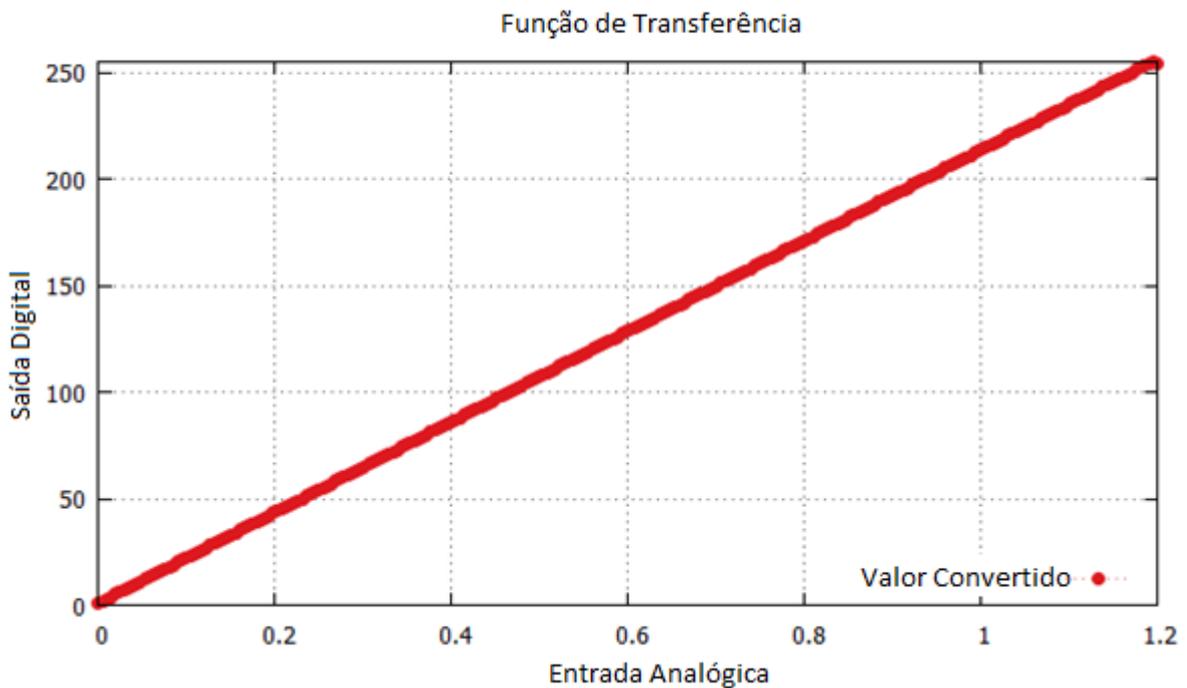


Figura 17. Resultado de uma conversão de uma rampa analógica variando o sinal entre 0V e 1,2V.

O código SPICE do circuito modelado encontra-se no Apêndice I deste trabalho.

4.2 DESCRIÇÃO DA TOPOLOGIA ANALISADA

Os conversores do tipo SAR baseados em redistribuição de carga possuem blocos analógicos e digitais. As falhas transientes podem acontecer de três formas:

- 1) Chaves: Em (BALEN et al., 2011), é mostrado que um inversor que controla uma chave pode sofrer um transiente, podendo causar redistribuição de carga em um banco de capacitores programável. Nesse trabalho, utiliza-se a ideia inicial de (BALEN et al., 2011) para analisar os efeitos de falhas transientes nas chaves analógicas de conversores SAR, que utilizam chaves baseadas em transmission gates, entretanto com uma topologia mais complexa. As falhas injetadas neste caso ocasionam carga ou descarga da capacitância associada ao conversor.
- 2) Lógica de controle: Devido ao circuito de controle ser constituído de elementos de memória, estes também estão sujeitos a falhas devido a efeitos transientes, sendo este fato bem conhecido na literatura (WALLACE et al., 1995). Neste caso, um transiente na lógica de controle é capaz de inverter o estado de uma chave, ao contrário da

situação anterior. Outro aspecto importante consiste na análise dos circuitos de controle de forma a avaliar a taxa de falhas, e discutindo possíveis soluções para as mesmas.

- 3) Comparador: da mesma forma que os demais componentes, o circuito do comparador também é sensível a efeitos transientes. Efeitos transientes em comparadores também são reportados na literatura (JOHNSTON et al., 2000), bem como técnicas de mitigação dos mesmos (OLSON et al., 2008).

Este trabalho consiste no estudo do comportamento do conversor após injeção de falhas nas chaves e na lógica de controle. Visto que a simulação é um processo demorado, o comparador foi projetado utilizando componentes ideais (fonte de tensão controlada por tensão). Falhas transientes em comparadores poderão causar a inversão do resultado da saída do comparador, invertendo assim um determinado *bit* da conversão. Além disso, o funcionamento do conversor devido a uma falha no comparador se dá na mesma forma para o caso em que uma falha no circuito de controle.

A análise deste trabalho é realizada considerando uma tecnologia de 130nm, devido este nó tecnológico ainda ser bastante presente, inclusive em dispositivos programáveis, como por exemplo, o PSoC 5 (CYPRESS SEMICONDUCTOR CORP., 2012).

Por fim, são discutidas as possíveis técnicas de mitigação para atenuar tais efeitos de forma mais adequada para esta topologia de conversor.

4.3 METODOLOGIA TRADICIONAL DE INJEÇÃO DE FALHAS

Em (BUARD & ANGHEL, 2011) é descrita a metodologia tradicional para a injeção de falhas transientes em transistores MOSFET, baseando-se na estrutura básica de um inversor CMOS. A injeção de falhas consiste em injetar um pulso de corrente quando o transistor está desligado. Esta condição ocorre no transistor NMOS quando a entrada do inversor for “0”, causando uma coleta de cargas no dreno do transistor; e para o PMOS quando a entrada for “1”, causando uma descarga através de V_{DD} . A Figura 18 demonstra o circuito equivalente para a injeção de falhas nos dois casos. No caso do NMOS, a corrente é injetada no dreno do transistor, causando um pulso de forma (1-0-1) na saída. No caso do PMOS, a corrente é removida do dreno, causando um pulso na forma (0-1-0) na saída.

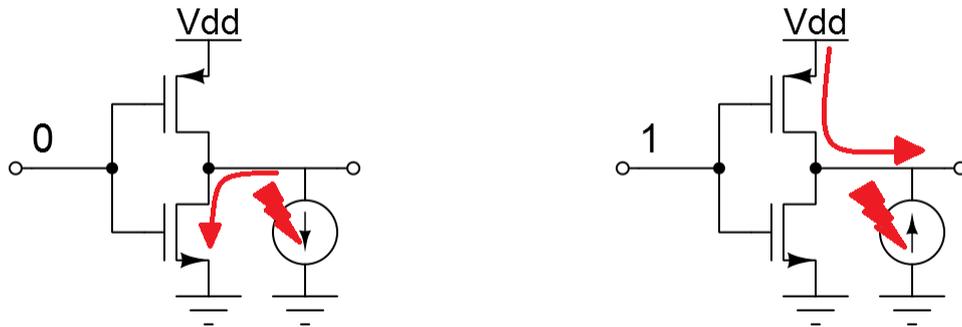


Figura 18. Circuito equivalente para a injeção de falhas em um inversor (a) NMOS e (b) PMOS

4.4 MODELO DE INJEÇÃO DE FALHAS EM CHAVES CMOS

O circuito proposto utiliza chaves do tipo SPST (*single pole, single throw*), ou seja, chaves que representam os estados aberto e fechado, e também utiliza chaves do tipo SPDT (*single pole, double throw*), ou seja, chaves que permitem multiplexar a conexão entre diferentes terminais. Tais chaves são demonstradas em alto nível na **Erro! Fonte de referência não encontrada.**

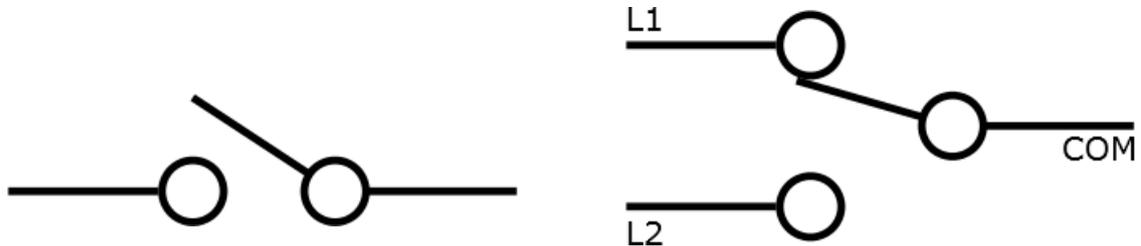


Figura 19 Exemplo de chaves do tipo (a) SPST e (b) SPDT

Chaves podem ser implementadas utilizando um único transistor, seja ele PMOS ou NMOS. A escolha do tipo de transistor a ser utilizado envolve a excursão do sinal a ser realizada. Apesar das chaves MOSFET poderem ser utilizadas para chavear tensões negativas ou positivas, a resistência da chave é dependente da tensão nela aplicada, como pode ser visto na Figura 20.

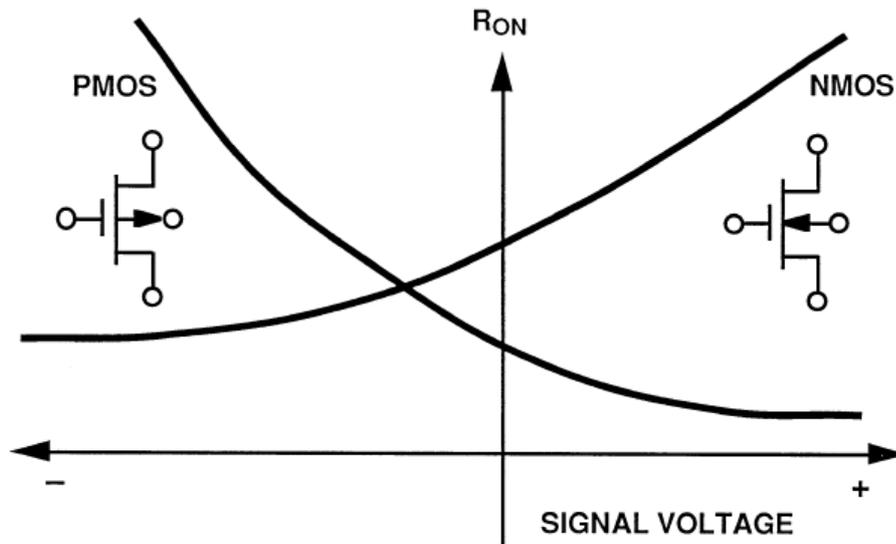


Figura 20. Tensão aplicada nas chaves e a dependência do R_{ON} para transistores MOSFET. Extraído de (ANALOG DEVICES INC., 2009)

A variação da resistência das chaves pode ser atenuada utilizando uma configuração em paralelo entre um transistor do tipo NMOS e um transistor do tipo PMOS. Esta configuração é chamada *transmission gate*. A Figura 21 mostra essa configuração.

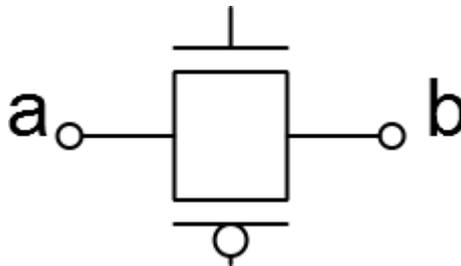


Figura 21. Topologia da transmission gate.

A Figura 22 mostra a curva da resistência da chave em uma topologia de *transmission gate*.

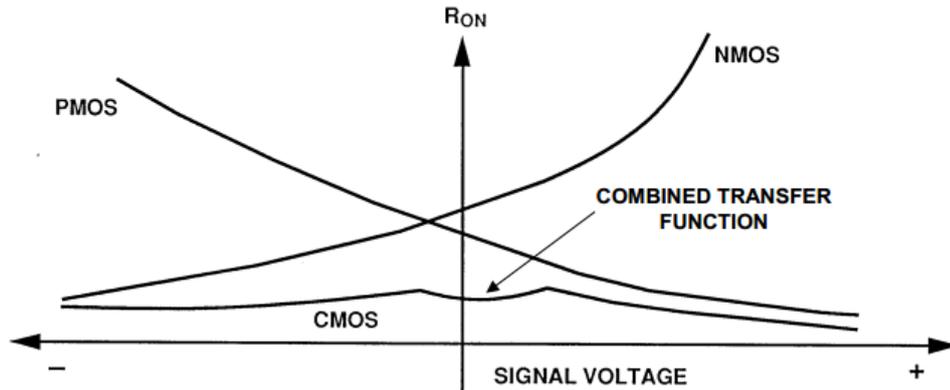


Figura 22. Resistência da chave para uma *transmission gate*. Extraído de (ANALOG DEVICES INC., 2009).

As condições de polarização reversa ocorrem quando a *transmission gate* está fechada (ou seja, diferença de potencial entre os terminais *a* e *b* negligíveis) ou aberta, dependendo da diferença de potencial entre os terminais).

Possíveis situações de falha podem ocorrer em *transmission gates*: um transiente devido a coleção de cargas no transistor NMOS, ou um transiente devido a descarga do transistor PMOS. Estas são ilustradas na **Erro! Fonte de referência não encontrada.** Os iodos exibidos na **Erro! Fonte de referência não encontrada.** são intrínsecos de cada transistor da chave, e demonstram as situações em que os transistores estão sensíveis às falhas, ou seja, quando estes estão em condição de polarização reversa. As setas indicam o sentido da corrente para os casos de injeção de falhas para o caso do transistor NMOS e do PMOS.

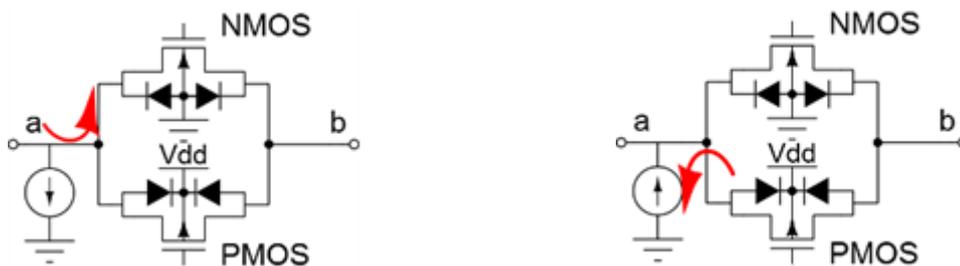


Figura 23. Possíveis casos para a injeção de falhas em chaves CMOS

O experimento consiste em injetar falhas nos nós sensíveis do circuito da parte analógica que controlam a rede dos capacitores, ou seja, as chaves. Um exemplo dessa injeção de falhas é exibido na Figura 24.

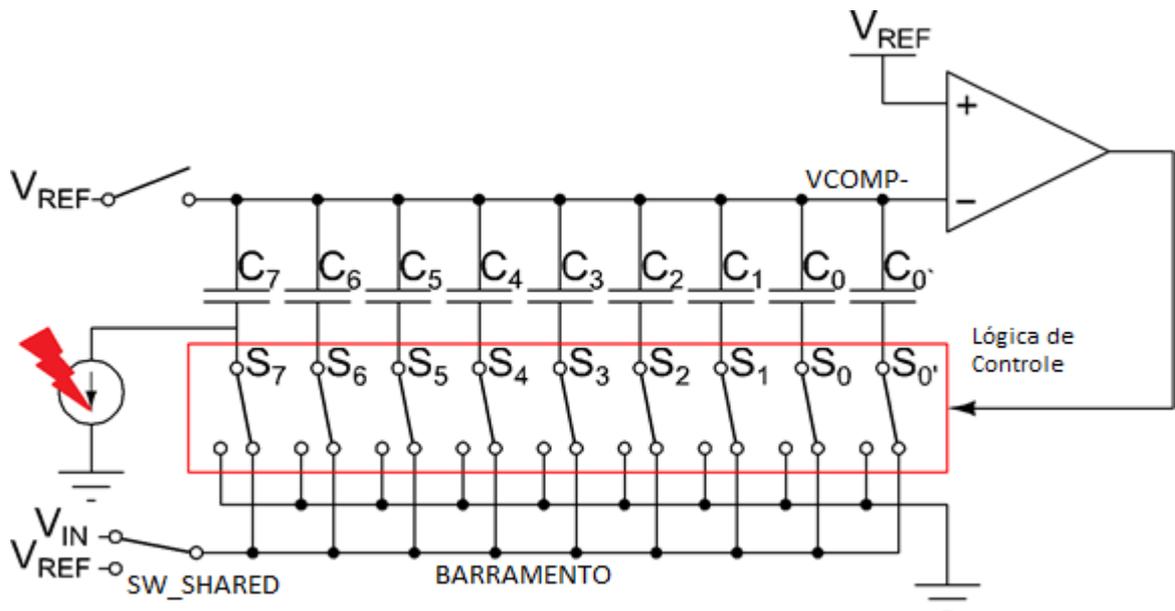


Figura 24. Exemplo de Injeção de falhas na chave S_7

A Figura 25 mostra o diagrama em alto nível do efeito nas chaves do circuito. No caso do SAR, o inversor mostra na figura é obtido da saída dos *flip-flops* do controle, que fornecem os sinais complementares.

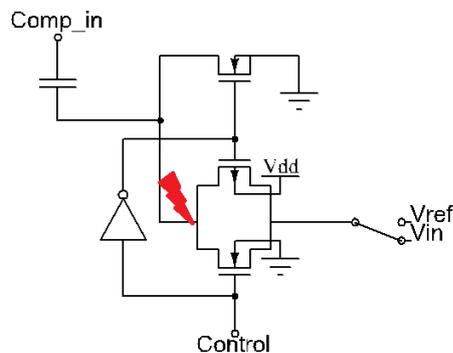


Figura 25. Modelo do circuito equivalente da entrada do comparador para uma única chave do conversor SAR

Na Figura 26 é mostrado o circuito simplificado para duas chaves, onde uma chave está conectada na seção superior, e outra conectada na seção inferior da rede capacitiva. O sinal que controla a chave da seção superior é inverso do sinal da seção inferior, o que faz com que cada *transmission gate* que esteja polarizada forme um caminho do sinal de referência para o terminal superior dos capacitores, e as chaves NMOS que estão abertas permitam que os terminais dos capacitores da seção inferior sejam conectados em GND .

Com isto, cada *transmission gate* que estiver fechada irá adicionar uma determinada capacitância na rede superior, caso contrário, na rede inferior.

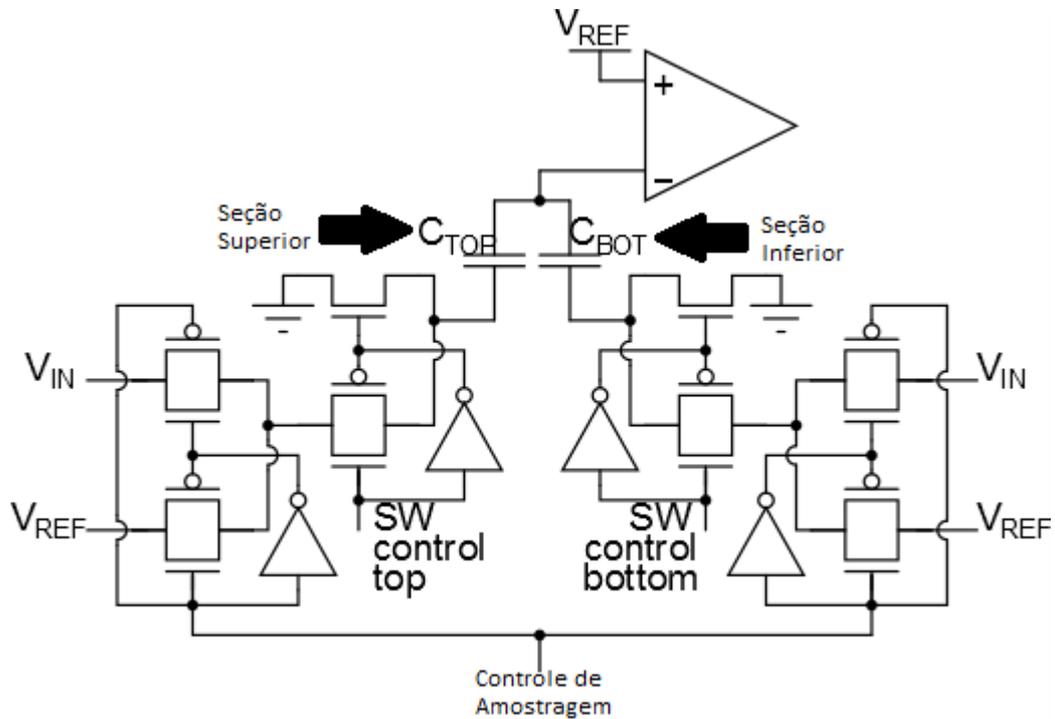


Figura 26. Modelo equivalente para uma chave que controla a seção superior e uma chave que controla a seção inferior da rede capacitiva.

Através de diversas simulações, foi possível a identificação de nós sensíveis no circuito da Figura 26. Uma das chaves que controlam a passagem do sinal V_{IN} ou V_{REF} sempre está conduzindo. A chave conectada diretamente à saída comum dessas duas chaves forma uma estrutura similar à de um inversor, topologia já bem conhecida na literatura na análise de efeitos transientes. Com isto, uma perturbação neste nó terá por consequência uma alteração no funcionamento do algoritmo.

Da mesma forma, uma perturbação na saída de um flip-flop do controle (representado na Figura 26 pela entrada e saída dos inversores) terá por consequência uma inversão do caminho do sinal, causando uma adição ou remoção de capacitâncias nas seções superior ou inferior da rede de capacitores, e por consequência, o incremento ou decremento de um valor incorreto de capacitância no processo de redistribuição de carga.

Na Figura 27 é exibida a estrutura das portas NAND de 3 entradas que estão contidas no circuito de controle utilizado no experimento, assim como uma indicação dos possíveis nós sensíveis.

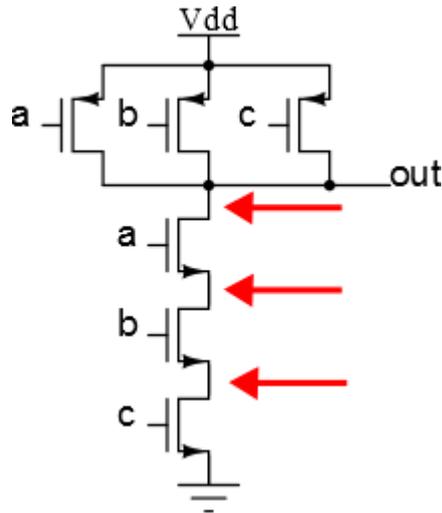


Figura 27. Portas NAND3 do circuito de controle e nós sensíveis

4.5 INJEÇÃO DE FALHAS EM CONVERSORES SAR

Para possibilitar a análise do conversor, foi desenvolvida uma metodologia de injeção de falhas, adaptando a metodologia tradicional para inversores, conforme descrito em (BUARD & ANGHEL, 2011). Com isso, foram desenvolvidos códigos em MATLAB para possibilitar a análise das falhas nas chaves. Os códigos consistem em (1) criação de arquivos SPICE contendo as fontes de corrente com os dados experimentais dos efeitos transientes para a tecnologia de 130nm e (2) extração dos resultados. Os algoritmos são descritos a seguir:

- 1) Injeção de falhas: Algoritmo que consiste em gerar parâmetros para serem inseridos em um arquivo SPICE, no qual instantes aleatórios de tempo da conversão são selecionados. Este procedimento é efetuado para todas as chaves, em todos os níveis de quantização possíveis para um conversor de 8 bits (256 possibilidades). A injeção de falhas é gerada tanto para transistores NMOS como para PMOS. O algoritmo para a injeção de falhas é descrito a seguir:

Algoritmo 1 Injeção de falhas

entrada N , τ_F , τ_R , I_o ,

saída código *SPICE* resultante

inicio

para cada chave **faça**

 Escrever um arquivo *SPICE* com 2^N fontes de corrente
 contendo os parâmetros experimentais de SETs

fim para

para cada fonte de corrente gerada **faça**
 Escolher um determinado instante de tempo para a ocorrência do SET de forma que cada SET seja injetado para exatamente uma conversão correspondente a um nível de quantização
 Escolher um transistor PMOS ou NMOS para a injeção de falhas
fim para
fim

- 2) Extração dos resultados: Devido o resultado massivo obtido através das simulações, uma análise manual se torna impraticável. Desta forma, um algoritmo foi desenvolvido para verificar a taxa de erros. Dois tipos de análises são efetuados: Taxa de erros individuais em cada chave, assim como a taxa de erros de valores convertidos, ou seja, quantas conversões resultaram em um valor errado na saída. O algoritmo tem por entrada o sinal que controla a amostragem (V_{sample}) para verificar o momento em que os valores estão na saída, como também os sinais de cada Flip-Flop do Registrador de Códigos, que determinam o resultado da conversão (sinais $q_0... q_N$). O algoritmo é descrito a seguir:

Algoritmo 2 Extração dos resultados

entrada V_{sample} para as simulações sem falhas e com falhas, sinais q_0 até q_N para as simulações com falhas e sem falhas
saída arquivo texto
inicio
para cada sinal de amostragem (V_{sample}) **faça**
 Encontrar todas as transições $0 \rightarrow 1$ para todos os sinais de amostragem
end para
para cada nó de saída ($q_0... q_N$) **faça**
 Salvar os valores dos bits de saída no instante da transição $0 \rightarrow 1$ do sinal de amostragem.
 Contar o número de bit-flips pela comparação dos resultados com as simulações sem falhas.
fim para
fim

Os códigos desenvolvidos se encontram nos Apêndices II, III e IV deste trabalho.

5 RESULTADOS EXPERIMENTAIS

Neste capítulo são descritos os resultados experimentais para as simulações do pior caso para as falhas transientes nas chaves e no circuito de controle do conversor SAR.

5.1 OCORRÊNCIA DO ERRO

O primeiro exemplo a ser apresentado consiste em uma falha transiente em um sinal de entrada DC de 1V, mostrado na Figura 28.

A falha foi injetada na chave conectada ao terminal negativo do comparador (VCOMP-), que soma uma tensão V_{REF} usada para manter o sinal entre as linhas de alimentação. Para este experimento, foi utilizada uma chave PMOS para simplificação do experimento. Na região esquerda da Figura 28 é mostrada a conversão sem falhas para os dois sinais, que estão sobrepostos. Na região direita é mostrado o desvio ocasionado pelo efeito transiente no conversor. Pode ser observado que ao ocorrer o efeito, o algoritmo continua a ser executado, propagando valores incorretos de conversão por todos os demais estágios. Para o caso onde a conversão ocorre de forma correta, o valor mostrado na saída é $D5_h$, entretanto, para o caso onde a conversão falha, o valor de saída obtido é FF_h , ou seja, para este caso, o pior caso de conversão (afetou todos os *bits*).

Esta etapa do trabalho foi detalhada em (LANOT & BALEN, 2014a).

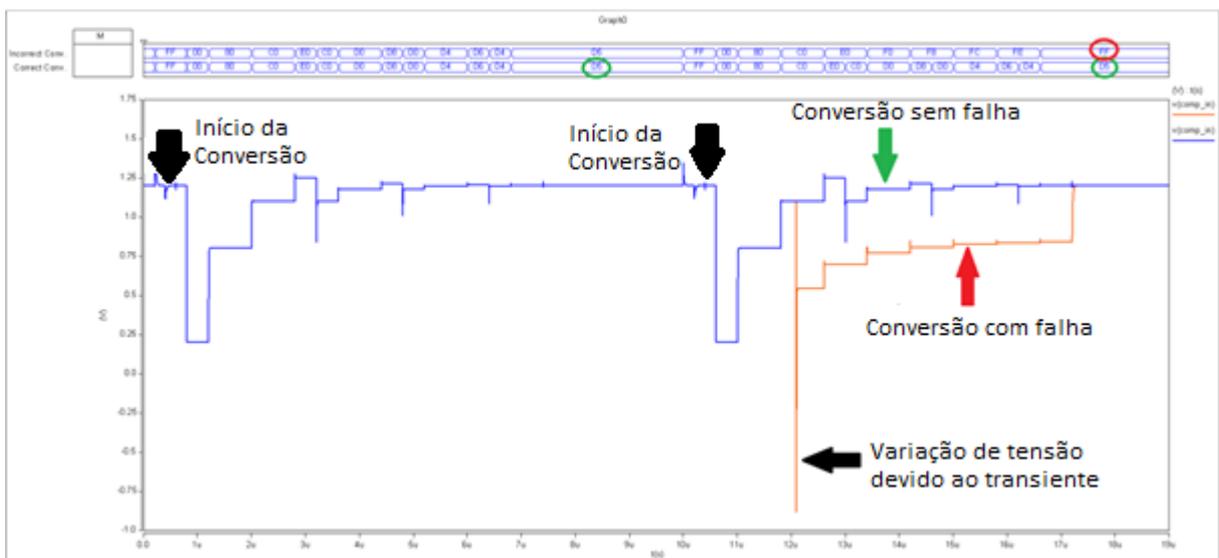


Figura 28. Exemplo de falha transiente em um conversor SAR

Na Figura 29 é mostrada a falha ocorrendo na chave S7 (conectada ao capacitor referente ao *bit* mais significativo), onde pode ser visto que o pulso foi injetado no sentido oposto da corrente. É interessante observar que o efeito transiente pode exceder os valores da fonte de alimentação. Tal efeito se dá devido a carga dos capacitores aumentar subitamente.

A mudança súbita da tensão no terminal negativo do comparador causa uma mudança no resultado da comparação, que da mesma forma que o experimento anterior, é propagado para os demais estágios. Quando o pulso termina, a tensão de referência tende a reestabelecer. Entretanto, o próximo estágio é imediatamente ativado (devido ao PRESET assíncrono dos flip-flops), e o valor segue de forma incorreta. Para este caso, diferente da Figura 28. Exemplo de falha transiente em um conversor SAR, onde os *bits* foram alterados, neste caso o valor na saída de forma incorreta é BF_h , ou seja, o valor final na saída tem um valor de desvio menor do que no pior caso. Na próxima seção pode ser visto graficamente que esses desvios variam pra diferentes valores de entrada e diferentes instantes de tempo da injeção de falha.

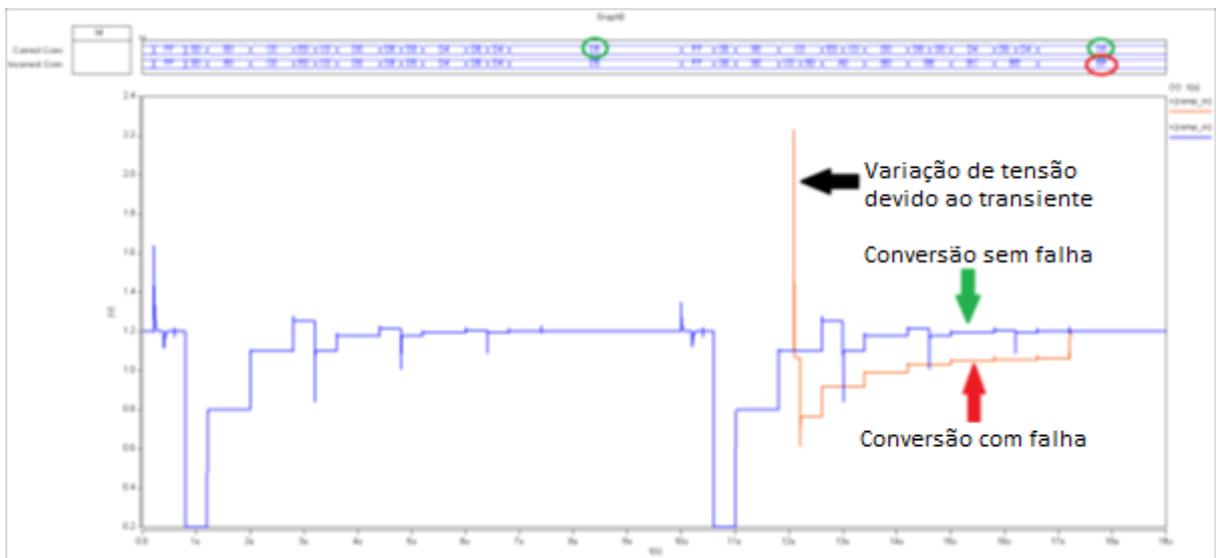


Figura 29. Falha transiente na chave S7 em um estágio inicial de conversão

Quando uma falha ocorrer no início do estágio de conversão, este valor é propagado para os demais estágios de conversão, que seguem a conversão de forma errônea.

Com a ocorrência do pulso de corrente, a tensão no nó é elevada, alterando a tensão de referência a ser comparada. Com isso, devido ao valor da tensão no nó ser elevada, a tensão $V_{DD} - V_{IN}$, antes mantida no nó, também é elevada ou diminuída, fazendo com que o comparador ative os *flip-flops* do *Code Register*. Como a tensão armazenada no terminal do

comparador foi alterada, e, portanto a operação de Sample & Hold violada, os demais estágios de conversão tentarão reestabelecer a conversão, mas o circuito não atingirá obviamente o valor correto.

5.2 INJEÇÃO DE FALHAS NAS CHAVES

O experimento das chaves consiste na injeção de falhas em todos os nós, em períodos de tempo aleatórios das chaves, ou seja, a injeção de falhas ocorre em cada chave para cada nível de quantização. Portanto, uma conversão completa deve ser realizada para testar cada chave. Os resultados são mostrados na Tabela 3.

Este experimento é detalhado em (LANOT & BALEN, 2014c).

Tabela 3. Resumo de bit flips em cada chave para o experimento.

Bit Afetado	Bit flips totais	% of bits flips
Q7	89	2,45
Q6	166	4,57
Q5	255	7,02
Q4	334	9,19
Q3	464	12,76
Q2	575	15,82
Q1	786	21,62
Q0	966	26,57
TOTAL:	3635	100

Na Figura 30 é mostrado o número de bit flips para cada bit de saída do conversor, para a injeção de falhas.

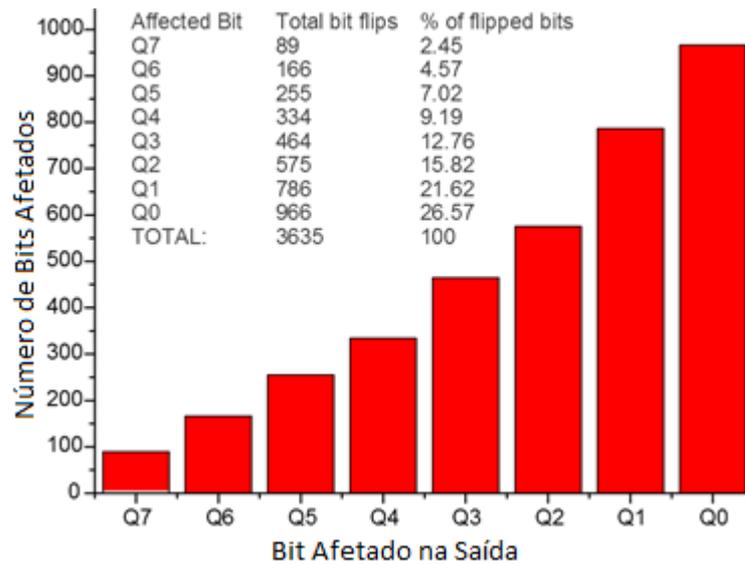


Figura 30. Bit flips para cada bit de saída para todos os experimentos de injeção de falhas.

Através do experimento, foi possível observar que a porcentagem de inversões, é maior nos bits menos significativos da palavra convertida.

Na Tabela 4 são descritos os nós afetados devido à injeção de falha em cada uma das chaves. Este experimento é realizado para identificar se há uma tendência ou padrão nos erros causados pelo efeito transiente.

Tabela 4. Porcentagem de bit flips para cada nó do circuito

Nó Afetado	bit flips/ simulação	% de Bit flips								TOTAL
		Q7	Q6	Q5	Q4	Q3	Q2	Q1	Q0	
S7	507	4,3	6,9	8,3	9,7	14,0	15,6	19,5	21,7	100
S6	527	2,5	5,7	7,8	10,2	13,1	15,0	20,5	25,2	100
S5	588	4,4	3,9	8,7	10,2	12,9	15,6	20,4	23,8	100
S4	510	2,4	3,5	6,7	10,4	12,4	14,3	21,2	29,2	100
S3	457	1,5	3,9	6,6	8,3	14,0	17,5	21,4	26,7	100
S2	400	1,3	4,5	6,5	7,8	11,8	16,3	24,3	27,8	100
S1	333	0,9	2,1	3,9	6,9	10,8	17,7	24,6	33,0	100
S0	313	0,3	5,4	5,8	8,3	12,1	15,3	23,6	29,1	100

A Tabela 4 indica duas situações de ocorrência de falhas: A primeira ocorre devido à propagação de erros causada pelo transiente nas chaves mais significativas para os estágios subsequentes, o que mostra que, devido à característica sequencial de conversão, todos os estágios posteriores são afetados.

Na Tabela 5 são extraídos os resultados de quando o transiente causa um *bit flip* no bit associado à própria chave.

Tabela 5. Bit flips causados no bit associado à própria chave em que o transiente é injetado

Nó afetado	No. de bit flips	% de bit flips
S7	22	4,8
S6	30	6,6
S5	51	11,1
S4	53	11,6
S3	64	14,0
S2	65	14,2
S1	82	17,9
S0	91	19,9
TOTAL:	458	100

Da mesma forma como explicado anteriormente, o resultado é demonstrado graficamente na Figura 31, onde pode ser observada uma baixa incidência de bit-flips para os bits mais significativos do conversor. De fato, isto confirma que o erro ocorre de forma cumulativa para os demais estágios de conversão, e este só ser observado no próximo estágio de conversão, conforme descrito anteriormente.

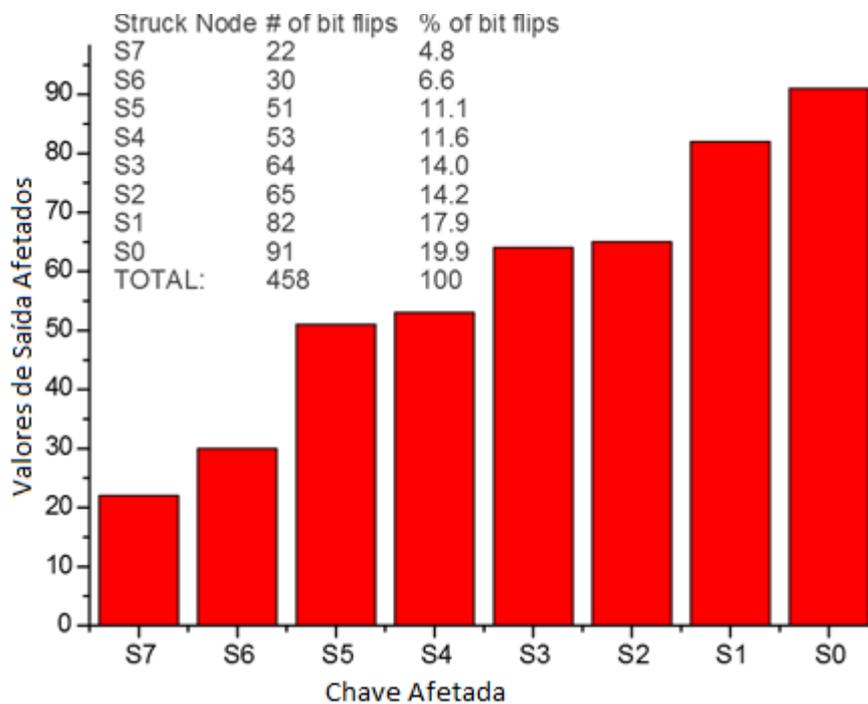


Figura 31. Bit flips causados no bit associado à própria chave em que o transiente é injetado

Outro experimento realizado consiste na injeção de falhas de forma aleatória no circuito, da mesma forma que os experimentos anteriores, ou seja, para cada nível de

quantização. Na Figura 32 é mostrada a ocorrência falhas em uma simulação de uma rampa linear. Para simplificar, são mostrados os casos para a razão de aspecto do PMOS: $W/L=16/1$ e NMOS: $W/L=8/1$.

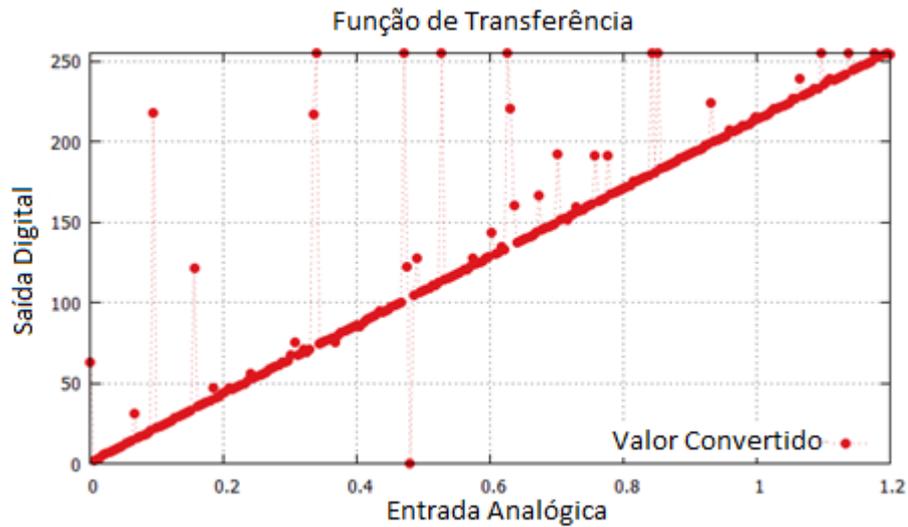


Figura 32. Ocorrência de falhas no conversor em nós aleatórios.

Na Figura 33 é mostrada a redução da taxa de falhas para um dimensionamento considerando transistores PMOS: $W/L=64/1$ e NMOS: $W/L=32/1$.

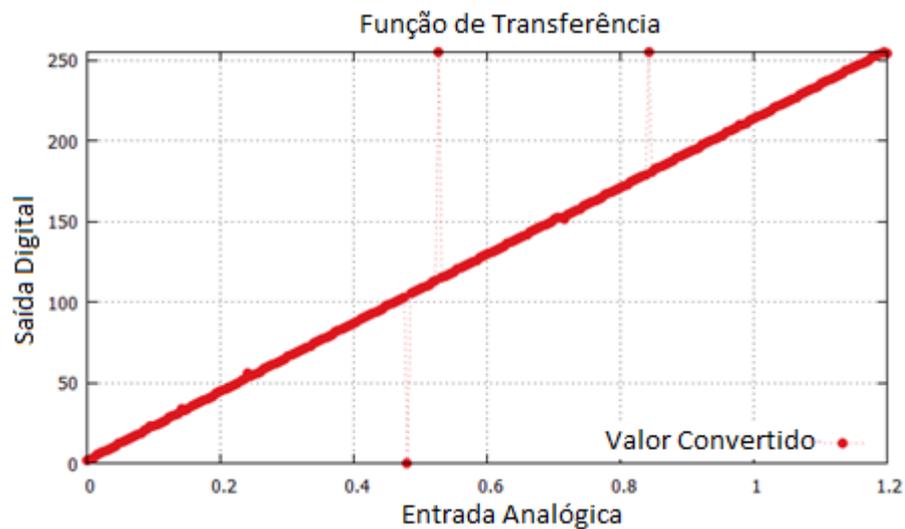


Figura 33. Ocorrência de falhas no conversor em nós aleatórios

5.3 INJEÇÃO DE FALHAS NO CIRCUITO DE CONTROLE

Por último, na Tabela 6 são descritos os resultados para a injeção de falhas aleatórias no circuito de controle. Diferentemente das chaves, onde todas as possibilidades foram

avaliadas, a injeção de falhas no circuito de controle se deu de forma aleatória, seguindo a metodologia proposta em (NICOLAIDIS, 2010). Vale ressaltar que esses resultados são válidos para um projeto de *flip-flops* estáticos, e, portanto, pode ser diferente das outras topologias de *flip-flops*.

Tabela 6. Bit flips resultantes da injeção de falhas aleatória no circuito de controle

Bit Afetado	Total de bit flips	% do total de bit flips
Q7	67	4,80
Q6	105	7,52
Q5	141	10,10
Q4	147	10,53
Q3	179	12,82
Q2	194	13,90
Q1	263	18,84
Q0	300	21,49
TOTAL:	1396	100,00

O gráfico da Figura 34 mostra o número de *bit flips* para cada saída do conversor da lógica de controle. Da mesma forma que nas situações anteriores, a taxa de *bit flips* aumenta de forma cumulativa, visto que uma perturbação no *flip-flop* causa uma inversão de *bit*, mas diferentemente da situação anterior, causando uma redistribuição de carga, e, portanto, mudando o funcionamento do algoritmo de conversão.

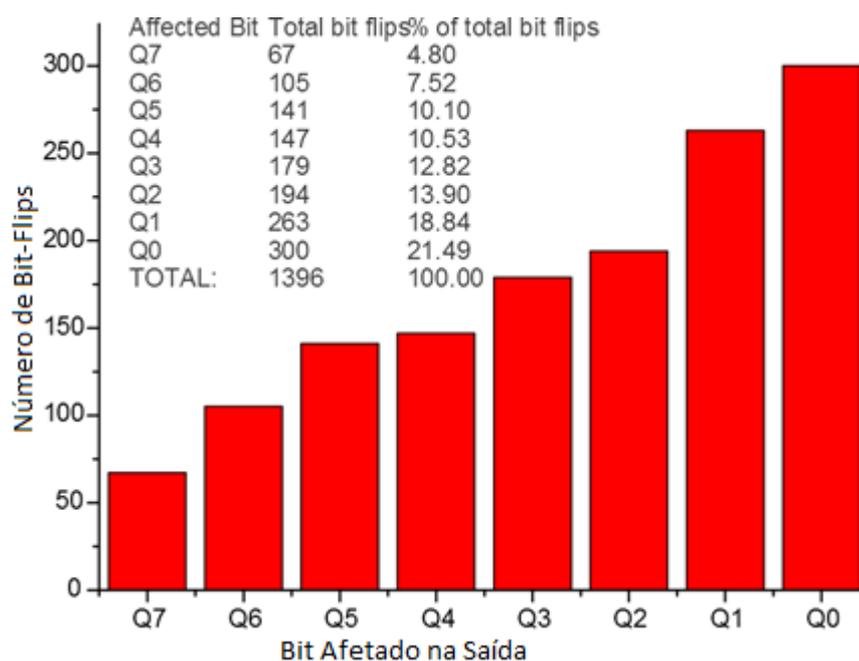


Figura 34. Bit flips resultantes da injeção de falhas aleatória no circuito de controle

Em resumo, esses erros cumulativos podem ocorrer de quatro formas:

- Um efeito transiente em uma chave pode criar, temporariamente, um caminho de corrente antes inexistente, fazendo com que o capacitor do estágio de conversão analisado seja carregado ou descarregado, causando uma mudança súbita na saída do comparador, que será responsável pela definição dos bits de saída da conversão, propagando valores errados para os demais estágios de conversão;
- Outro efeito possível ocorre quando um efeito transiente afeta um transistor do circuito de controle. Este efeito pode causar uma inversão de bit de um flip-flop, que por sua vez altera o estado de uma chave do circuito. Neste caso, devido o flip-flop controlar diretamente a chave, este irá alterar o estado do mesmo, causando uma redistribuição de carga errônea. Da mesma forma que na situação anterior, todos os estágios subsequentes serão afetados na conversão;
- Outro aspecto a ser observado, e descrito em (LANOT & BALEN, 2014b), ocorre quando o transiente afeta uma chave, mas esta não é capaz de afetar o bit relacionado ao capacitor do estágio que ocorreu o transiente. Isto ocorre, pois o transiente pode não descarregar (ou carregar) o capacitor afetado de modo alterar sua tensão além do limiar de comparação daquele estágio, não afetando a conversão do bit em questão. Entretanto, mesmo sem a inversão do bit a carga do capacitor já não é a mesma da situação nominal e o erro na saída digital, pode se manifestar apenas nos bits subsequentes, quando este erro pode gerar uma diferença de tensão que supere o limiar de comparação de algum estágio dos bits menos significativos;
- Outra situação que pode ocorrer, mas não foi explorada nos experimentos é quando o transiente ocorre diretamente no comparador. Este ativa os flip-flops do Registrador de Códigos do circuito de controle, e altera a conversão da mesma forma que um transiente no circuito de controle, visto que este poderá alterar o estado de um determinado flip-flop, podendo causar outra redistribuição de carga.

6 TÉCNICAS DE MITIGAÇÃO

Neste capítulo são apresentadas as principais técnicas de mitigação que foram investigadas como possíveis alternativas para o circuito estudado. O assunto abordado neste capítulo é resultado do trabalho apresentado em (LANOT & BALEN, 2014b).

6.1 DIMENSIONAMENTO

Devido a quantidade de carga necessária para causar uma perturbação no circuito ser menor com o *scaling* da tecnologia, uma forma de compensar tal efeito é aumentar o tamanho dos transistores. Desta forma, uma maior capacitância estará associada ao nó sensível, e por consequência, a carga necessária para causar uma perturbação deve ser maior. Como discutido anteriormente, a carga crítica é dependente da tecnologia, logo uma compensação nas dimensões dos transistores tende a ser um meio eficiente de contornar tal efeito.

As chaves utilizadas neste trabalho foram projetadas inicialmente utilizando dimensões mínimas. A observação do efeito nas conversões permitiu verificar os efeitos do aumento da largura do canal dos transistores (W) na tolerância aos efeitos transientes. Na Figura 35 é mostrada a atenuação da taxa de falhas para a variação da razão de aspecto dos transistores das chaves. A razão de aspecto se refere ao transistor PMOS da chave.

Pode ser observado que as curvas não decrescem de forma monotônica para todos os casos. Isto ocorre devido ao número de simulações realizadas ser pequeno para que as curvas mostrassem adequadamente a tendência de redução de erros (dado o aspecto aleatório da injeção de falhas). Entretanto, tais simulações são extensas (podem levar semanas), o que tornou inviável realizar um maior número de experimentos para este caso.

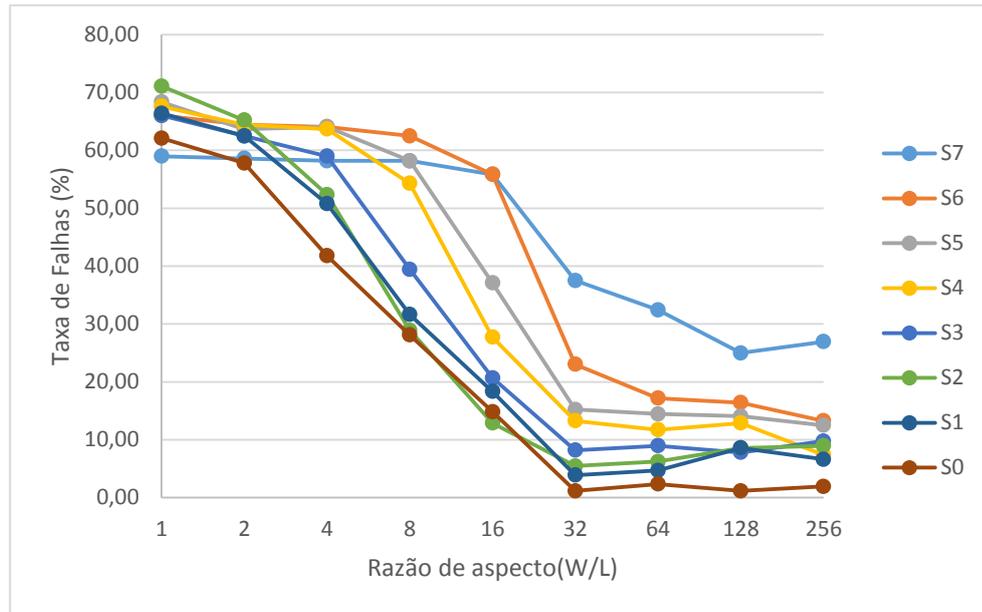


Figura 35. Taxa de falhas de conversão para diversas razões de aspecto (L=130nm).

Neste caso, a taxa de falhas é considerada como uma conversão em que o efeito transiente no determinado nó ocasionou um desvio no valor digital de saída excedendo 1 LSB. Analisando a Figura 35 é possível verificar que uma razão de aspecto de $W/L = 64/1$ (PMOS) tem por consequência uma diminuição considerável nos efeitos transientes nas chaves.

É importante observar que a taxa de falhas do gráfico é dada pelos parâmetros do pior caso para o pulso de corrente do transiente.

Aumentar a razão de aspecto das chaves é um processo que deve ser feito com cautela, visto que o aumento desta provocará um aumento de capacitância das chaves, podendo introduzir erros no processo de redistribuição de carga, e por consequência, introduzir erros de linearidade no conversor. Um estudo sobre como o dimensionamento de chaves afeta a componentes de circuitos baseados em capacitores chaveados pode ser visto em (SERRA, 2012).

6.2 REDUNDÂNCIA

O estudo da redundância neste trabalho se iniciou nas chaves. Entretanto, devido um dos nós das chaves sempre estar conectado a um determinado capacitor, e também devido o uso de chaves do tipo SPDT, o estudo da redundância das chaves não é explorado neste trabalho.

O estudo dos circuitos da lógica de controle existentes para os conversores SAR permitiu que fosse realizada uma análise da melhor topologia para utilizar redundância no controle. Devido a existência de diversas topologias de controle, um estudo do melhor circuito em termos de área é necessário, visto que uma discussão sob este ponto de vista é inexistente na literatura no sentido de mitigação de falhas transientes.

A Tabela 7 mostra o número de transistores necessários para a implementação das topologias de controle tradicionais, considerando uma topologia de 8 bits. Várias topologias foram encontradas na literatura, entretanto, devido ao fato de muitas delas serem propostas antigas, as estratégias propostas consistem na diminuição do número de componentes discretos em relação às estratégias existentes. Neste trabalho foram selecionadas as mais conhecidas e comparadas entre elas em termos do número de transistores. É interessante notar que todas as alternativas para a lógica clássica proposta em (ANDERSON, 1972) – exceto a mais recente – acabam tendo um maior número de transistores na rede, o que por sua vez causa um aumento no número de nós sensíveis.

Tabela 7. Comparação do número de transistores para diferentes topologias do controle

Design	Número de componentes	Número de transistores
(ANDERSON, 1972) #1	$2n+2$ D-flip flops	432
(ANDERSON, 1972) #2	$n+1$ JK-flip flops $2(n+1)$ and gates	540
(ROSSI & FUCILI, 1996)	$n+1$ D-flip flops $n+1$ 4x1 mux $n+1$ or gates	594
(RUSSELL, 1978)	$n+2$ D-flip flops $n+2$ and gates $3(n+2)$ or gates	480
(CHUN-CHENG <i>et al.</i> , 2010)	n D flip-flops 1 or-3 gate	200

É interessante observar que a topologia proposta em (CHUN-CHENG *et al.*, 2010) se torna atrativa devido à redução considerável no número de transistores comparando com as estratégias tradicionais, tendo uma redução de 50% em relação à primeira topologia apresentada por Anderson. A técnica de conversão do SAR proposta por (CHUN-CHENG *et al.*, 2010), conhecida como *Monotonic Capacitor Switching*, se tornou muito popular desde o momento de sua proposta, tendo 188 citações no *Google Scholar*, no momento da escrita deste trabalho.

Devido ao pequeno número de transistores, e da lógica de controle usar transistores de menor dimensão, uma solução de redundância se torna atrativa. A solução clássica de

redundância, chamada *Triple Modular Redundancy* (TMR), causará uma triplicação na lógica de controle, além de uma adição de uma simples lógica combinacional para definir o valor majoritário dentre os três módulos do controle.

6.3 SENSORES INTEGRADOS AOS TRANSISTORES

Outra técnica possível de mitigação é utilizar sensores integrados aos transistores, como por exemplo, a técnica Bulk-BICS (NETO *et al.*, 2005). Ao utilizar sensores integrados nos transistores pode ser observada a ocorrência do efeito transiente, e assim, permitir que uma decisão seja tomada no sentido de corrigir ou evitar um erro no sistema.

A Figura 36 demonstra o funcionamento do Bulk-BICS para a detecção de SETs em transistores PMOS, denominado pBICS.

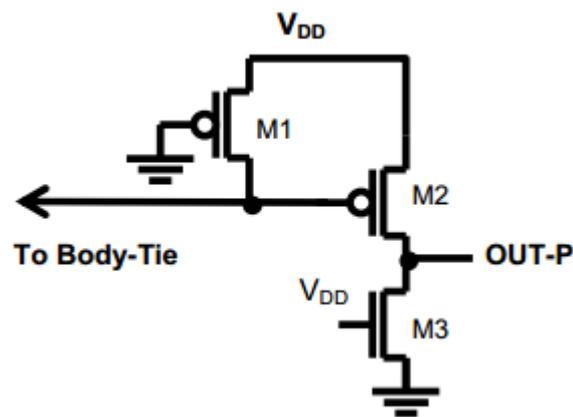


Figura 36. Circuito do pBICS. Extraído de (WIRTH & FAYOMI, 2007).

O conceito Bulk-BICS parte do princípio que a corrente de bulk para a condição normal de operação é muito menor que para o caso do SET. Em condições normais de operação, a corrente por M1 é desprezível, e a tensão no *gate* do M2 está em V_{DD} . A saída do BICS é, portanto um valor lógico “0”. No caso da ocorrência do SET, o bulk-BICS amplifica a mudança da tensão, e, por consequência, a tensão na saída aumenta, mudando a saída para o valor lógico “1” (WIRTH & FAYOMI, 2007). Este valor pode então ser utilizado para sinalizar a ocorrência de um erro na conversão.

Nesse contexto, pode ser adaptado o circuito de forma a permitir que as chaves sejam monitoradas para a ocorrência de efeitos transientes. A utilização dessa técnica, entretanto,

não irá recalculer o valor da amostra, mas apenas avisar se ocorreu um efeito transitente no circuito. Por consequência, o componente que estiver utilizando o conversor pode enviar tal sinal para alertar que o sinal deve ser reamostrado (ou realizar tal tarefa automaticamente).

Desta forma, o circuito de controle deve ser adaptado de forma a reiniciar a conversão quando o efeito transitente for observado. A Figura 37 descreve o fluxograma do comportamento do conversor com chaves projetadas com BICS, quando um SET é detectado em alguma das chaves do conversor. O fluxograma demonstra que na verificação do estado do bit para cada estágio de redistribuição de carga, as chaves irão monitorar a ocorrência do efeito transitente. Caso tal efeito seja presente, o sensor irá enviar um sinal de controle $B=1$, reiniciando a conversão. Caso contrário, $B=0$, e os próximos estágios ocorrem normalmente.

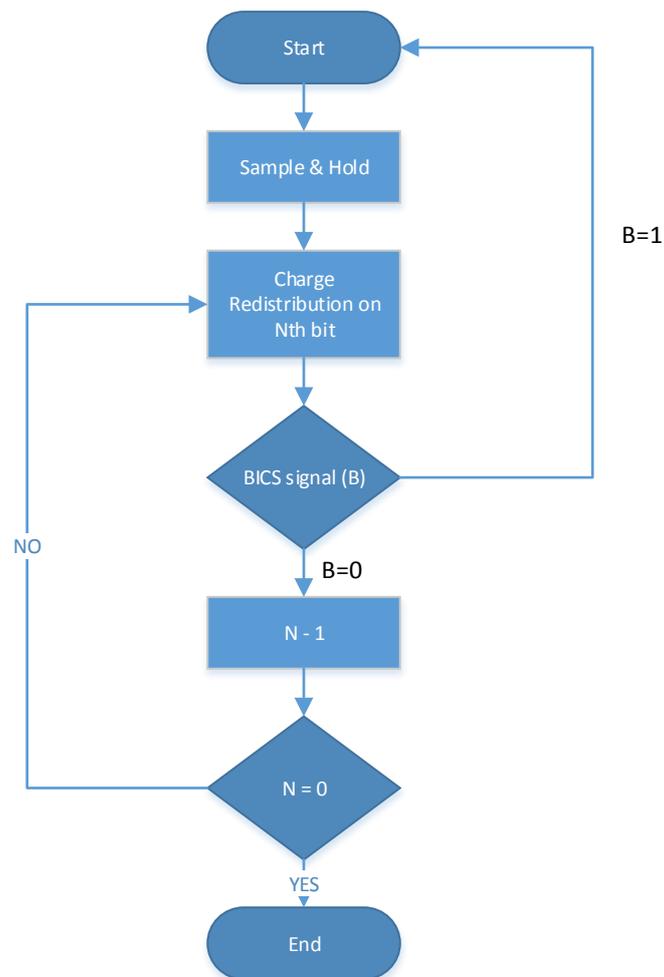


Figura 37. Fluxograma do funcionamento do conversor utilizando Bulk-BICS

A alteração necessária a ser realizada no circuito de controle é ilustrada na Figura 38. Pode ser observado que há a necessidade da realização de uma operação OR entre todos os valores digitais obtidos com o BICS. Este valor resultante terá uma operação OR com o sinal de RESET, passando a executar uma nova conversão após o valor digital resultante da cadeia de ORs retornar ao valor digital “0”.

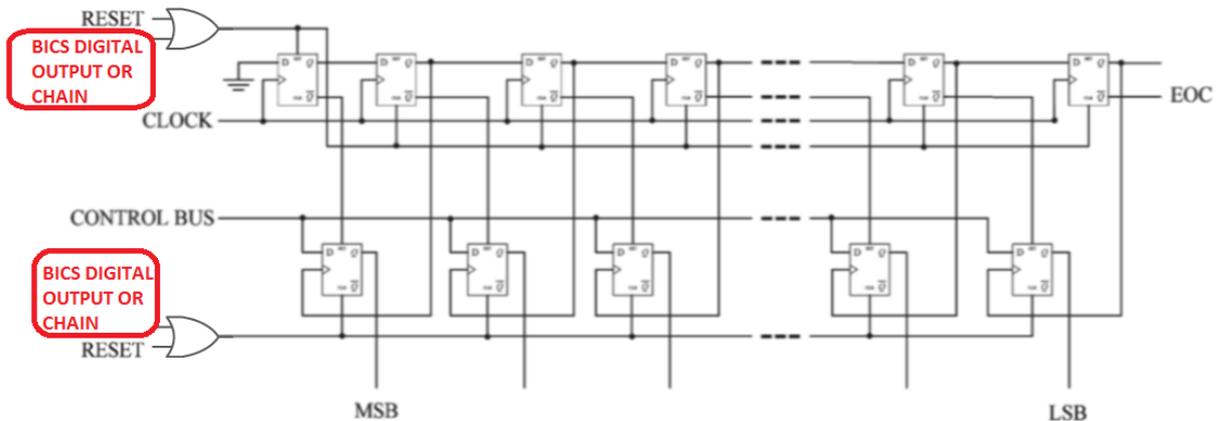


Figura 38. Adaptação no controle para a inclusão do Bulk-BICS.

Por fim, na Figura 39 é mostrado o funcionamento da adaptação proposta.

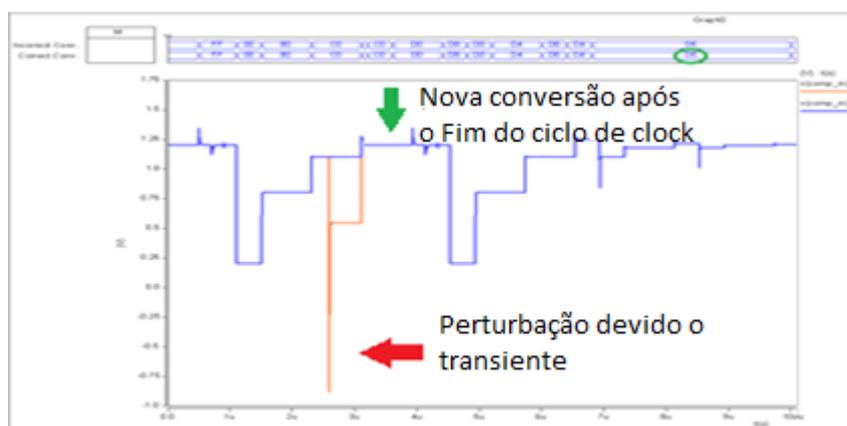


Figura 39. Funcionamento do circuito com a inclusão do Bulk-BICS.

Pode ser visto que a ocorrência do efeito transiente tem por consequência a ativação do sinal de *RESET*, e, portanto irá reiniciar a conversão. Devido ao início da nova conversão ocorrer de forma antecipada, o tempo para se recuperar do erro será menor.

7 CONCLUSÕES

Este trabalho apresentou um estudo de falhas provenientes de efeitos transientes em conversores do tipo SAR. Falhas transientes causam erros de conversão que são propagados para os demais estágios, devido a característica sequencial do conversor.

Falhas ocorrem de três formas: (1) transiente abrindo ou fechando temporariamente as chaves do conversor, (2) transiente causando a inversão do estado de um flip-flop, e com isto, uma redistribuição de carga, e (3) transiente no comparador, ativando o *Code register*, também causando uma redistribuição de carga.

Falhas nas chaves relacionadas aos capacitores mais significativos tendem a adicionar uma maior capacitância na porção superior do divisor de tensão, e devido ao alto limiar da tensão de referência a ser comparada, erros são observados de forma mais frequente nos bits menos significativos. Falhas nas chaves mais significativas, entretanto, causam poucos *bit-flips* no seu próprio estágio de conversão, visto que a ocorrência do efeito transiente pode não carregar ou descarregar o capacitor de forma a alterar sua tensão além do limiar de comparação do estágio, podendo causar o efeito a ser observado nos estágios subsequentes.

O comportamento do conversor para os experimentos realizados neste trabalho também se mostrou coerente com testes experimentais realizados em experimentos práticos em plataformas programáveis contendo conversores SAR, como no trabalho de (TAMBARA *et al.*, 2013).

Técnicas de mitigação, de fato, são eficientes para atenuar os erros causados neste tipo de conversor, entretanto com uma penalidade em área, o que pode penalizar uma das grandes vantagens do conversor SAR, caracterizado por um baixo consumo de área, como também limitar a linearidade.

O aumento da razão de aspecto das chaves é um meio eficaz de reduzir a taxa de falhas do conversor, tendo em contrapartida um custo em área. Entretanto, para aplicações críticas, como por exemplo, satélites, aeronaves ou sondas espaciais, considerando o alto custo do sistema, é uma opção segura para o bom funcionamento do conversor.

A redundância da lógica de controle se mostra uma solução viável para mitigar as falhas do controle, visto que o número de transistores da lógica de controle reduziu drasticamente nos últimos anos, possibilitando tal feito, como também evita adicionar circuitos extras nos nós das chaves.

A técnica Bulk-BICS também é uma solução interessante, visto que é uma solução simples para identificar a ocorrência dessas falhas. Além disso, a utilização de Bulk-BICS permite que, quanto menor for a taxa de variação do sinal (associada a frequência do mesmo) mais próxima será a amostra “recomputada” da amostra que foi perdida.

Por meio desse estudo, foi possível observar que a forma de mitigar as falhas de uma forma segura e eficiente consiste na combinação de um dimensionamento adequado dos transistores, redundância no circuito de controle, e/ou utilização de sensores de corrente.

As técnicas de mitigação aqui apresentadas devem ser observadas de forma a não causarem distorções na linearidade do conversor através de um dimensionamento incorreto das chaves, visto que chaves muito grandes, além de consumir grande porção de área do conversor, também afetam as demais especificações do conversor.

O estudo realizado nesta dissertação resultou em 3 publicações, as quais são apresentadas a seguir:

15th Latin American Test Workshop - LATW 2014: Analysis of the Effects of Single Event Transients on an SAR-ADC based on Charge Redistribution.

Este artigo apresenta o conceito geral de falhas em conversores do tipo SAR, onde testes preliminares foram realizados para identificar a capacidade das falhas transientes afetarem a conversão de forma significativa para a tecnologia de 130nm. O artigo foi convidado para uma *Special Issue* do *Journal of Electronic Testing: Theory and Applications* (JETTA) e uma versão estendida foi submetida.

27th Symposium on Integrated Circuits and Systems Design - SBCCI 2014: Reliability Analysis of a 130nm Charge Redistribution SAR ADC under Single Event Effects.

Este artigo apresenta uma metodologia de injeção de falhas nas chaves em conversores SAR para simulações em nível elétrico (SPICE), assim como taxa de falhas para o *worst-case* dos valores medidos nas chaves e no circuito de controle do conversor.

19th Annual International Mixed-Signals, Sensors, and Systems Test Workshop - IMS3TW 2014: Fault Mitigation Strategies for Single Event Transients on SAR converters.

Este artigo apresenta as possíveis técnicas de mitigação de falhas transientes em conversores do tipo SAR. Com isso, as ideias apresentadas neste trabalho propõem sugestões a serem aplicados num projeto futuro de um conversor em nível de *layout*.

Com isto, para trabalhos futuros, tem-se a intenção de projetar um conversor tolerante a radiação. Este conversor será projetado considerando as observações realizadas neste trabalho, o que pode apresentar novos desafios de projeto, que por sua vez poderão agregar conhecimento nesta área.

REFERÊNCIAS

ACTEL CORP. **SmartFusion cSoC Handbook**: datasheet, 2012. Disponível em: < <http://www.actel.com/products/smartfusion/>>. Acesso em: 12/11/2014

ANALOG DEVICES INC. **Analog Switches and Multiplexers Basics**. MT-088, 2009. Disponível em: < www.analog.com/static/imported-files/tutorials/MT-088.pdf>. Acesso em: 12/11/2014

ANDERSON, T. O. Optimum control logic for successive approximation Analog-To-Digital converters. **Computer Design**, Pasadena, v. 11, n. 7, p. 81-86, 1972.

ARIZONA STATE UNIVERSITY. **130nm BSIM3 Model card for Bulk CMOS**. 2012. Disponível em: < <http://ptm.asu.edu>>. Acesso em: 12/11/2014

BALEN, T. R. **Efeitos da radiação em dispositivos analógicos programáveis (FPAAs) e técnicas de proteção**. 2010. 206 p. Tese (Doutorado em Engenharia Elétrica) - Universidade Federal do Rio Grande do Sul, Porto Alegre, 2010.

BALEN, T. R. et al. Investigating the effects of transient faults in Programmable Capacitor Arrays. In: LATIN AMERICAN TEST WORKSHOP (LATW), 12., 2011, Porto de Galinhas. **Proceedings...** New York: IEEE, p.1-6, 2011.

BUARD, N.; ANGHEL, L. Gate Level Modeling and Simulation. In: NICOLAIDIS, M. (Ed.). **Soft Errors in Modern Electronic Systems**. 1st ed. New York City: Springer US, p.77-102, 2011.

CAMPOS, F. D. S. Active Pixel Sensor CMOS Operating Multi-Sampled in Time Domain. In: PARK, P. J. W. (Ed.). **Photodiodes - World Activities in 2011**. [S.l.]: InTech, 2011. Disponível em <<http://www.intechopen.com/articles/show/title/active-pixel-sensor-cmos-operating-multi-sampled-in-time-domain>>. Acesso em: 12/11/2014

CHUN-CHENG, L. et al. A 10-bit 50-MS/s SAR ADC With a Monotonic Capacitor Switching Procedure. **Solid-State Circuits, IEEE Journal of**, New York: IEEE, v. 45, n. 4, p. 731-740, 2010.

CYPRESS SEMICONDUCTOR CORP. **Cypress Perform. CY8C52 Family**: datasheet. 2012. Disponível em: < www.cypress.com >. Acesso em: 12/11/2014

DANZECA, S. et al. New Testing Methodology of an Analog to Digital Converter for the LHC Mixed Radiation Field. **Nuclear Science, IEEE Transactions on**, New York: IEEE, v. 60, n. 4, p. 2598-2604, 2013.

DODD, P. E.; MASSENGILL, L. W. Basic mechanisms and modeling of single-event upset in digital microelectronics. **Nuclear Science, IEEE Transactions on**, New York: IEEE, v. 50, n. 3, p. 583-602, 2003.

DONDI, S. et al. A 6-bit, 1.2 GHz Interleaved SAR ADC in 90nm CMOS. In: PH. D. RESEARCH IN MICROELECTRONICS AND ELECTRONICS, 1., 2006, Otranto. **Proceedings...** New York: IEEE, p. 301-304, 2011.

FERLET-CAVROIS, V. et al. Statistical Analysis of the Charge Collected in SOI and Bulk Devices Under Heavy Ion and Proton Irradiation - Implications for Digital SETs. **Nuclear Science, IEEE Transactions on**, New York: IEEE, v. 53, n. 6, p. 3242-3252, 2006.

HUTSON, J. M. et al. Single Event-Induced Error Propagation Through Nominally-off Transmission Gates. **Nuclear Science, IEEE Transactions on**, New York: IEEE, v. 53, n. 6, p. 3558-3562, 2006.

JOHNSTON, A. H. et al. A model for single-event transients in comparators. **Nuclear Science, IEEE Transactions on**, New York: IEEE, v. 47, n. 6, p. 2624-2633, 2000.

KESTER, W. **Which ADC Architecture Is Right for Your Application?** 2005. Disponível em <<http://www.analog.com/library/analogDialogue/archives/39-06/architecture.pdf>> Acesso em: 12/11/2014

_____. **ADC Architectures II: Successive Approximation ADCs.** 2009. Disponível em <<http://www.analog.com/static/imported-files/tutorials/MT-021.pdf>> Acesso em: 12/11/2014

LANOT, A. J. C.; BALEN, T. R. Analysis of the effects of single event transients on an SAR-ADC based on charge redistribution. In: LATIN AMERICAN TEST WORKSHOP (LATW), 15., 2014, Fortaleza. **Proceedings....** New York: IEEE, p.1-5, 2014a.

_____. Fault Mitigation Strategies for Single Event Transients on SAR converters. In: ANNUAL INTERNATIONAL MIXED-SIGNALS, SENSORS, AND SYSTEMS TEST WORKSHOP, 19., 2014, Porto Alegre. **Proceedings...** New York: IEEE, p.1-5, 2014b.

_____. Reliability Analysis of a 130nm Charge Redistribution SAR ADC under Single Event Effects. In: SYMPOSIUM ON INTEGRATED CIRCUITS AND SYSTEMS DESIGN, 27., 2014, Aracaju. **Proceedings...** New York: IEEE, p.1-5, 2014c.

LEME, C. A.; FIGUEIREDO, P.; MOTA, M. Scalable Architectures for Analog IP on Advanced Process Nodes. **Synopsys Insight Newsletter** 2013. Disponível em: <<http://www.synopsys.com/Company/Publications/SynopsysInsight/Pages/Art5-data-converters-IssQ3-13.aspx?cmp=Insight-I3-2013-Art5>> Acesso em: 12/11/2014

MALOBERTI, F. **Data Converters.** New York: Springer Publishing Company, 2010.

MAXIM INTEGRATED. **Understanding SAR ADCs: Their Architecture and Comparison with Other ADCs.** 2001. Disponível em: <<http://www.maximintegrated.com/en/app-notes/index.mvp/id/1080>> Acesso em: 12/11/2014

MCCREARY, J. L.; GRAY, P. R. All-MOS charge redistribution analog-to-digital conversion techniques. I. **Solid-State Circuits, IEEE Journal of**, New York: IEEE, v. 10, n. 6, p. 371-379, 1975.

MESSENGER, G. C. Collection of Charge on Junction Nodes from Ion Tracks. **Nuclear Science, IEEE Transactions on**, New York: IEEE, v. 29, n. 6, p. 2024-2031, 1982.

NARASIMHAM, B. et al. Characterization of Digital Single Event Transient Pulse-Widths in 130-nm and 90-nm CMOS Technologies. **Nuclear Science, IEEE Transactions on**, New York: IEEE, v. 54, n. 6, p. 2506-2511, 2007.

NASEER, R. et al. Critical charge characterization for soft error rate modeling in 90nm SRAM. In: INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS (ISCAS), 2007, New Orleans. **Proceedings...** New York: IEEE, p. 1879-1882, 2007.

NETO, E. H. et al. Evaluating Fault Coverage of Bulk Built-in Current Sensor for Soft Errors in Combinational and Sequential Logic. In: SYMPOSIUM ON INTEGRATED CIRCUITS AND SYSTEMS DESIGN, 18., 2005, Florianópolis. **Proceedings...** New York: IEEE, p.62-67, 2005.

NICOLAIDIS, M. **Soft Errors in Modern Electronic Systems**. New York: Springer, 2010. Disponível em: < <http://books.google.com.br/books?id=WCqrOkMExu8C> >. Acesso em: 12/11/2014

OLSON, B. D. et al. Single-Event Effect Mitigation in Switched-Capacitor Comparator Designs. **Nuclear Science, IEEE Transactions on**, New York: IEEE, v. 55, n. 6, p. 3440-3446, 2008.

RAZAVI, B. **Design of Analog CMOS Integrated Circuits**. New York City, McGraw-Hill, 2001. Disponível em: < <http://books.google.com.br/books?id=hdavQgAACAAJ> >. Acesso em: 12/11/2014

ROSSI, A.; FUCILI, G. Nonredundant successive approximation register for A/D converters. **Electronics Letters**, New York: IEEE, v. 32, n. 12, p. 1055-1057, 1996.

RUSSELL, H., JR. An improved successive-approximation register design for use in A/D converters. **Circuits and Systems, IEEE Transactions on**, New York: IEEE, v. 25, n. 7, p. 550-554, 1978.

SCHRIMPF, R. D. Radiation Effects in Microelectronics. In: VELAZCO, R. *et al.* (Ed.). **Radiation Effects on Embedded Systems**: Netherlands: Springer, p.11-29, 2007.

SCOTT, M. D.; BOSER, B. E.; PISTER, K. S. J. An ultralow-energy ADC for Smart Dust. **Solid-State Circuits, IEEE Journal of**, New York: IEEE, v. 38, n. 7, p. 1123-1129, 2003.

SERRA, H. A. D. A. **Design of switched-capacitor filters using low gain amplifiers**. 2012. 100 p. Dissertação (Mestrado em Engenharia Electrotécnica) – Universidade Nova de Lisboa, Lisboa, 2012.

SILVACO INC. SmartSpice SEU Module. **Application Note**. 2014. Disponível em: < http://www.silvaco.com/content/appNotes/analog/1-003_smartspice-SEU.pdf >. Acesso em: 12/11/2014

SIMIONOVSKI, A. **Sensor de corrente transiente para detecção do SET com célula de memória dinâmica**. 2012. Dissertação (Mestrado em Engenharia Elétrica), Universidade Federal do Rio Grande do Sul, Porto Alegre, 2012.

STURESSON, F. Single Event Effect (SEE) Testing. **Space Radiation and its Effects on EEE Components**, EPFL Space Center. 2009. Disponível em: < http://space.epfl.ch/webdav/site/space/shared/industry_media/08%20SEE%20testing%20F.Sturesson.pdf >. Acesso em: 12/11/2014

SUAREZ, R. E.; GRAY, P. R.; HODGES, D. All-MOS charge-redistribution analog-to-digital conversion techniques. II. **Solid-State Circuits, IEEE Journal of**, New York: IEEE, v. 10, n. 6, p. 379-385, 1975.

TAMBARA, L. et al. Neutron-induced single event effects analysis in a SAR-ADC architecture embedded in a mixed-signal SoC. In: **COMPUTER SOCIETY ANNUAL SYMPOSIUM ON VLSI (ISVLSI)**, 2013, Natal. **Proceedings...** New York: IEEE, 2013. p.188-193.

TEXAS INSTRUMENTS INC. **MSP430F663x Mixed Signal Microcontroller**. 2012. Disponível em: < <http://www.ti.com/product/msp430f6638> >. Acesso em: 12/11/2014

TURFLINGER, T. L. Single-event effects in analog and mixed-signal integrated circuits. **Nuclear Science, IEEE Transactions on**, New York: IEEE, v. 43, n. 2, p. 594-602, 1996.

WALLACE, R. E.; ZAKY, S. G.; BALMAIN, K. G. Fast-transient susceptibility of a D-type flip-flop. **Electromagnetic Compatibility, IEEE Transactions on**, New York: IEEE, v. 37, n. 1, p. 75-80, 1995.

WIRTH, G.; FAYOMI, C. The Bulk Built In Current Sensor Approach for Single Event Transient Detection. In: **INTERNATIONAL SYMPOSIUM ON SYSTEM-ON-CHIP**, 2007, Tampere. **Proceedings...** New York: IEEE, p.1-4, 2007.

YUEN, C. K. Another design of the successive approximation register for A/D converters. **Proceedings of the IEEE**, New York: IEEE, v. 67, n. 5, p. 873-874, 1979.

APÊNDICE I – DESCRIÇÃO SPICE DO CIRCUITO SAR

SAR ADC based on charge redistribution

```
.include 130nm_bulk.txt
```

```
.option scale=130n post=1 probe
```

```
.global VDD
```

```
.probe V(vin) V(COMP_IN) V(sample) V(bus) V(clk) V(sample) V(q00) V(q0) V(q1)
V(q2) V(q3) V(q4) V(q5) V(q6) V(q7)
```

```
VDD VDD 0 DC 1.2
```

```
VREF VREF 0 DC 1.2
```

```
VIN VIN 0 DC 0 pulse=(0 1.2 0 25500u 0 0 0 0 25800u)
```

```
XINV1 sample samplen INVERTER
```

```
XOUTCOMP1 comp_out samplen compx nand2
```

```
XOUTCOMP2 compx comp INVERTER
```

```
Vsample sample 0 DC 0 pulse=(0 1.2 0 0 0 10u 100u)
```

```
vclk clk 0 DC 0 pulse=(0 1.2 0 0 0 5u 10u)
```

```
X1seq clk 0 sample 0 q7seq dff
```

```
X2seq clk q7seq 0 sample q6seq dff
```

```
X3seq clk q6seq 0 sample q5seq dff
```

```
X4seq clk q5seq 0 sample q4seq dff
```

```
X5seq clk q4seq 0 sample q3seq dff
```

```
X6seq clk q3seq 0 sample q2seq dff
```

```
X7seq clk q2seq 0 sample q1seq dff
```

```
X8seq clk q1seq 0 sample q0seq dff
```

```
X9seq clk q0seq 0 sample q00seq dff
```

```
X1reg q6reg comp q7seq sample q7reg dff
```

```
X2reg q5reg comp q6seq sample q6reg dff
```

X3reg q4reg comp q5seq sample q5reg dff
 X4reg q3reg comp q4seq sample q4reg dff
 X5reg q2reg comp q3seq sample q3reg dff
 X6reg q1reg comp q2seq sample q2reg dff
 X7reg q0reg comp q1seq sample q1reg dff
 X8reg q00reg comp q0seq sample q0reg dff
 X9reg 0 0 q00seq sample q00reg dff

XVN1 q7reg sample q7n nor2
 XVI1 q7n q7 INVERTER
 XVN2 q6reg sample q6n nor2
 XVI2 q6n q6 INVERTER
 XVN3 q5reg sample q5n nor2
 XVI3 q5n q5 INVERTER
 XVN4 q4reg sample q4n nor2
 XVI4 q4n q4 INVERTER
 XVN5 q3reg sample q3n nor2
 XVI5 q3n q3 INVERTER
 XVN6 q2reg sample q2n nor2
 XVI6 q2n q2 INVERTER
 XVN7 q1reg sample q1n nor2
 XVI7 q1n q1 INVERTER
 XVN8 q0reg sample q0n nor2
 XVI8 q0n q0 INVERTER
 XVN9 0 sample q00n nor2
 XVI9 q00n q00 INVERTER

C7 COMP_IN N_C7 1536f
 C6 COMP_IN N_C6 768f
 C5 COMP_IN N_C5 384f
 C4 COMP_IN N_C4 192f
 C3 COMP_IN N_C3 96f
 C2 COMP_IN N_C2 48f
 C1 COMP_IN N_C1 24f

C0 COMP_IN N_C0 12f

CT COMP_IN N_CT 12f

XSB VREF COMP_IN samplen PUMP_SWITCH

XSA_1 BUS VDD samplen sample SWITCH

XSA_2 BUS VIN sample samplen SWITCH

XC7_2 N_C7 BUS q7 q7n SWITCH

M02 N_C7 q7n 0 0 nmos l=1 w=32

XC6_2 N_C6 BUS q6 q6n SWITCH

M04 N_C6 q6n 0 0 nmos l=1 w=32

XC5_2 N_C5 BUS q5 q5n SWITCH

M06 N_C5 q5n 0 0 nmos l=1 w=32

XC4_2 N_C4 BUS q4 q4n SWITCH

M08 N_C4 q4n 0 0 nmos l=1 w=32

XC3_2 N_C3 BUS q3 q3n SWITCH

M10 N_C3 q3n 0 0 nmos l=1 w=32

XC2_2 N_C2 BUS q2 q2n SWITCH

M12 N_C2 q2n 0 0 nmos l=1 w=32

XC1_2 N_C1 BUS q1 q1n SWITCH

M14 N_C1 q1n 0 0 nmos l=1 w=32

XC0_2 N_C0 BUS q0 q0n SWITCH

M16 N_C0 q0n 0 0 nmos l=1 w=32

XCT_2 N_CT BUS q00 q00n SWITCH

M18 N_CT q00n 0 0 nmos l=1 w=32

Xcomp VREF COMP_IN comp_out op_amp

```
.subckt op_amp Vp Vn Vout
E1 Vout 0 Vp Vn 1e6 max = 1.2 min= 0
.ends
```

```
.subc SWITCH a b control controln
M3 a control b 0 nmos l=1 w=32
M4 b controln a Vdd pmos l=1 w=64
.ends
```

```
.subc PUMP_SWITCH a b control
M4 k2 controln k1 Vdd pmos l=1 w=10
M3 k1 controln control 0 nmos l=1 w=5
M1inv controln control Vdd Vdd pmos l=1 w=10
M2inv controln control 0 0 nmos l=1 w=5
M1 b k1 a k2 pmos l=1 w=10
M2 a a k2 0 nmos l=1 w=5
C1 control k2 13.5f
.ends
```

```
.subckt dff clk d pn clrn q
M1p d clk o1 vdd pmos l=1 w=8
M2n d clk b o1 0 nmos l=1 w=4
M3p o1 clk b o2 vdd pmos l=1 w=8
M4n o1 clk o2 0 nmos l=1 w=4
x1 pn o1 o3 nor2
x2 clrn o3 o2 nor2
M5p o3 clk b o4 vdd pmos l=1 w=8
M6n o3 clk o4 0 nmos l=1 w=4
x3 clrn o4 q nor2
x4 q pn o5 nor2
```

```
M7p o4 clk o5 vdd pmos l=1 w=8
M8n o4 clkb o5 0 nmos l=1 w=4
M9p clkb clk vdd vdd pmos l=1 w=8
M10n clkb clk 0 0 nmos l=1 w=4
.ends
```

```
.subckt nor2 a b out
M1p (t1 a vdd vdd) pmos l=1 w=8
M2p (out b t1 vdd) pmos l=1 w=8
M1n (out a 0 0) nmos l=1 w=4
M2n (out b 0 0) nmos l=1 w=4
.ends
```

```
.subckt nand2 a b out
M1p (out a vdd vdd) pmos l=1 w=8
M2p (out b vdd vdd) pmos l=1 w=8
M1n (out a t1 0) nmos l=1 w=4
M2n (t1 b 0 0) nmos l=1 w=4
.ends
```

```
.subc INVERTER a b
M1 b a Vdd Vdd pmos l=1 w=8
M2 b a 0 0 nmos l=1 w=4
.ends
```

```
.TRAN 1n 25600u
.END
```

APÊNDICE II – CÓDIGO MATLAB PARA A OBTENÇÃO DA FUNÇÃO DE TRANSFERÊNCIA DO CIRCUITO

```
%chamadas do hspice toolbox
```

```
addpath('c:\hspicetoolbox');
```

```
x = loadsig('output.tr0');
```

```
% atribui valores e discretiza as variaveis q0...q7
```

```
% código "feio", mas usando "for" e "eval" fica MUITO lento.
```

```
q0 = evalsig(x,'v_q0');
```

```
q0(q0<0.6) = 0;
```

```
q0(q0>=0.6) = 1;
```

```
q1 = evalsig(x,'v_q1');
```

```
q1(q1<0.6) = 0;
```

```
q1(q1>=0.6) = 1;
```

```
q2 = evalsig(x,'v_q2');
```

```
q2(q2<0.6) = 0;
```

```
q2(q2>=0.6) = 1;
```

```
q3 = evalsig(x,'v_q3');
```

```
q3(q3<0.6) = 0;
```

```
q3(q3>=0.6) = 1;
```

```
q4 = evalsig(x,'v_q4');
```

```
q4(q4<0.6) = 0;
```

```
q4(q4>=0.6) = 1;
```

```
q5 = evalsig(x,'v_q5');
```

```
q5(q5<0.6) = 0;
```

```
q5(q5>=0.6) = 1;
```

```
q6 = evalsig(x,'v_q6');
```

```
q6(q6<0.6) = 0;
```

```
q6(q6>=0.6) = 1;
```

```

q7 = evalsig(x,'v_q7');
q7(q7<0.6) = 0;
q7(q7>=0.6) = 1;
result = [q0 q1 q2 q3 q4 q5 q6 q7];

results_decimal = bi2de(result,'right-msb'); %bin to decimal

% binariza o valor de v_sample (valores acima de 0 viram 1, para
% o valor obtido antes do sinal ser levantado não pegar um valor
% intermediario
vsample = evalsig(x, 'v_sample');
vsample(vsample>0) = 1;
vsample(1) = 1; %elimina o erro da onda introduzido pelo hspice (sinal de amostragem
inicia em 1.2, mas o spice marca 0)
results_pos = strfind(vsample', [0 1]); % posicoes da array onde a conversão está com seu
valor final

nsamp = 256;
slice = (0:1/(nsamp-1):1)*1.2;
a = [results_decimal(results_pos);254];

%para gerar um arquivo com as saídas tirar o comentario a seguir
%dlmwrite('c:\output_data.dat', [slice' a'],'delimiter','\t');

%gera os graficos
x = slice';
y = a;
z = [0:1.2/255:1.2];
g = z*(255)/1.2 + 1; %upper bound
h = z*(255)/1.2 -1; %lower bound
plot(x,y,'-',z,g,'-',z,h,'-')
axis([0 1.2 0 255]); %limita os eixos

```

APÊNDICE III – CÓDIGO MATLAB PARA A GERAÇÃO DE FONTES DE CORRENTE PARA INJEÇÃO DE FALHAS

```
% gera fontes de corrente para a injeção de falhas
```

```
format longG;
```

```
v1 = [0.1:100:25600]';
```

```
v1 = v1 + rand(256,1)*100;
```

```
v2 = v1 + 0.7;
```

```
strstart = num2str(v1);
```

```
strend = num2str(v2);
```

```
isetstr = repmat('Iset_', 256, 1);
```

```
isetnumber = strjust(num2str((1:256)'), 'left');
```

```
r_parens = repmat(')', 256, 1);
```

```
space = repmat(' ', 256, 1);
```

```
rise = repmat('10p', 256, 1);
```

```
fall = repmat('100p', 256, 1);
```

```
u = repmat('u', 256, 1);
```

%codigo comentado está deprecado... não é usado mais os nós de forma aleatória nas chaves.

%troco o sentido e os nós depois usando o Ctrl+H no notepad++

```
rand_node = randi(8,256,1) -1; % [0..7]
```

```
rand_src = randi(2,256,1) -1; %[0..1]
```

```
node_char = int2str(rand_node);
```

```
%node_char = int2str(repmat(7,256,1));
```

```
%node_char = [ repmat('N_C',size(node_char,1),size(node_char,2)) node_char]
```

%codigo comentado acima é utilizado para fazer a injeção individual em cada nó...

```

A = zeros(256,1);
A = int2str(A);
A = cellstr(A);
A(rand_src==1) = repmat({' 0 '}, size(A(rand_src==1),1), size(A(rand_src==1),2));
A(rand_src==0) = repmat({''}, size(A(rand_src==0),1), size(A(rand_src==0),2));

%A = repmat({' 0 '}, size(A))

B = zeros(256,1);
B = int2str(B);
B = cellstr(B);

B(rand_src==1) = repmat({''}, size(B(rand_src==1),1), size(B(rand_src==1),2));
B(rand_src==0) = repmat({' 0 '}, size(B(rand_src==0),1), size(B(rand_src==0),2));

%B = repmat({''}, size(B))

node = [char(A) node_char char(B)];
expstr = repmat(' EXP(0 2m ', 256, 1);

strfinal = [isetstr isetnumber node expstr strstart u space rise space strend u space fall
r_parens]
dlmwrite('faults.sp', strfinal,'delimiter','');

% =====
% circuito de controle

format longG;
v1 = [0.1:100:25600]';
v1 = v1 + rand(256,1)*100;
v2 = v1 + 0.7;
strstart = num2str(v1);
strend = num2str(v2);

```

```

isetstr = repmat('Iset_', 256, 1);
isetnumber = strjust(num2str((1:256)'), 'left');

r_parens = repmat(')', 256, 1);
space = repmat(' ', 256, 1);
rise = repmat('10p', 256, 1);
fall = repmat('200p', 256, 1);
u = repmat('u', 256, 1);

rand_node = randi(108, 256, 1); % [1..108]
rand_src = randi(2, 256, 1) - 1; % [0..1]
node_char = int2str(rand_node);
A = zeros(256, 1);
A = int2str(A);
A = cellstr(A);
A(rand_src==1) = repmat({' 0 '}, size(A(rand_src==1), 1), size(A(rand_src==1), 2));
A(rand_src==0) = repmat({' '}, size(A(rand_src==0), 1), size(A(rand_src==0), 2));

B = zeros(256, 1);
B = int2str(B);
B = cellstr(B);

B(rand_src==1) = repmat({' '}, size(B(rand_src==1), 1), size(B(rand_src==1), 2));
B(rand_src==0) = repmat({' 0 '}, size(B(rand_src==0), 1), size(B(rand_src==0), 2));

node = [char(A) node_char char(B)];
expstr = repmat(' EXP(0 2m ', 256, 1);

strfinal = [isetstr isetnumber node expstr strstart u space rise space strend u space fall
r_parens]
dlmwrite('fault_control.sp', strfinal, 'delimiter', '');

```

APÊNDICE IV – CÓDIGO MATLAB PARA A EXTRAÇÃO E ANÁLISE DOS RESULTADOS

```
M = dlmread('c:\results_faulty.dat', '\t')
```

```
N = dlmread('c:\results_faultfree.dat', '\t')
```

```
P = abs(M(:,2) - N(:,2))
```

```
% diferença utilizada para calcular o desvio normalizando
```

```
% os desvios causados por não linearidade
```

```
tabulate(O) %percentagem de cada regioao, incluindo desvio <= 1
```

```
O( O <= 1) = []
```

```
hist(O) / sum(hist(O)) * 100 %percentagem da localização dos erros
```

```
% codigo a seguir é usado para extrair os resultados do arquivo texto gerado
```

```
% observar que é necessário o arquivo da simulação de cada nó (ou de cada simulação  
aleatória)
```

```
%
```

```
format longG;
```

```
[~,b,c,~,~,f,~,h,~] = textread('c:\faults.sp', '%s %s %s %s %s %s %s %s %s', 'delimiter', '');
```

```
b = stprep(b,'N_C',");
```

```
c = stprep(c,'N_C',");
```

```
f = stprep(f,'u',");
```

```
h = stprep(h,'u',");
```

```
b = str2num(char(b));
```

```
c = str2num(char(c));
```

```
f = str2num(char(f));
```

```
h = str2num(char(h));
```

```
i = (0:100:25500)';
```

```
[O b-c (f-i)/10]
```

```
%contagem de bit flips
```

```
sum(de2bi(bitxor(M(:,2),N(:,2))),2)
```

```
[O b-c floor((f-i)/10)]
```

```
X = b-c
```

```
Y = floor((f-i)/10)
```

```
Z = sum(de2bi(bitxor(M(:,2),N(:,2))),2)
```

APÊNDICE V – SCRIPT PARA EXPANDIR SUBCIRCUITOS DO CONTROLE DO SPICE

```

% control_expander.ps1
% script desenvolvido em Windows PowerShell
% necessita o GNU SED

$o = 73
$p = 91
$r = 0;
for ($i=1; $i -lt 70; $i+=4){
    $r = $r + 1
    $s = $r + 1
    $t = $r + 2
    $u = $r + 3
    $v = $r + 4
    $w = $r + 5

    $k = $i + 1
    $l = $i + 2
    $m = $i + 3
    $n = $i + 4

    $output = & printf "xnand$r (b sn pn a) nand3\nxnand$s (a clk clrn sn) nand3\nxnand$t (sn
    clk b rn) nand3\nxnand$u (rn d clrn b) nand3\nxnand$v (sn qn pn q) nand3\nxnand$w (q rn
    clrn qn) nand3"
    $output = $output | sed "s/a/$i/"
    $output = $output | sed "s/(a/($i/"
    $output = $output | sed "s/sn/$k/"
    $output = $output | sed "s/ rn/ $l/"
    $output = $output | sed "s/(rn/($l/"
    $output = $output | sed "s/b/$m/"

```

```
$output = $output | sed "s/qn/$o/"  
$output = $output | sed "s/q/$p/"  
$output = $output  
$output >> file.txt  
$output2 = & printf "\n"  
$output2 >> file.txt  
$o+= 1  
$p+= 1  
$r = $r + 5  
}
```

APÊNDICE VI - PUBLICAÇÕES

Analysis of the Effects of Single Event Transients on an SAR-ADC based on Charge Redistribution

Alisson J. C. Lanot, Tiago R. Balen

Department of Electrical Engineering, PPGEE
Universidade Federal do Rio Grande do Sul – Porto Alegre – RS – Brazil
{alisson.lanot, tiago.balen}@ufrgs.br

Abstract—This work presents a study on the effects of Single Event Transients on SAR A/D converters based on charge redistribution. The effects of SETs are analyzed considering the worst-case pulses for the 130nm CMOS process. In this work, the fault injection is concentrated on the switches of the capacitor array of the studied converter. Preliminary results show that the transient effects may change the state of one or more bits of conversion. This is due the fact that the affected stage may propagate an incorrect value to the remainder of the conversion, leading to multiple bit errors on the converted data. Moreover, a SET occurring on the switch connected to the common node of the capacitors may lead to an incorrect behavior that cannot be attenuated with the increasing on the sizing of the transistors, which suggests that additional fault tolerance techniques may be needed.

Keywords—SAR; charge redistribution; SETs; transmission gate switches; Analog-to-Digital Converter.

I. INTRODUCTION

Successive Approximation Register (SAR) A/D (Analog to Digital) converters based on charge redistribution are frequently used when area and power consumption are the most important factors for the design of the converter on the integrated circuit [1]. SAR ADCs are sequential converters that take N clock cycles to convert an analog input into an N -bit digital representation. They are frequently chosen over flash ADCs for medium to high-resolution applications, since flash ADCs over 10 bits are not commercially viable [2]. Additionally, SAR ADCs usually present better speed of conversion than Sigma-Delta [3], though the latter reaches higher resolutions than the former.

The low power feature of this kind of converter may be a desired benefit to critical applications as satellite control, instrumentation systems, and wireless sensor networks, for example. These applications may be subjected to environmental interactions, such as radiation effects and electromagnetic interference, and, despite that, it is desirable that the embedded converters perform well in such conditions.

Another motivation to study this kind of converter is that it is commonly present in programmable commercially available mixed-signal platforms, such as PSoC5 [4], SmartFusion [5] and MSP430F6638 [6]. Such kind of programmable mixed-signal (MS) circuits offer characteristics like fast prototyping,

design flexibility and the reduction of the analog expertise level required from mixed-signal designers. For all these reasons, programmable analog and MS circuits have become an important platform to electronic systems design, including those oriented to critical applications, such as avionics and space systems, as well as nuclear and particle accelerator facilities.

It's well known that ionizing radiation may affect the state of electronic circuits. An important class of radiation effects on electronic circuits is known as Single Event Effects (SEE). They may cause transient or permanent errors. In particular, this work consists on the simulation and analysis of the effects caused by one particular case of SEE known as Single Event Transients (SET) on an SAR converter based on charge redistribution.

Transient effects may be caused by the collection of charges on reversed biased P-N junctions of the semiconductor after a heavy ion strike or indirect ionization. At electrical level, these effects generate current pulses that may affect the MOS transistors, which may change the expected behavior of the circuit.

The basic building block of this type of converter is the capacitor array controlled by a set of switches. The effects of transient faults on programmable capacitor arrays were first addressed in [7]. Experimental results on a commercial SoC containing an SAR ADC based on charge redistribution are addressed on [8], where the simulations to explain the behavior observed experimentally on this type of converter was firstly idealized.

In this work, we analyze the faults that may occur on the circuit due to the injection of an SET on the analog switches of the converter. This is due to the fact that once the switch changes its state, it may change the subsequent steps of conversion, causing the results to be incorrect.

Fault injection was performed by Spice simulations, modeling the SETs as current sources attached to the drain of the transistors, according to the model developed by Messenger [6]. The results of the conversion are analyzed considering the worst-case scenario for the width and height of the current pulse, considering a predictive technology model (PTM) of the 130nm node.

This paper is organized as follows: Section II describes the basic topology for the SAR converter based on charge

redistribution. Section III explains the fault injection methodology, while section IV shows the obtained results. Finally, conclusions are presented on Section V.

II. MODELING OF THE CHARGE REDISTRIBUTION SAR CONVERTER ADOPTED

The design addressed in this work consists of a conventional implementation of a single-ended input, 8-bit SAR based on charge redistribution. This topology comprises three main building blocks: the capacitor array (consisting of one capacitor per bit and one additional capacitor), the switches, and the comparator, as can be seen in Fig. 1.

Besides these blocks, the converter also comprises a digital control part, which is not shown, for the sake of clarity.

The capacitor array consists of binary-weighted values of capacitances, so that the circuit may function like a binary-search algorithm.

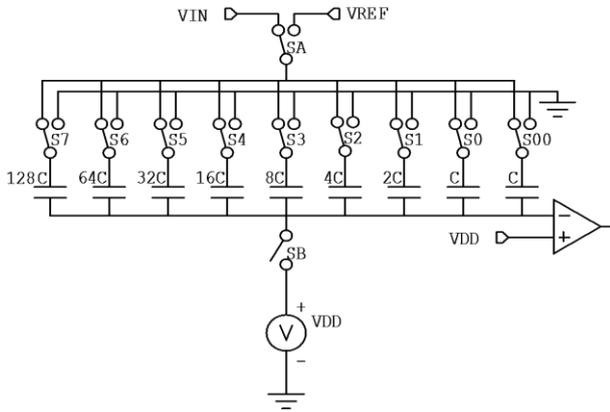


Fig. 1. Topology adopted for this work. The control logic is omitted for simplicity.

The design of the single-pole, double-throw (SPDT) switches (i.e. three-way switches) used in this topology consists of two transmission gates, with complementary signals as the control signal (Fig. 2). They act as complementary switches, that is, when one switch is on, the other switch is off. The single-pole, single-throw (SPST) switch (i.e. two-way switch) is implemented with a single NMOS switch.

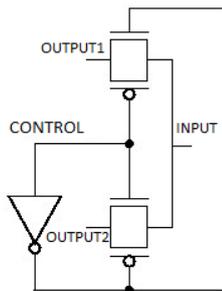


Fig. 2. Topology of the three-way switches

An adaptation of the classical algorithm presented in [9], which describes the converter working principle, is as follows:

1) *Sample* – This step consists on the sampling of the signal from the input. This happens when the switch SA is connected to V_{IN} , switch SB is open, and switches S7 through S00 are connected to the bus. The equivalent capacitor array will then retain a charge proportional to the input.

2) *Hold* –When the signal is sampled, it needs to be retained. The switch SB is closed, and switches S7 through S00 are connected to ground. The bottom-plate Sample & Hold circuit contained in this circuit, as presented in [9] suggests that the voltage at the bottom plates of the capacitors (common node of all capacitors) are held at the negative input of the comparator, according to Eq. (1).

$$V_{\text{comp-}} = -V_{\text{in}} \quad (1)$$

In particular, when MOS switches are used, a negative voltage between the node and ground might turn the transistor back on, so we keep the voltage always positive pre-charging the common node of the capacitors with V_{DD} . The voltage V_{DD} is added at this stage (Hold), and isn't subtracted afterwards, since the switch SB is closed and it doesn't open on the subsequent steps. The voltage V_{DD} is cancelled from this node only at the output of the comparator by comparing the held voltage to V_{DD} instead of 0V (ground), since $V_{\text{comp+}} = V_{DD}$. Therefore, the voltage of the negative input of the comparator for this work is expressed on Eq. (2).

$$V_{\text{comp-}} = V_{DD} - V_{\text{in}} \quad (2)$$

3) *Charge Redistribution* –The conversion itself starts at this step. The switch S7 is connected to the bus and the switch SA is connected to the full-scale range of the converter, denoted by V_{REF} , which is usually equal to V_{DD} . A capacitance divider is formed between C7 and the equivalent capacitance of the remaining capacitors that are in parallel (C6 through C00). This causes a value of $V_{REF}/2$ to appear at the negative input of the comparator added to the previous value of $V_{DD} - V_{in}$. The comparator will output a “high” value if $V_{in} > V_{REF}/2$, that is, if the MSB is “1”. If the output is “low”, the switch S7 is connected to ground, otherwise it is kept connected to the bus. This procedure follows with a comparison of each bit from S6 through S0.

For the current setup, the circuit that is simulated in this work comprises a unit capacitance of 12fF (i.e. the smaller capacitor). The switches built with MOS transistors use dimensions of $(W/L)_n = 260\text{nm}/130\text{nm}$ (ratio of 2/1) and $(W/L)_p = 520\text{nm}/130\text{nm}$ (ratio of 4/1) as well for the inverters used to obtain the complementary signals for the transmission gates.

In this work, the model used was the Predictive Technology Model (PTM) from Arizona State University [10]. In particular, we used the 130nm BSIM3v3model for Bulk CMOS.

III. FAULT INJECTION

SETs were modeled as current sources using the double-exponential model developed by Messenger [11]. This method is used to perform the simulation of the effect of a collision between an ionizing particle and the MOS transistor. This effect may be simulated with the attachment of a current source between the drain of a transistor and ground on a sensitive node of the circuit when the drain junction of the transistor is reversely biased. This condition presents two situations: a pulse causing a “0-1-0” transition and a pulse causing an “1-0-1” transition depending on the condition of the transmission gate (ON or OFF) and the voltage between its terminals.

Fig. 3 shows the topology of the circuit adapted with the current source on the node of the S7 switch. The terminals of the current source will determine the type of transition of the SET (0-1-0 or 1-0-1).

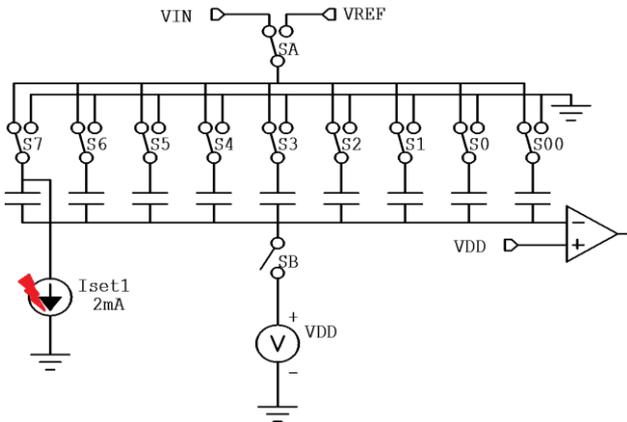


Fig. 3. Representation of the SET current pulse on the circuit on the switch S7.

The method developed by Messenger consists on an analytical representation of a current pulse generated by an ion strike on the silicon as follows:

$$I(t) = I_0 (e^{-t/\tau_1} - e^{-t/\tau_2}) \quad (3)$$

The transient pulse modeled by Eq. (3) is governed by two exponentials, where the first one is dependent on the value of τ_1 (collection-time constant of the junction) and the second one is dependent of the value of τ_2 (ion-track establishment time constant). The parameter I_0 controls the peak current that is reached due the collision. The double exponential model can be modeled either on voltage or on current on SPICE using the command EXP.

The worst-case parameters for the SET pulse for 130nm technologies were measured experimentally in [12, 13]. The considered peak value of the SET is 2mA, as measured in [12] and the current pulse has a worst-case width of 700ps, as measured in [13]. It is important to use these values, because they are measured experimentally, providing the designers a way to prepare circuits of this technology node for harsh environments. The measurements usually differ between

different technologies. We use t_{rise} of 10ps and t_{fall} of 200ps, as suggested in [14]. For this experiment, only the worst-case pulse width is tested. That is because the objective of this work is to get a better understanding on how the circuit will behave on extreme situations. Future works may include the study of shorter pulse widths, and shorter peak values – since the pulse width and the transient current peak may vary – to analyze a more realistic day-to-day scenario for this type of converter.

The effect of the pulse width is dependent of two main factors: the state of the transistor at the time the strike takes place, as well as the transistor sizing [14]. Another aspect to observe is that a wider pulse is created when a collision with an NMOS transistor occurs, since the collection depth of NMOS is bigger than PMOS, and, since usually we have a bigger drain area on the PMOS transistors, the effect on NMOS may be more prominent [15].

Fig. 4 shows the schematic of the equivalent circuit of the circuit on a redistribution stage with the proper connections to the transmission gates.

The switches chosen to be tested on this experiment were SA and SB; two switches from the MSBs (S7 and S5) and two switches from the LSBs (S4 and S2). The control signals for the switches were individually monitored to check for the appropriate transition to be injected (0-1-0 or 1-0-1).

On the first experiment, tests were conducted considering small switches ($(W/L)_n = 260nm/130nm$ (ratio of 2/1) and $(W/L)_p = 520nm/130nm$ (ratio of 4/1). Then, the gate length of the transistors was systematically increased, according to the corresponding effect observed on the negative input and the output of the comparator.

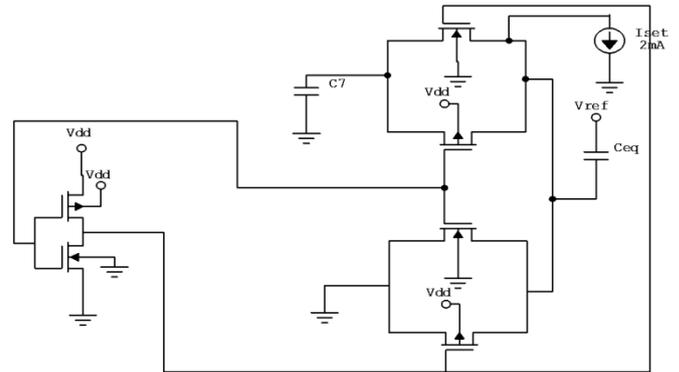


Fig. 4. Schematic of the equivalent circuit of the capacitor divider for the experiment.

IV. RESULTS

The first experiment was conducted with faults being injected on the switch attached to the bottom plates of the capacitors (SB). Fig. 5 shows the signal of the input of the comparator when the SET occurs on the switch SB. The leftmost part of the image shows the input of the comparator when both signals overlap. The rightmost part of the image shows the error due the SET. It is clear to see that when the SET occurs, the subsequent stages of conversion fail.

It is important to observe that the signal affected by an SET on a SPICE simulation may exceed V_{DD} , since there's no way to relate the amplitude of the current modelled by Messenger's method to the voltage of the node on SPICE.

It was possible to observe that when the current pulse occurs on the switch SB, increasing the size of the switch will not cause any improvements against the SET effect, that is, the

effect persists throughout all stages, propagating a wrong result to all posterior steps of the affected stage. This occurs because the voltage held on the bottom plate of the capacitors is leaked to ground.

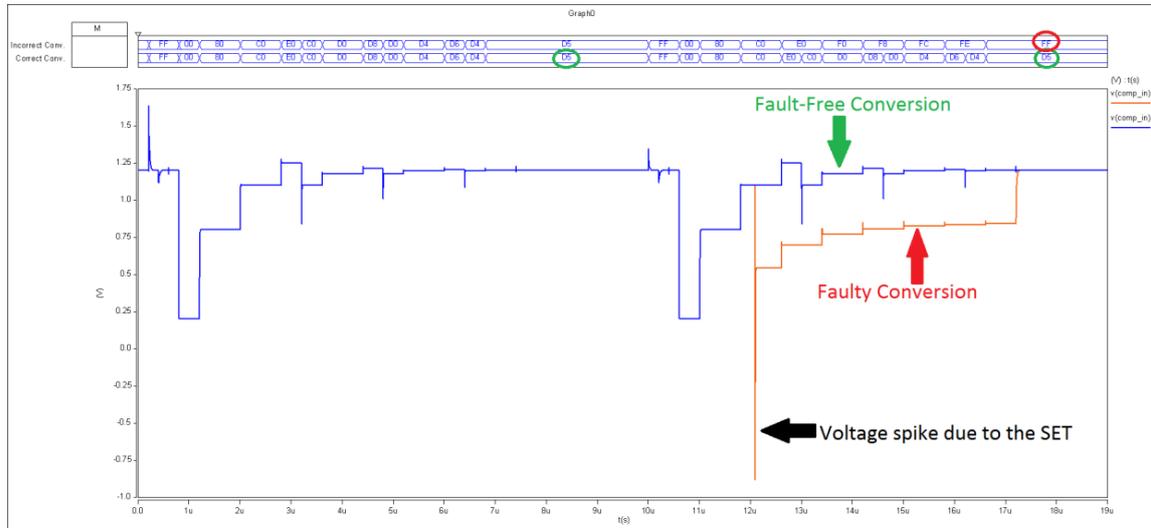


Fig. 5. Voltage at the comparator input showing an error caused due the change of state on switch SB.

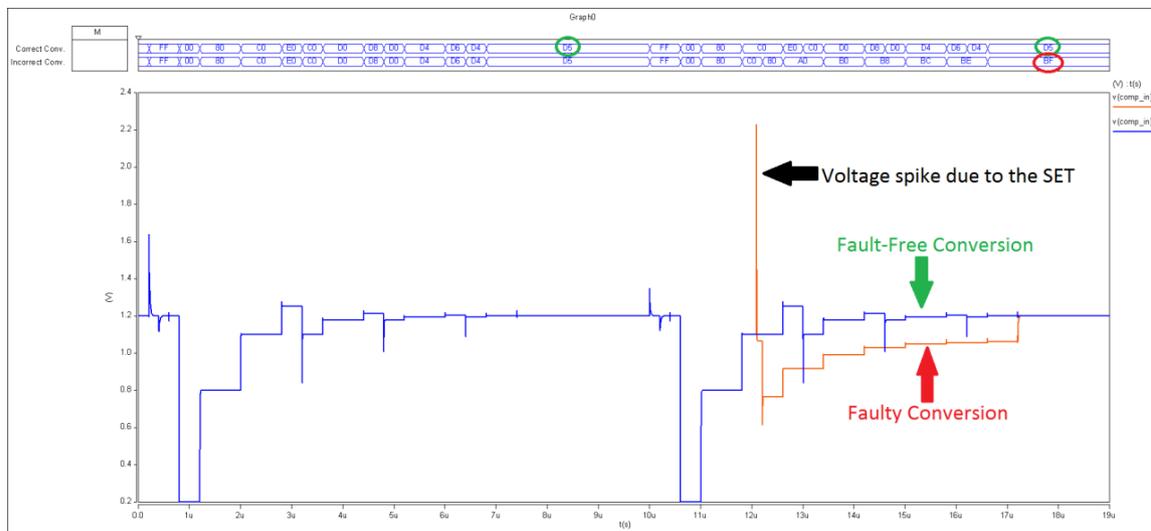


Fig. 6. Voltage at the comparator input showing an error caused due the change of state on switch S7.

Another experiment was conducted considering the switch S7. Fig. 6 shows the signal of the input of the comparator for an SET on the switch S7. Fig. 7 shows a zoomed window of the SET perceived at the input of the comparator.

Contrary to the switch SB, the effect is attenuated when the width of the switch is increased. The effect of the SET persist to cause a change of value on the results when the transistor sizing is increased up to $(W/L)_n = 39\mu\text{m}/130\text{nm}$ (ratio of 300/1) and $(W/L)_p = 78\mu\text{m}/130\text{nm}$ (ratio of 600/1). It's

important to observe that the transistors of the switches of the LSBs cannot have such large widths, because it would insert intolerable parasitic capacitance to the array, leading to misbalance on the charge redistribution step, and consequently, wrong converted results at the output.

Two additional experiments were conducted: a current pulse was attached to an LSB switch (S4) at an earlier stage of conversion (i.e. when the conversion was being performed on the MSB bit). The transient observed on the bus did not cause

any change on the conversion. This is due the fact that an LSB add a small fraction of voltage compared with the bus voltage on an earlier stage of conversion.

The second experiment on the switch S4 consists of applying a current pulse on the stage of conversion of the same bit. The same effect in switch S7 was observed on the switch S4. The images for the simulations comprising similar results presented earlier are omitted for the sake of simplicity.

As stated earlier, increasing the size of a LSB switch will give wrong results at the output. Redundancy techniques may be used to address this issue.

Another important factor that was possible to observe is that, since the SAR is a sequential converter, the earlier the SET occurs on the conversion, the higher will be the probability of more bits of the result with an incorrect value. This is because more steps of conversion will be affected due to an incorrect value at the negative input of the comparator.

Future works will consider a random effect (i.e. a SET on a random node and random stage of conversion) of SETs on the circuit, as well as the use of redundancy to mitigate the failures on this type of converter.

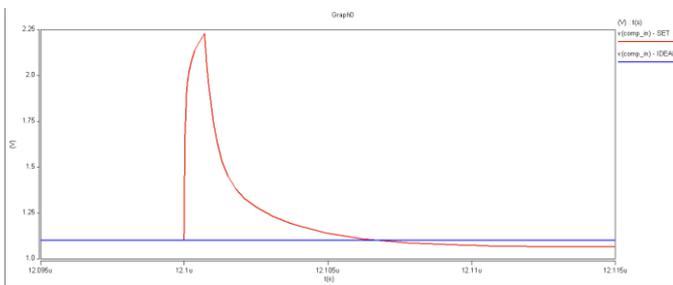


Fig. 7. A zoomed window of the SET due the change of state on switch S7.

V. CONCLUSION

In this work, the effects of transient faults on SAR converters based on charge redistribution were analyzed. Four main conclusions were observed.

The switches attached to the top plates of the capacitors are affected mainly when the transistors are sized with a small width. Once the pulse occurs, all the subsequent steps of conversion fail to recover.

If a switch from the LSBs is switched to the bus due to a current pulse on an early stage of conversion (i.e. when the converter is performing a conversion on the MSBs), the effect will not cause the converter to give wrong results at the output.

An SET affecting the switch SB has high impact on the results of the converter, since increasing the width of the switch will not cause the mitigation of the problem. This problem may be mitigated using fault tolerance techniques, such as redundancy of the switches.

Multiple bit errors may occur on the digital output of the converter. This effect happens mainly when the SET affects an early stage of the conversion. Due to the sequential nature of operation of this type of converter, whenever a SET occurs on an early stage of conversion, there is a probability that more than one bit of the latter stages will be incorrect. This conclusion is coherent with the results measured experimentally on the literature.

ACKNOWLEDGMENT

We gratefully acknowledge the financial support from Coordenação de Aperfeiçoamento de Pessoal de Nível Superior (CAPES) and Fundação de Amparo à Pesquisa do Estado do Rio Grande do Sul (FAPERGS), Brazil.

REFERENCES

- [1] Scott, M.D.; Boser, B.E.; Pister, K.S.J., "An ultralow-energy ADC for Smart Dust", **IEEE Journal of Solid-State Circuits**, vol.38, no.7, pp.1123-1129, July 2003
- [2] MAXIM Integrated. "Understanding SAR ADCs: Their Architecture and Comparison with Other ADCs". Oct. 2001. <Available at: <http://www.maximintegrated.com/app-notes/index.mvp/id/1080>>
- [3] SISHA, A.; HE, M. "Golden Gloves ADC Championship Match – SAR vs. Sigma-Delta", Cypress Corp. April 2010. <Available at: <http://www.cypress.com/?docID=22143>>
- [4] CYPRESS. "Cypress Perform. CY8C52 Family: datasheet", 2012. <Available at: www.cypress.com>.
- [5] ACTEL. "SmartFusion cSoC Handbook: datasheet". 2012. <Available at: <http://www.actel.com/products/smartfusion/>>.
- [6] TEXAS. "MSP430F663x Mixed Signal Microcontroller". 2012. <Available at: <http://www.ti.com/product/msp430f6638>>.
- [7] BALEN, T. R. et al. "Investigating the Effects of Transient Faults in Programmable Capacitor Arrays", **2011 12th Latin American Test Workshop (LATW)**, pp.1-6, 27-30 March 2011.
- [8] TAMBARA, L.; et al., "Neutron-induced single event effects analysis in a SAR-ADC architecture embedded in a mixed-signal SoC," **2013 IEEE Computer Society Annual Symposium on VLSI (ISVLSI)**, pp.188-193, 5-7 Aug. 2013
- [9] KUGELSTADT, T. "The operation of the SAR-ADC based on charge redistribution". Texas Instruments. Feb. 2000. <Available at: <http://www.ti.com/lit/an/slyt176/slyt176.pdf>>
- [10] Nanoscale Integration and Modeling Group (2012). "130nm BSIM3 Model card for Bulk CMOS". <Available at: <http://ptm.asu.edu>>.
- [11] MESSENGER, G. C., "Collection of charge on junction nodes from ion tracks", **IEEE Transactions on Nuclear Science**, Snowmass Village, v. 29, n. 6, p. 2024-2031, Dec. 1982.
- [12] FERLET-CAVROIS, V. et al., "Statistical Analysis of the Charge Collected in SOI and Bulk Devices Under Heavy Ion and Proton Irradiation—Implications for Digital SETs", **IEEE Transactions on Nuclear Science**, vol.53, no.6, pp.3242-3252, Dec. 2006.
- [13] NARASIMHAM, B. et al., "Characterization of Digital Single Event Transient Pulse-Widths in 130-nm and 90-nm CMOS Technologies", **IEEE Transactions on Nuclear Science**, vol.54, no.6, pp.2506-2511, Dec. 2007.
- [14] MAVIS, D.G.; EATON, P.H., "SEU and SET Modeling and Mitigation in Deep Submicron Technologies", **45th annual. IEEE International Reliability physics symposium, 2007. proceedings.**, pp.293-305, 15-19 April 2007.
- [15] LIMBRICK, D. B.; ROBINSON, W. H., "Characterizing Single Event Transient Pulse Widths in an Open-Source Cell Library Using SPICE", **IEEE Workshop on Silicon Errors in Logic–System Effects**, March 2012.

Reliability Analysis of a 130nm Charge Redistribution SAR ADC under Single Event Effects

A. J. C. Lanot and T. R. Balen
Universidade Federal Do Rio Grande do Sul
Department of Electrical Engineering – DELET
Graduate Program in Electrical Engineering – PPGEE
{alisson.lanot, tiago.balen}@ufrgs.br

ABSTRACT

Successive Approximation Register (SAR) converters based on charge redistribution are often present in embedded mixed-signal systems. Previous works have shown that this topology is prone to errors on the conversion, caused by Single Event Transients (SET), when exposed to ionizing radiation. Such errors can propagate to the subsequent steps of conversion, leading to multiple bit errors on the converted data. In this work, the effects of SETs on the analog switches and on the digital control logic of a charge redistribution SAR A/D converter are analyzed. A fault injection framework was developed in a way that faults are randomly injected, by means of spice simulations, considering a 130nm CMOS technology. This way, the behavior of the converter under single event effects can be predicted, and the most vulnerable circuit nodes can be identified.

Categories and Subject Descriptors

B.8.1 [Performance and Reliability]: Reliability, Testing and Fault-Tolerance.

General Terms

Your general terms must be any of the following 16 designated terms: Algorithms, Reliability.

Keywords

Analog-To-Digital Converters; Successive Approximation; Fault Injection; Single Event Transients.

1. INTRODUCTION

The choice of an appropriate data converter by the designer is usually made considering factors like power consumption, area, resolution and conversion speed. Successive-Approximation-Register (SAR) ADCs are one of the most popular topologies used in integrated circuits because it presents a good compromise among these features. Though not suitable for designs requiring a very high resolution, it has low power consumption, low area, and good conversion speed [1].

This kind of converter is present on several commercially available programmable mixed-signal platforms, such as PSoC5 [2], SmartFusion [3] and MSP430F6638 [4]. An interesting feature of these platforms is that they allow fast prototyping and the ability of reconfiguration of the implemented circuit, which is desirable for applications to be deployed on harsh environments and controlled

Permission to make digital or hard copies of all or part of this work for personal or classroom use is granted without fee provided that copies are not made or distributed for profit or commercial advantage and that copies bear this notice and the full citation on the first page. Copyrights for components of this work owned by others than ACM must be honored. Abstracting with credit is permitted. To copy otherwise, or republish, to post on servers or to redistribute to lists, requires prior specific permission and/or a fee. Request permissions from Permissions@acm.org.
SBCCI '14, September 01 - 05 2014, Aracaju, Brazil
Copyright 2014 ACM 978-1-4503-3156-2/14/09...\$15.00.
<http://dx.doi.org/10.1145/2660540.2660985>

in a remote location, where on-site troubleshooting is not usually possible.

One example of such harsh operation conditions are applications susceptible to ionizing radiation. If an ionizing particle collides with one or more transistors of the converter, a transient effect may occur and a change on one or more output bits may take place. These effects, known as Single Event Transients (SETs) are caused by the collection of charges on reverse biased P-N junctions of the semiconductor after a heavy ion strike or indirect ionization [5]. At electrical level, these effects generate current pulses that may affect the MOS transistors, which may change the expected behavior of the circuit.

This work presents an investigation of these transient effects on SAR ADCs. The proposed analysis consists of a fault injection methodology on the sensitive nodes of the analog switches, as well as the control logic, at different time periods. Along with the fault injection, an automated technique for such analysis is necessary. This technique allows to inject a large number of faults in the circuit, so the most sensitive nodes of such converters to transient effects can be identified. Radiation-hardened techniques may then be proposed to allow these converters to operate with lower failure rates.

This paper is organized as follows: Section II describes the building blocks and working principle of a charge redistribution SAR. Section III presents an overview of the radiation effects on integrated circuits. Sections IV and V describe the fault injection technique used in SPICE simulations and further details of the sensitive nodes of analog switches. Section VI explains the methodology employed in this work, while section VII and VIII outline the results, discussions and conclusions..

2. CHARGE REDISTRIBUTION SAR ADCS

The classical circuit of charge redistribution ADCs was proposed by McCreary and Grey [6] in 1975. Since then, it became one of the most popular circuits for ADCs targeted to applications that require low silicon area and low power consumption. This circuit is outlined below:

2.1 Main architecture

The circuit of the charge redistribution SAR ADC consists of four main blocks: The capacitor array, the comparator, the switches, and the control logic for the switches.

The capacitor array consists of N capacitors designed in a binary-weighted fashion. They are designed in a way that each additional bit requires an additional capacitor, which doubles the overall capacitance of the circuit. This approach may limit the implementation of this topology for high-resolution converters. The design of binary-weighted capacitors then requires a total

capacitance of $2C$, where C is the capacitance associated with the most significant bit. An additional unit capacitor is added to the circuit for signal completeness. The schematic of the converter is shown on Fig. 1.

2.2 Mechanism of conversion

The conversion is performed through a series of comparisons of the input signal with quantization levels generated by the reference voltage due to capacitive dividers formed by the switching scheme, converging to an equivalent digital representation.

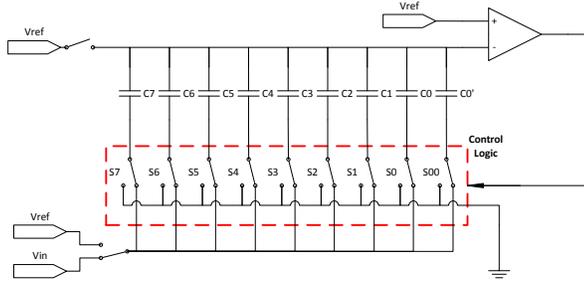


Figure 1. Conventional Successive Approximation ADC.

A comparison of the signal to these values are performed on a comparator, which will output “HIGH” if the input voltage is higher than the weighted reference voltage, or “LOW” otherwise. This allows the convergence to the digital output. The control logic then implements the algorithm that performs the correct switching scheme for the circuit.

The algorithm of conversion for the SAR converter is outlined below:

- 1) Sample & Hold – The operation of the circuit starts when the parallel association of all capacitors is charged to a value equivalent to the input voltage ($Q = -2C \times V_{IN}$). This requires that all switches connected to the bottom of the capacitors must be switched to the common bus, which is connected to V_{IN} . When the sampling signal (i.e. the signal that resets the control logic) turns to zero, the switch common to the top plates of the capacitors is closed and the switches of the bottom plate of each capacitor is connected to ground. An equivalent voltage of $V_{REF} - V_{IN}$ is then stored at the top plates of the capacitors.
- 2) Charge Redistribution – The first step of conversion consist on turning the V_{IN}/V_{REF} switch to V_{REF} and the switch associated with the most significant bit (MSB) – in this case, switch $S7$ – to the common bus. This generates a capacitive divider between the capacitor $C7$ and the parallel association of $C6 \dots C0'$. Due to the binary-weighted nature of the converter, a capacitive divider between two equal capacitances is obtained. This allows an

equivalent voltage of $V_{REF}/2$ to be added to the voltage on the common node.

A comparison is then performed between V_{REF} and $V_{REF} - V_{IN} + V_{REF}/2$. If $V_{IN} > V_{REF}/2$, the comparator will output a “HIGH” value, which indicates that the MSB is “1”. This output controls the switching scheme for the next step of conversion.

A “HIGH” value on the output then connect switch $S6$ to bus, and keep $S7$ connected to the bus. This operation indicates that if the analog input is higher than the midscale, it needs to be compared to a value in between of $V_{REF}/2$ and V_{REF} . A “LOW” value will connect $S6$ to the bus, and will switch $S7$ to GND, which indicates that the next value of the conversion is in between of 0 and $V_{REF}/2$. The equivalent capacitive divider for both situations is depicted in Fig.2.

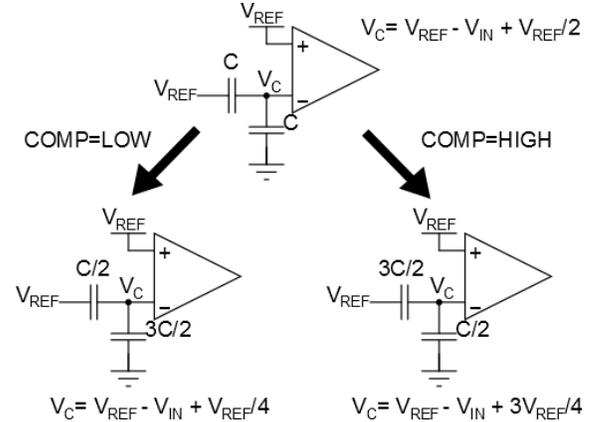


Figure 2. Possible capacitive dividers for the second stage of conversion.

2.3 Control Logic

The control logic circuit is necessary to perform the binary search algorithm to find the quantization level that matches the analog input.

The classical design on the literature is proposed by Anderson [7]. Though presented in 1972, this circuit is still widely used. The circuit is shown on Fig.3 for an 8-bit converter. This circuit is summarized as follows: The top circuit on the figure is a shift register that propagates a high state (logical “1”) from the first flip-flop to the last. Each clock cycle will have one flip-flop with a “HIGH” output. The output of each flip-flop enables the bottom circuit, known as “code register”, updating the correspondent flip-flop, according to the output of the comparator. The outputs of the code register flip-flops act as the control signals for the analog switches. The code register value at the end of each conversion cycle represents the digital converted word.

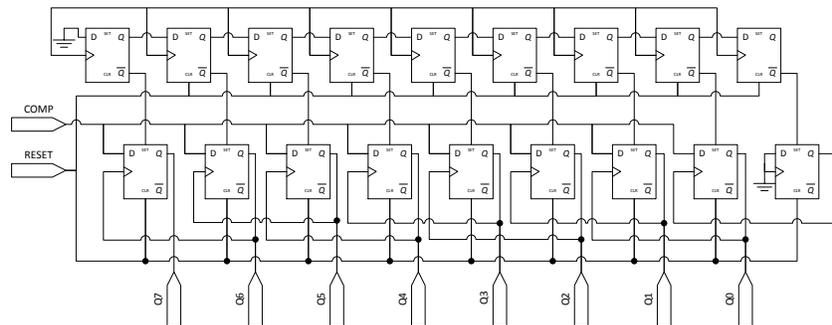


Figure 3. SAR Digital Control Logic proposed by Anderson [7].

This circuit, however, was proposed to SAR converters with an external sample & hold circuit. Additional logic needs to be provided to generate the signals for the built-in S&H circuit.

In the literature, usual approaches to simulate the control circuit employ a hybrid of SPICE and VHDL simulation. Unfortunately, VHDL does not provide mechanisms to analyze faults at electrical level. The circuit designed in this work is fully modeled on SPICE, so that faults can be injected in all nodes.

3. RADIATION EFFECTS ON INTEGRATED CIRCUITS

The interaction of ionizing radiation with silicon is known today to be one of the main sources of errors on integrated circuits. As a result of these interactions, electronic circuits may be subjected to permanent or transient faults after a long time exposure to radiation environments (Total Ionizing Dose – TID), or a collision caused by an ionizing particle and the silicon (Single Event Effects – SEE).

Silicon exposure to radiation may be due to a variety of sources, which may occur in space or even at sea level. Examples of these sources are cosmic rays, particle accelerators (such as the Large Hadron Collider [8]), nuclear reactors, and even the packaging of integrated circuits. Errors caused by SEEs became much more frequent with the scaling of technology. This occurs because the VLSI technology allowed reduced power supply voltages and reduced sizing of the transistors, and as consequence, the circuit requires less amount of charge to transit between one logical state to another. As a result, SEEs then became the primary source of soft errors on submicron technologies.

In this context, due to the necessity of acquiring data from radiation susceptible environments, the correct operation of data converters must be guaranteed. Experimental data of SEEs on an SAR converter based on charge redistribution was already reported on the literature [9]. Therefore, a comprehensive study of the faults caused by SEE on such converters must be considered, in order to allow appropriate radiation-hardening techniques to be proposed. In this context, a fault injection methodology for data converters modeled in SPICE must be employed, since traditional techniques presented on the literature [8] [10] [11] are targeted to application-level domains, which hides further details inherent to the data converter's architecture.

4. SPICE SIMULATION OF SINGLE EVENT TRANSIENTS

Several approaches are used to simulate the occurrence of soft errors on integrated circuits. Strategies like software-level fault injection, for example, may present an idea of how a circuit will behave, though the problem is usually oversimplified, since it is difficult to describe all the non-idealities inherent to the integrated circuit, providing only a rough estimate of the problem.

The use of circuit simulators may give a better understanding of the behavior of the system under soft errors. Though usually slower, several strategies are developed to speed up the process, such as imposing restrictions to the problem, like for example, performing the simulation of the blocks separately, using ideal components or employing mixed-mode simulation.

The most precise way to analyze the effects of radiation on integrated circuits known today consists on using TCAD simulators that support the 3D modeling of the interaction between the transistors and the ionizing particle in the moment of the collision. Such strategy, though precise, is not usually used to simulate large circuits, due to the time-consuming employed models.

A good trade-off between these two approaches is to use a SPICE simulator. One possible fault injection mechanism in SPICE to simulate soft errors caused by Single Event Transients on the circuit is to use the double-exponential model proposed by Messenger [12]. This model consists of an analytical representation of the waveform resulting from the collision between an ionizing particle and the sensitive regions of the transistor, as follows

$$I(t) = I_0 (\exp(-t/\tau_F) - \exp(-t/\tau_R)) \quad (1)$$

The parameter I_0 is the peak current amplitude of the pulse caused by the collision; τ_R is the time-constant related to the ion-track establishment on the semiconductor and τ_F is the collection time-constant of the junction [12]. Both parameters are dependent of the technology and fabrication process. For simulation purposes, a fast τ_R and a slow τ_F are used. For the 130nm technology, the worst case parameters reported on the literature for simulations which characterize the pulse waveform are $\tau_R = 5ps$ and $\tau_F = 100ps$ [13]. Experimental results for the 130nm technology show that the pulse currents originated by SETs have a worst case of 700ps for the pulse width [14] and a peak current amplitude of 2mA [15]. These values are used as parameters on the fault injection performed in this work.

5. TRANSIENT FAULT MECHANISM IN CMOS SWITCHES

For an SAR converter, switches must be implemented as MOS switches, since we have analog values on its terminals. This can be performed by using a PMOS transistor, a NMOS transistor, or a parallel combination of both (transmission gate). Using an individual transistor may introduce an error if the voltage to be switched is below the threshold voltage (V_T) of the transistor, as well as errors introduced by the input voltage dependence of the switch ON resistance.

A transient pulse caused by a Single Event Transient may change the state of a transmission gate of the circuit. Upsets in transmission gate based flip-flops have been studied on the literature [13]. In the context of Single Event Effects, the occurrence of upsets on analog switches, in particular to data converters is not well explored. Previous studies conducted by our group showed that the occurrence of a fault on switches may cause a misbalance on capacitor arrays [16]. Furthermore, we explored this issue on data converters, which showed that faults on the switches may cause single or multiple bit errors on the digital output of the circuit [17].

A node of the circuit is called sensitive if the affected transistor contains reversed-biased P-N junctions, since this condition allows the junction to collect charge generated by ionizing radiation. Fig.4 shows the circuit of the transmission gate with its intrinsic diodes, for a better understanding of the phenomena.

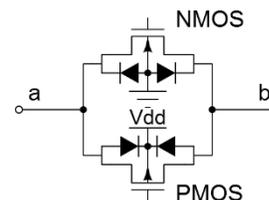


Figure 4. Transmission gate with its intrinsic diodes.

A reverse-biasing condition may occur when the transmission gate is either closed (i.e. the voltage between nodes A and B is negligible), or open, depending on the voltage of nodes a and b . Two situations are possible for faults to be injected: electrons collected into the drain of the NMOS transistor or a discharge of electrons from the PMOS transistor to ground. These situations are

summarized on Fig.5. The arrows show the path for the real current flow, while the current sources indicate the conventional current flow path.

Due to the physical symmetry of MOS transistors, the drain and source terminals are defined according to the voltages on their terminals. If $V_{ab} > 0$, the drain is located at node a, otherwise, it's located at node b. For this experiment, the drain is located at the same node because the potential is always higher on the common node during the redistribution phase (since $V_{REF} = V_{DD}$ for these experiments).

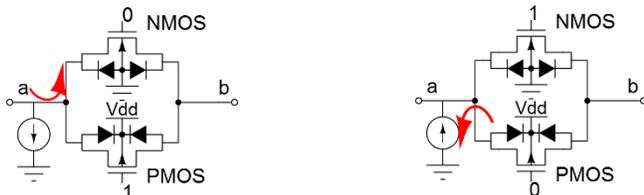


Figure 5. Fault injection scheme for NMOS (left) and PMOS (right).

6. EXPERIMENTAL SETUP

The simulations were conducted using a 130nm Predictive Technology Model (PTM) [18]. Despite the fact that such models are used mainly for academic and behavior prediction purposes, they present a good approximation of commercial process parameters. Furthermore, in our experiments, simulations using PTM was shown to be five times faster than using commercial technology models.

6.1 Analog Switches

The switches are designed using transmission gates for the connection between the input signal (or the reference voltage) and the bottom plates of the capacitors, and NMOS switches connected between the bottom plates of the capacitors and ground. A switch to GND does not need a transmission gate, since it is only used to perform the discharge of the capacitors. The simplified schematic of the switch is shown in Fig.6.

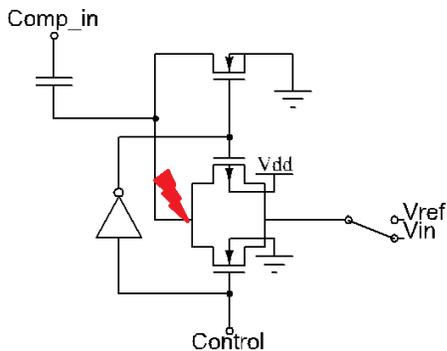


Figure 6. Circuit of the switch used for the experiment and its connections

It is important to observe that, in the considered design, the inverted control signal (Fig. 6) is obtained directly from the flip-flop output (Fig. 3).

We chose the converter input as a linear ramp so that all the quantization levels are tested. A current source is generated for all quantization levels (in this case, 256 levels), so that a full conversion will have 256 injected faults. A SPICE simulation of the conversion for the 256 quantization levels was performed for each node on random periods of time. We performed the simulations for

each sensitive node (i.e. drains of the switches S7 down to S0), so that we have a total of 4096 faults injected (2048 for PMOS and 2048 for NMOS transistors).

A true random implementation of faults, that is, the analysis of the effects on the rising edges, falling edges and stable states on all nodes separately, would require intensive computational resources. Therefore, we developed a simplified fault injection methodology that may be similar to a realistic scenario. Since we simulate a conversion for all output bits and all quantization levels of the circuit, we do not need to choose randomly what node to inject the fault. Our variable then becomes only time.

The generation of faults is described by the algorithm shown below. Our setup consists of $N=8$ bits, but it can be generalized as follows:

Algorithm 1 Fault Injection

```

input  $N, \tau_F, \tau_R, I_o,$ 
for each switch do
    Write a spice file with  $2^N$  current sources containing SET parameters
end for
for each generated current source do
    Choose a random time window for the occurrence of the SET in a way that one SET is injected for each converted analog input
    Choose either a PMOS or NMOS transistor for the fault injection
end for

```

The use of $2N$ current sources allow to perform the fault injection on the conversion for all the quantization levels ($2N$) using the current sources generated by the algorithm explained above. A fault-free conversion is also necessary so that the comparison is performed to the converter with its intrinsic non-idealities.

There is a signal that controls the sampling/charge redistribution called V_{sample} , in a similar way than an End of Conversion (EOC) signal. This signal is used to indicate when a new conversion starts. The extraction of the results consists of the following algorithm:

Algorithm 2 Extraction of the results

```

Input  $V_{sample}$  for the fault-free and faulty simulations, signals  $q_0$  up to  $q_N$  for the fault-free and faulty simulations
begin
for each sample signal do
    Find all  $0 \rightarrow 1$  transitions for all sample signals
end for
for each output node ( $q_0 \dots q_N$ ) do
    Save the values of all bits at the time of its respective sample signal  $0 \rightarrow 1$  transition.
    Count the bit-flips (directly from the strike and indirectly from the strike of other bits) comparing with the node of the fault free simulation.
end for
end

```

Though an output signal corresponds to a digital value, the circuit simulator outputs the signal as an analog value of the corresponding state (GND for logic LOW and VDD for logic HIGH), as well as intermediate values. Therefore, the signals must be discretized. A MATLAB code is developed to convert these values to a digital equivalent. For our simulations, it was used 0.6V as the threshold between LOW and HIGH states.

An issue that must be observed is that the discretization of the sample signals for each faulty simulation is required, since the

number of samples generated in SPICE for faulty conversions is changed due to the waveform introduced by the transient pulse.

6.2 Digital Control Logic

Each D-Type Flip-Flop contains both asynchronous SET and RESET control signals and is triggered by the rising edge of clock. An implementation of this flip-flop requires a total of 6 NAND3 gates.

The simulation on the digital control consists of injecting faults randomly on the sensitive nodes of the flip-flops. These nodes are located on the NAND gates of the flip-flops, as shown in Fig.7. It is important to mention that sensitivity of these nodes to SETs are dependent of the NAND input pattern.

We performed 2560 conversions (10 conversions of the input ramp for all quantization levels of an 8-bit converter). For the current setup, the circuit that is simulated in this work comprises a unit capacitance of 48fF (i.e. the smaller capacitor of the array). The switches built with MOS transistors use dimensions of (W/L)_N = 520nm/130nm (ratio of 4/1) and (W/L)_P = 1040nm/130nm (ratio of 8/1).

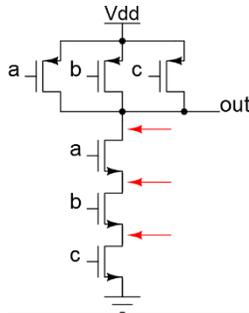


Figure 7. Sensitive nodes for the 3-input NAND gate.

7. RESULTS AND DISCUSSIONS

The results of fault injection on the analog switches are outlined on Table I and II. For each switch, a total of 256 simulations were performed. It can be observed that there is a pattern on the results. As reported on our previous reports, a turn-on of a switch of the 4 MSBs portion causes a significant increase of the amount of charge stored in the common node. This situation may lead to multiple bit errors on the converter. This effect arises since the change of state of the switch may change the weights of the capacitive divider. Taken as example the capacitive divider shown in Section II, a change on the state of the switch S7 may change the binary search from a value between $0.5V_{REF}$ and V_{REF} to a value between 0 and

$0.5V_{REF}$, and vice versa. The following steps then converge to an inconsistent quantization level, leading to multiple bit errors. An example of such errors is shown on Fig. 8.

Table I shows how many times each bit was flipped on the simulations. On a total of 2048 simulations, the maximum theoretical number of bit flips is 16,384. For this experiment, a total of 3,635 bit-flips occurred on the switch transistors.

Each row of the table shows the number of bit flips that occurred at the output. The simulation allows us to see that the number of bit flips increase as the bit approaches LSB. This is due to the reduction of capacitance associated with each subsequent bit. A fault injected on a switch associated with a higher capacitance will mostly cause bit-flips on the subsequent bits, due to their effect on the misbalance of the capacitor array being more evident on the capacitances associated with lower bits. It occurs since the same charge misbalance has a higher impact on the voltage of smaller capacitors.

Table 1. Summary of bits flipped after fault injection on the transmission gates

Affected Bit	Total bit flips	% of bits flipped
Q7	89	2.45
Q6	166	4.57
Q5	255	7.02
Q4	334	9.19
Q3	464	12.76
Q2	575	15.82
Q1	786	21.62
Q0	966	26.57
TOTAL:	3635	100

Table II shows the percentage of bit-flips on each output bit caused by the fault injection on each switch. It's important to observe that the rates of bits flipped increase when approaching the LSB.

Another important aspect to observe is the bit flips that occur at the output bit corresponding to the switch (e.g. fault injection on S7 causing a bit flip on output Q7), which we denote here as "direct fault injection". These results can be extracted from Table II and are summarized in Table III. The pattern remains the same.

The faults injected on the digital control circuit also resulted in bit-flips, which is presented on the Table IV. The percentage of conversions affected by faults injected in the control logic was 20.62%.

Table 2. Percentage of bits flipped of the transmission gates

Strike Node	bit flip/ simulation	% of Bits flipped								TOTAL
		Q7	Q6	Q5	Q4	Q3	Q2	Q1	Q0	
S7	507	4.3	6.9	8.3	9.7	14.0	15.6	19.5	21.7	100
S6	527	2.5	5.7	7.8	10.2	13.1	15.0	20.5	25.2	100
S5	588	4.4	3.9	8.7	10.2	12.9	15.6	20.4	23.8	100
S4	510	2.4	3.5	6.7	10.4	12.4	14.3	21.2	29.2	100
S3	457	1.5	3.9	6.6	8.3	14.0	17.5	21.4	26.7	100
S2	400	1.3	4.5	6.5	7.8	11.8	16.3	24.3	27.8	100
S1	333	0.9	2.1	3.9	6.9	10.8	17.7	24.6	33.0	100
S0	313	0.3	5.4	5.8	8.3	12.1	15.3	23.6	29.1	100

Table 3. Resulting Bit Flips through direct fault injection

Strike Node	# of bit flips	% of bit flips
S7	22	4.8
S6	30	6.6
S5	51	11.1
S4	53	11.6
S3	64	14.0
S2	65	14.2
S1	82	17.9
S0	91	19.9
TOTAL:	458	100

Table 4. Resulting bit flips of the random fault injection on the nodes of the control logic

Affected Bit	Total bit flips	% of total bit flips
Q7	67	4.80
Q6	105	7.52
Q5	141	10.10
Q4	147	10.53
Q3	179	12.82
Q2	194	13.90
Q1	263	18.84
Q0	300	21.49
TOTAL:	1396	100.00

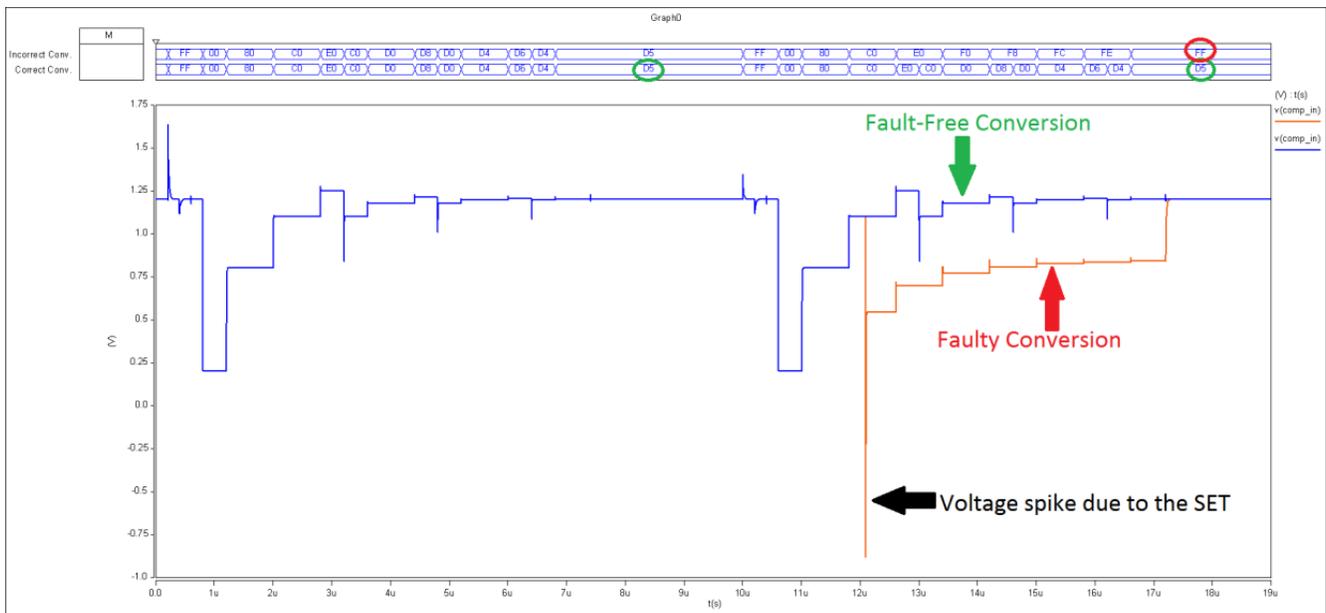


Figure 8. Multiple bit errors due to the fault injection on the switch S7.

8. CONCLUSIONS

This work presented a reliability analysis of charge redistribution SAR ADCs on the realm of transient faults. A fault injection campaign was carried out on an 8-bit converter by means of spice simulations, considering a 130nm technology.

Results showed that the converter is significantly sensitive to transient faults. In particular, the lower bits of the digital output are the most prone to bit-inversions. One explanation for this behavior is that a perturbation on the branches containing the large capacitors (MSBs) causes a considerable misbalance to the array (this is in accordance to the results obtained in [13]), changing the behavior of the algorithm and causing indirect bit-flips. Since the conversion starts with the MSB an error on the early conversion stages may propagate to the LSBs, thus, with faults occurring randomly in time, LSBs are more likely to be flipped.

Additionally, LSB branches are more sensitive to direct bit-flips, since the switches are connected to smaller capacitors, reducing the critical charge associated to these nodes, and, therefore, making them more vulnerable to transient effects.

The results of this investigation will be used in future works as a guideline to apply hardening-by-design techniques to increase the tolerance of this kind of converter to transient effects. Additionally, future works may include further analysis of the fault mechanism on the analog switches, by using a TCAD simulator.

9. ACKNOWLEDGMENTS

We gratefully acknowledge the financial support from CAPES and FAPERGS agencies and INCT NAMITEC, Brazil.

10. REFERENCES

- [1] A. Siska and M. He. (2010). *Golden Gloves ADC Championship Match – SAR vs. Sigma-Delta ($\Sigma\Delta$)*. Available: <http://www.cypress.com/?docID=22143>
- [2] Cypress Semiconductor Corp. (2012). *Cypress Perform. CY8C52 Family: datasheet*. Available: www.cypress.com
- [3] Actel Corporation. (2012). *SmartFusion cSoC Handbook: datasheet*. Available: <http://www.actel.com/products/smartfusion/>

- [4] Texas Instruments Inc. (2012). *MSP430F663x Mixed Signal Microcontroller*. Available: <http://www.ti.com/product/msp430f6638>
- [5] M. Nicolaidis, *Soft Errors in Modern Electronic Systems*: Springer, 2010.
- [6] J. L. McCreary and P. R. Gray, "All-MOS charge redistribution analog-to-digital conversion techniques. I," *Solid-State Circuits, IEEE Journal of*, vol. 10, pp. 371-379, 1975.
- [7] T. O. Anderson, "Optimum control logic for successive approximation Analog-To-Digital converters," *Computer Design*, vol. 11, pp. 81-86, 1972.
- [8] S. Danzeca, L. Dusseau, P. Peronnard, and G. Spiezia, "New Testing Methodology of an Analog to Digital Converter for the LHC Mixed Radiation Field," *Nuclear Science, IEEE Transactions on*, vol. 60, pp. 2598-2604, 2013.
- [9] L. Tambara, F. Kastensmidt, P. Rech, T. Balen, and M. Lubaszewski, "Neutron-induced single event effects analysis in a SAR-ADC architecture embedded in a mixed-signal SoC," in *VLSI (ISVLSI), 2013 IEEE Computer Society Annual Symposium on*, 2013, pp. 188-193.
- [10] K. P. McCarty, J. R. Coss, D. K. Nichols, G. M. Swift, and K. A. LaBel, "Single event effects testing of the Crystal CS5327 16-bit ADC," in *Radiation Effects Data Workshop, 1994 IEEE*, 1994, pp. 86-96.
- [11] D. Gomez Toro, F. Seguin, M. Arzel, Je, x, ze, *et al.*, "Study of a cosmic ray impact on combinatorial logic circuits of an 8bit SAR ADC in 65nm CMOS technology," in *Circuits and Systems (MWSCAS), 2013 IEEE 56th International Midwest Symposium on*, 2013, pp. 241-244.
- [12] G. C. Messenger, "Collection of Charge on Junction Nodes from Ion Tracks," *Nuclear Science, IEEE Transactions on*, vol. 29, pp. 2024-2031, 1982.
- [13] J. M. Hutson, V. Ramachandran, B. L. Bhuva, X. Zhu, R. D. Schrimpf, O. A. Amusan, *et al.*, "Single Event-Induced Error Propagation Through Nominally-off Transmission Gates," *Nuclear Science, IEEE Transactions on*, vol. 53, pp. 3558-3562, 2006.
- [14] B. Narasimham, B. L. Bhuva, R. D. Schrimpf, L. W. Massengill, M. J. Gadlage, O. A. Amusan, *et al.*, "Characterization of Digital Single Event Transient Pulse-Widths in 130-nm and 90-nm CMOS Technologies," *Nuclear Science, IEEE Transactions on*, vol. 54, pp. 2506-2511, 2007.
- [15] V. Ferlet-Cavrois, P. Paillet, M. Gaillardin, D. Lambert, J. Baggio, J. R. Schwank, *et al.*, "Statistical Analysis of the Charge Collected in SOI and Bulk Devices Under Heavy Ion and Proton Irradiation - Implications for Digital SETs," *Nuclear Science, IEEE Transactions on*, vol. 53, pp. 3242-3252, 2006.
- [16] T. R. Balen, G. S. Cardoso, O. L. Goncalvez, and M. S. Lubaszewski, "Investigating the effects of transient faults in Programmable Capacitor Arrays," in *Test Workshop (LATW), 2011 12th Latin American*, 2011, pp. 1-6.
- [17] A. J. C. Lanot and T. R. Balen, "Analysis of the Effects of Single Event Transients on an SAR-ADC based on charge redistribution," in *Test Workshop (LATW), IEEE 15th Latin American*, Fortaleza, Brazil, 2014, pp. 1-5.
- [18] Arizona State University. (2012). *130nm BSIM3 Model card for Bulk CMOS*. Available: <http://ptm.asu.edu>

Fault Mitigation Strategies for Single Event Transients on SAR converters

A. J. C. Lanot and T. R. Balen

Programa de Pós Graduação de Engenharia Elétrica
Departamento de Engenharia Elétrica
Universidade Federal do Rio Grande do Sul – Porto Alegre – RS – Brazil
{alisson.lanot, tiago.balen}@ufrgs.br

Abstract— In this work, we analyze the resilience of SAR converters based on charge redistribution against Single Event Transients. These effects may be mitigated using well-known Fault Tolerance techniques. However, each strategy has its advantages and disadvantages, which may affect the area, power consumption, as well as the linearity of the circuit. This paper shows possible alternatives for the best trade-off approach on the design of such converters. Investigations were conducted by means of an extensive fault injection campaign in an 8-bit architecture modeled in SPICE, considering a 130nm predictive technology model.

Keywords—*Successive-Approximation-Register; ADC; Single-Event Transients; fault injection; switches; Transmission-Gates; sizing.*

I. INTRODUCTION

Successive Approximation Register (SAR) based on charge redistribution [1] is one of the most popular analog-to-digital converters used today. This topology mixes the desirable features for modern Integrated Circuits, which consists on low power consumption and low area requirements, while achieving good resolution and conversion speed.

This converter is usually present on commercial mixed-signal programmable devices, for example, PSoC 5 [2], Texas Instruments MSP430F6638 [3], and SmartFusion [4], which may be used for fast prototyping to be applied on harsh and critical environments like nuclear reactors, space stations or satellites.

It is known today that, due to technological scaling, radiation effects became a significant source of failures on integrated circuits [5]. These failures, which may occur due to the collision of an ionizing particle with the silicon, may cause permanent or transient errors on the converter. Since these effects are observed even at ground level, it is desirable to better understand these effects and mitigate them in order to allow the circuit to be used on these critical environments.

If an ionizing particle collides with one transistor of the converter, a transient effect may cause a change on one or more output bits. These effects, known as Single Event Transients (SETs) are caused by the collection of charges on reverse biased P-N junctions of the semiconductor after a heavy ion strike or indirect ionization [5]. At electrical level, these effects generate current pulses that may affect the MOS transistors, which may change the expected behavior of the circuit.

The basic building block of this type of converter is the capacitor array controlled by a set of switches. The effects of transient faults on programmable capacitor arrays were first addressed in [6]. Experimental results on a commercial SoC containing an SAR ADC based on charge redistribution are addressed on [7], where the simulations to explain the behavior observed experimentally on this type of converter was firstly idealized. A fault injection campaign on SAR converters was then explored, and it was shown that faults that may occur on the circuit due to the occurrence of an SET on the analog switches of the converter might change the subsequent steps of conversion, leading to upsets on single or multiple bits [8].

This work presents an investigation of fault mitigation techniques for the transient effects on SAR ADCs. The proposed analysis consists of a random fault injection on the sensitive nodes of the analog switches and evaluate the effects of sizing on the occurrence of these faults. Another possible mitigation strategy relies on the use of Built-In Bulk Current Sensors (BULK-BICS) [9] to halt the conversion and trigger a new sampling and conversion of the analog signal if an SET during the conversion is detected.

This paper is organized as follows: Section II describes the building blocks and working principle of a charge redistribution SAR. Sections III presents the fault mechanism and possible mitigation strategies for such converters. Section IV presents the fault injection technique used in SPICE simulations and further details of the experiment. Section V presents the experimental results. We finalize our work with sections VI and VII, where we outline the discussions and conclusions, as well as a few hints for real designs.

II. CHARGE REDISTRIBUTION SAR ADCS

The classical circuit of charge redistribution ADCs was proposed by McCreary and Grey [1] in 1975. Since then, it became one of the most popular circuits for ADCs targeted to applications requiring low area on the silicon and low power consumption.

The circuit of the SAR ADC consists of four main blocks: The capacitor array, the comparator, the switches, and the control logic for the switches.

The capacitor array consists of N capacitors designed in a binary-weighted distribution. They are designed in a way that each additional bit requires an additional capacitor, which

doubles the overall capacitance of the circuit. This approach may limit the implementation of this topology for high-resolution converters. The design of binary-weighted capacitors then requires a total capacitance of $2C$, where C is the capacitance related to the most significant bit. An additional unit capacitor is added to the circuit for signal completeness. The schematic of the analog portion of the converter, considering an 8-bit architecture, is shown on Fig. 1.

The conversion is performed through a series of comparisons of the input signal with quantization levels generated by the reference voltage through the capacitive dividers formed by the switching scheme, converging to an equivalent digital representation.

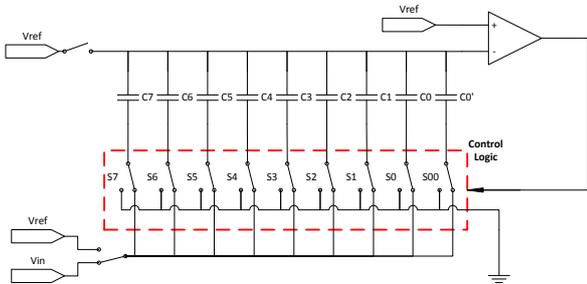


Fig. 1. Conventional Successive Approximation ADC.

A comparison of the signal to these values are performed by a comparator, which will output “HIGH” if the input voltage of the comparator is higher than the reference voltage generated by the capacitive divider, or “LOW” otherwise. This allows the convergence to the digital output.

The control logic then implements the algorithm that performs the correct switching scheme for the circuit.

The first step of operation of the circuit is to charge the parallel association of all capacitors to a value equivalent to the input voltage (*sampling*). For this, all switches connected to the bottom of the capacitors turn to bus, which is connected to V_{in} . When the reset signal (which controls the sampling stage) turns LOW, the switch common to the top plates of the capacitors is closed and the switches of the bottom plate of each capacitor is connected to ground. An equivalent voltage of $V_{REF} - V_{IN}$ is then stored at the top plates of the capacitors (*hold*).

The conversion itself starts on the *charge redistribution* stage. The first step of conversion consist on turning the V_{IN} switch to V_{REF} , and the most significant bit (MSB) – in this case, switch $S7$ – to the bus. Due to the binary-weighted nature of the converter, a capacitive divider between the capacitor $C7$ and the parallel configuration of $C6...C0'$, is obtained. This allows an equivalent voltage of $V_{REF}/2$ to be added to the held voltage on the common node.

A comparison is then performed between V_{REF} to $V_{REF} - V_{IN} + V_{REF}/2$. If $V_{IN} > V_{REF}/2$, the comparator will output a “HIGH” value, which indicates that the MSB is “1”. This output controls the switching scheme for the next step of conversion. A “HIGH” value on the output will turn the $S7$ switch to ground, and will connect switch $S6$ to bus. A “LOW” value will connect $S6$ to the bus, but will maintain $S7$ connected as well.

A control logic circuit is necessary to perform the algorithm to search the quantization level that matches the analog input. The classical design on the literature is proposed by Anderson [10]. Though presented in 1972, this circuit is still widely used. The circuit can be seen on Fig. 2 for an 8-bit converter. This circuit is summarized as follows: The top circuit on the figure is a shift register that propagates a HIGH state from the first flip-flop to the last. Each clock cycle will have one flip-flop with a HIGH state. The output of each flip-flop enables the bottom circuit, known as “code register”, which enables or disables the flip-flop depending on the comparator output. The outputs of the code register flip-flops are then used as the control signal for the analog switches. The code register value at the end of each conversion cycle represents the digital converted word.

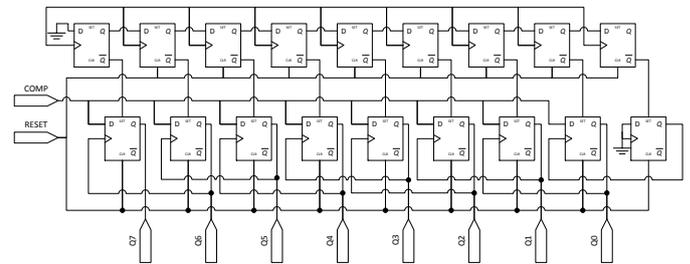


Fig. 2. Digital Control Logic for the SAR proposed by Anderson [10].

This circuit, however, was proposed to SAR converters with an external sample & hold circuit. Additional logic needs to be provided to generate the signals for the built-in S&H circuit.

III. TRANSIENT FAULTS ON SAR CONVERTERS

A. Basic Fault Mechanism

SAR converters based on charge redistribution are susceptible to failures on the conversion if an energetic particle collides with a sensitive node on the circuit. These nodes may be from the digital control logic, the switches connected to the capacitor array, or the comparator.

The control logic consists of a series of flip-flops wired together. Depending on the adopted topology, it may require two sets of D-type $N+1$ bit registers (known as *sequencer* and *code register*), or one register consisting of JK-flip-flops performing both functions. Each drain of the flip-flops transistors may present a sensitive node, which, due to the importance of the operation they perform, may cause a significant amount of errors.

The analog switches of the converter are designed using transmission gates for the connection between the input signal (or the reference voltage) and the bottom plate of the capacitors, and NMOS switches connected between the bottom plates of the capacitors and ground. A switch to GND does not need a transmission gate, since it is only used to perform the discharge of the capacitors.

The switches present three possible sensitive nodes: The drain of the NMOS and the drain of the PMOS of the transmission gate, as well as the output of the inverter of the switch. An analysis on the potential between the terminals of the transmission gate showed that the node that connects the

capacitor to the switch is the drain of the transistors (Fig. 1). Simulations showed that the node that connect the capacitor to the switch are the most vulnerable (Fig. 3).

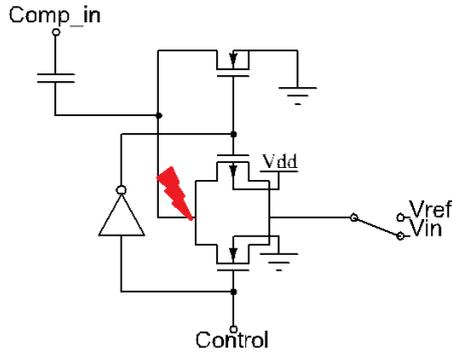


Fig. 3. Schematic of one of the switches showing its most sensitive node

The effect of a fault on the sensitive node of a switch for a given analog sample is shown on Fig. 4. It is important to observe that once the fault occurs on the switch, it may lead to multiple bit errors on the output.

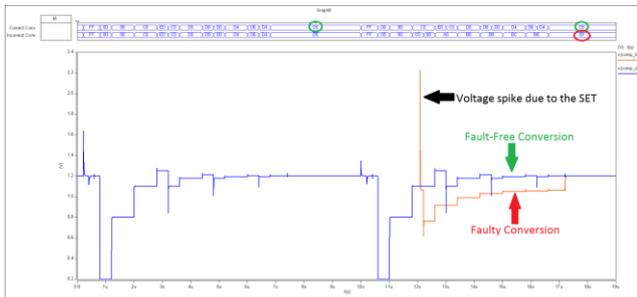


Fig. 4. Multiple bit errors caused due to a fault injection on an early stage of conversion

The comparator is a common block on most ADCs. In fact, it was one of the first reported analog circuits sensitive to Single Event Transients. Since the comparator is a well-explored circuit for Analog Single Event Transient analysis [11], we do not extend our analysis to this topic.

B. Possible Fault Mitigation Strategies

The usual techniques for the reduction of effects of Single Event Effects, as well as other types of failures on Integrated Circuits consists on increasing the dimension of the transistors. This technique is common to radiation-hardened circuits, since the transient fault effect is attenuated when the strike occurs on wider transistors. This is due the amount of charge necessary to change the state of the circuit is increased for wider transistors. Furthermore, wider transistors presents lower output equivalent resistances, reducing the voltage pulse generated by charge collection caused by a single event.

Redundancy is another possible alternative for the design. In this case, the control logic may be further minimized in a way that becomes viable the use of one well-known technique known as Triple-Modular Redundancy (TMR) [12].

In the context of Single-Event Effects, the substrate current sensors (Bulk-BICS) can also be used to detect the occurrence of current transients. In this work, we also discuss the application of this technique to flag the conversion as potentially faulty or fault-free and trigger a new sampling and conversion of the input signal.

IV. METHODOLOGY

In this work, we perform simulations considering different dimensions for the width parameter of the switches. The analog switches of the converter are usually designed in a way to minimize the non-idealities introduced by the technology. These non-idealities, though common, may be introduced by all the blocks of the converter, such as parasitic capacitances on the switches, mismatches caused by the fabrication process, as well as misbalance of the capacitor array, and offsets introduced by the comparator. A radiation hardened SAR ADC needs to consider all these aspects in addition to some degree of fault tolerance, so that if an ionizing particle causes a strike on a node of the converter, soft errors may not derail the use of such converters on harsh environments.

The converter is fully modeled in SPICE. Since we aimed to analyze the effects of SETs on the switches and avoid further introduction of non-idealities, we did not design the comparator (i.e. an ideal Voltage-Controlled Voltage-Source was used instead). The control logic used was modeled using flip-flops made out of logical gates, as the design #2 presented by Anderson on his classical paper [10].

The simulations were performed on an 130nm Predictive Technology Model (PTM) [13]. Despite the fact that such models are used mainly for academic purposes, they present a good approximation of commercial process parameters. Furthermore, simulations using PTM was shown to be five times faster than using commercial technology models.

A good approach to simulate transient faults on integrated circuits is to use a SPICE simulator, since it provides a good speed/accuracy trade-off. One possible fault injection mechanism in SPICE for soft errors caused by Single Event Effects on the circuit is to use the double-exponential model proposed by Messenger [14]. This model consists of an analytical representation of the waveform resulted from the collision between the ionizing particle and the transistor, as described below:

$$I(t) = I_o (\exp(-t/\tau_F) - \exp(-t/\tau_R)) \quad (1)$$

The parameter I_o is the peak current amplitude of the pulse caused by the collision. Two parameters control the waveform: τ_R , a time-constant related to the ion-track establishment on the semiconductor, and τ_F , the collection time-constant of the junction [14]. Both parameters are dependent of the fabrication process, the angle of incidence and the linear energy transfer of the particle. For simulation purposes, a fast τ_R and a slow τ_F are used. For the 130nm technology, the worst case parameters reported on the literature for simulations which characterize the pulse waveform are $\tau_R = 5ps$ and $\tau_F = 100ps$ [15]. Experimental results for a specific 130nm technology show that the current pulse originated by the SET have a worst case of 700ps for the pulse width [16] and a peak amplitude of 2mA [17]. These values are used on the fault injection performed in this work.

V. EXPERIMENTAL RESULTS

Q0	300	21.49
TOTAL:	1396	100.00

A. Fault injection on the present design

In a first moment an extensive fault simulation campaign was performed to identify the most vulnerable nodes of the converter to SETs. A fault injection methodology was proposed to address the fault injection and analysis of the results for the simulations of converter [18]. Several conversions were simulated, considering a full-scale ramp signal at the analog input. For a working 8-bit converter, there are 256 possible quantization levels. We randomly inject a fault on all quantization levels for all the switches, which counts to a total of 2048 simulations. For this case, the maximum theoretical number of bit flips is 16,384. For this experiment, a total of 3635 bit-flips, therefore 22.18% of injected faults generated conversion errors.

A summary of the results considering the SET injections on the analog switches is shown in Table I. These results were obtained considering the nominal design, with original transistor sizing. The switches built with MOS transistors use dimensions of $(W/L)_N = 520\text{nm}/130\text{nm}$ (ratio of 4/1) and $(W/L)_P = 1040\text{nm}/130\text{nm}$ (ratio of 8/1).

Each row of the table show the number of bit flips that occurred on the output. The simulation allows us to see that the number of bit flips increase as the bit approaches LSB. This is due to the reduction of capacitance associated with each subsequent bit. That is, a fault injected on a switch associated with a higher capacitance will mostly cause bit-flips on the subsequent bits, due to their effect on the misbalance of the capacitor array being more evident on the capacitances associated with lower bits. For this experiment, we used a unit capacitance of 15 fF.

TABLE I. SUMMARY OF BITS FLIPPED AFTER FAULT INJECTION ON THE TRANSMISSION GATES

Affected Bit	Total bit flips	% of bits flipped
Q7	89	2.45
Q6	166	4.57
Q5	255	7.02
Q4	334	9.19
Q3	464	12.76
Q2	575	15.82
Q1	786	21.62
Q0	966	26.57
TOTAL:	3635	100

The faults injected on the digital control circuit also resulted in bit-flips, which is presented on the Table II. The percentage of conversions affected by faults injected in the control logic was 20.62%.

TABLE II. RESULTING BIT FLIPS OF THE RANDOM FAULT INJECTION ON THE NODES OF THE CONTROL LOGIC

Affected Bit	Total bit flips	% of total bit flips
Q7	67	4.80
Q6	105	7.52
Q5	141	10.10
Q4	147	10.53
Q3	179	12.82
Q2	194	13.90
Q1	263	18.84

B. Fault Injection considering different sizes of the switches

These analysis started with switches of minimum dimensions ($W/L=1$), considering a minimum transistor length of 130nm for this technology. Despite the fact that using these small dimensions for analog design is not a standard practice, we use it as means of comparison with higher values. However, due to the small charge involved in the switching process, it doesn't introduce errors to the converter.

It is important to observe that, the increase of width of the switches inherently changes the linearity of the circuit, as well as it adds significant parasitic capacitance, which may affect the conversion due to effects like charge injection. These non-idealities, despite being able to be corrected using self-calibration techniques, are undesirable, and needs to be minimized.

Fig 5. shows the fault rate of the switches for each simulation of the input analog ramp. Contrary to earlier experiment where we considered the rate of bit-flips as an overall average of the faults for the system, it shows the results where a fault injected on the switches resulted on a fault that causes the converter to exceed the maximum tolerance of 1 LSB. The fault rate is obtained from the difference of the faulty and fault-free steps, so if this difference exceeds 1 LSB, the conversion introduced a fault on the conversion output.

We check the tolerance of the circuit after an increase of the aspect ratio, particularly changing the width of the transistors. It is clear to see that this technique causes a significant reduction of faults on the output of the converter. It is important to observe that a good trade-off must be considered when choosing the correct dimension for the switches. A small switch will be the most sensitive case for the use on harsh environments, though using an aspect ratio of 512/1 (not shown on the experiments) would introduce considerable parasitic capacitances that make the use of the converter impractical. A considerable reduction may be observed for an aspect ratio of 32/1, though the MSB switch (the switch that drives the bigger capacitance), will have a further reduction up to an aspect ratio of 128/1.

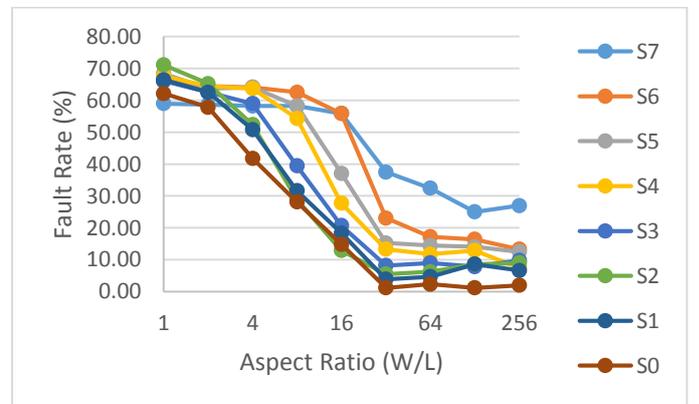


Fig. 5. Results obtained for the changes on the transistor width of the switches (with minimum transistor length - $L=130\text{nm}$).

VI. DESIGN CONSIDERATIONS

To be able to achieve good converter characteristics together with resilience against Single Event Transients without compromising the area and power of the circuit, this section aims to provide a few hints that may help future designs.

A. Control Logic

The circuit presented by Anderson [10] allows several simplifications. The use of design #2 presented on his paper shows that a non-redundant register design can be used. For a monolithic process, the best approach we have found on the literature is to use dynamic D-type flip-flops with a total of 13 transistors each [19] on the design #1, such that the total transistor count of the control logic is reduced from 648 to 234. This reduction is important, since a low silicon area of the control circuit will allow the use of redundancy with less significant overall area overhead. Another benefit of this approach is less power consumption due to the reduction of the combinational overhead.

Since the control circuit is responsible for the correct implementation of the algorithm, it is necessary to guarantee its fault-free operation. A TMR approach is an effective way to guarantee the correct behavior of this circuit, and then this minimization strategy is highly desired.

B. Built-In Current Sensors

One way to identify the occurrence of faults on the converter is to use a Bulk Built-In Current Sensor (BICS) [9]. The usefulness of this approach is to provide a mechanism to warn when a reevaluation of the desired conversion is needed. Therefore, an automatic approach to reevaluate the conversion is to attach the BICS output signal to the RESET inputs of the control logic. This approach is trivial, since it only requires an OR gate for each switch using the BICS output signal and the sampling signal as its inputs. Furthermore, the control circuit must send a signal to reset the BICS when necessary. This can be done by adding a small additional circuitry. For simplification, an adaptation of Anderson's control logic #2 with an indication of the BICS circuitry is shown in Fig. 6. A 4-bit topology is shown for simplicity.

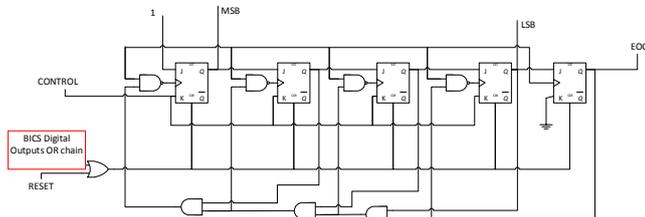


Fig. 6. Anderson's control logic #2 with BICS additional signals.

The key idea consists on resetting the control logic when the transient pulse occurs in one of the switches. In this case, the next value on the analog input is obtained and the conversion is performed again. An example of this approach is shown in the simulation on Fig. 7. This approach leads to an additional delay between two consecutives samples when an SET is detected.

However, this delay will never exceed two sampling periods (considering a single SET). This way, the loss of one sample is compensated by the converter reliability increase.

This technique is useful to abort the conversion as soon as possible to allow the next sample of the signal to be converted. The output signal of the BICS may be used as a feedback to the system that controls the converter to inform possible actions to be taken after a fault detection.

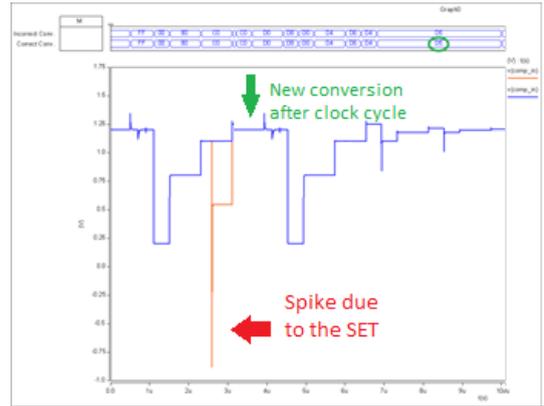


Fig. 7. SET and new conversion after fault detection

A flowchart expressing this idea is shown in Fig. 8.

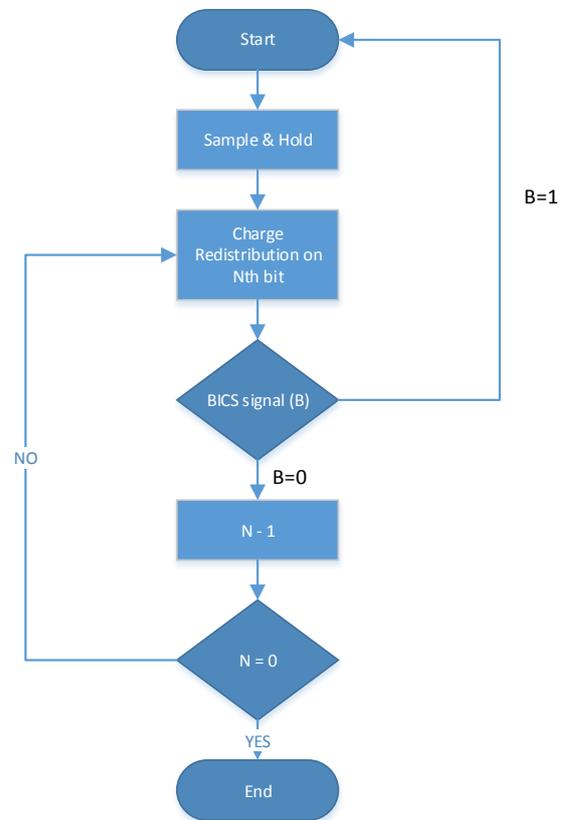


Fig. 8. Algorithm of the applied BICS technique

VII. CONCLUSIONS

This paper presented an overview of the strategies for the design of Radiation Hardened SAR ADCs based on charge redistribution, in the context of Single Event Transients. Since this converter shows both analog and digital sensitive circuitry, these preliminary discussions may help designers to choose the best approach for a good trade-off between power, area, and resilience against Single-Event Transients.

SAR circuits are prone to Single Event transients both on analog and digital circuitry. A higher failure rate (up to 70%) may be observed when the circuit is designed using switches of small dimensions, considering the worst-case amplitude and pulse width adopted in this work. On a real environment, these values can be much lower, considering the statistical distribution of the SET parameters. We show that an increase of the dimensions cause a significant reduction on the failure rate for the circuit (lowering it to 30% on the worst case). We also present possible mitigation techniques and design tips for the use in conjunction with the design, which consists on the reduction of the control circuit (diminishing the number of sensitive nodes) as well as the BICS additional circuitry to abort faulty conversion and jump to the conversion of the next input signal.

ACKNOWLEDGMENT

We acknowledge the financial support from CAPES and FAPERGS agencies and INCT NAMITEC, Brazil.

REFERENCES

- [1] J. L. McCreary and P. R. Gray, "All-MOS charge redistribution analog-to-digital conversion techniques. I," *Solid-State Circuits, IEEE Journal of*, vol. 10, pp. 371-379, 1975.
- [2] Cypress Semiconductor Corp. (2012). *Cypress Perform. CY8C52 Family: datasheet*. Available: www.cypress.com
- [3] Texas Instruments Inc. (2012). *MSP430F663x Mixed Signal Microcontroller*. Available: <http://www.ti.com/product/msp430f6638>
- [4] Actel Corp. (2012). *SmartFusion cSoC Handbook: datasheet*. Available: <http://www.actel.com/products/smartfusion/>
- [5] M. Nicolaidis, *Soft Errors in Modern Electronic Systems*: Springer, 2010.
- [6] T. R. Balen, G. S. Cardoso, O. L. Goncalvez, and M. S. Lubaszewski, "Investigating the effects of transient faults in Programmable Capacitor Arrays," in *Test Workshop (LATW), 2011 12th Latin American*, 2011, pp. 1-6.
- [7] L. Tambara, F. Kastensmidt, P. Rech, T. Balen, and M. Lubaszewski, "Neutron-induced single event effects analysis in a SAR-ADC architecture embedded in a mixed-signal SoC," in *VLSI (ISVLSI), 2013 IEEE Computer Society Annual Symposium on*, 2013, pp. 188-193.
- [8] A. J. C. Lanot and T. R. Balen, "Analysis of the Effects of Single Event Transients on an SAR-ADC based on charge redistribution," in *Test Workshop (LATW), IEEE 15th Latin American*, Fortaleza, Brazil, 2014, pp. 1-5.
- [9] E. H. Neto, I. Ribeiro, M. Vieira, G. Wirth, and F. L. Kastensmidt, "Evaluating Fault Coverage of Bulk Built-in Current Sensor for Soft Errors in Combinational and Sequential Logic," in *Integrated Circuits and Systems Design, 18th Symposium on*, 2005, pp. 62-67.
- [10] T. O. Anderson, "Optimum control logic for successive approximation Analog-To-Digital converters," *Computer Design*, vol. 11, pp. 81-86, 1972.
- [11] A. H. Johnston, G. M. Swift, T. F. Miyahira, and L. D. Edmonds, "A model for single-event transients in comparators," *Nuclear Science, IEEE Transactions on*, vol. 47, pp. 2624-2633, 2000.
- [12] R. E. Lyons and W. Vanderkulk, "The Use of Triple-Modular Redundancy to Improve Computer Reliability," *IBM Journal of Research and Development*, vol. 6, pp. 200-209, 1962.
- [13] Arizona State University. (2012). *130nm BSIM3 Model card for Bulk CMOS*. Available: <http://ptm.asu.edu>
- [14] G. C. Messenger, "Collection of Charge on Junction Nodes from Ion Tracks," *Nuclear Science, IEEE Transactions on*, vol. 29, pp. 2024-2031, 1982.
- [15] J. M. Hutson, V. Ramachandran, B. L. Bhuva, X. Zhu, R. D. Schrimpf, O. A. Amusan, *et al.*, "Single Event-Induced Error Propagation Through Nominally-off Transmission Gates," *Nuclear Science, IEEE Transactions on*, vol. 53, pp. 3558-3562, 2006.
- [16] B. Narasimham, B. L. Bhuva, R. D. Schrimpf, L. W. Massengill, M. J. Gadlage, O. A. Amusan, *et al.*, "Characterization of Digital Single Event Transient Pulse-Widths in 130-nm and 90-nm CMOS Technologies," *Nuclear Science, IEEE Transactions on*, vol. 54, pp. 2506-2511, 2007.
- [17] V. Ferlet-Cavrois, P. Paillet, M. Gaillardin, D. Lambert, J. Baggio, J. R. Schwank, *et al.*, "Statistical Analysis of the Charge Collected in SOI and Bulk Devices Under Heavy Ion and Proton Irradiation - Implications for Digital SETs," *Nuclear Science, IEEE Transactions on*, vol. 53, pp. 3242-3252, 2006.
- [18] A. J. C. Lanot and T. R. Balen, "Reliability Analysis of a 130nm Charge Redistribution SAR ADC under Single Event Effects," presented at the 27th Symposium on Integrated Circuits and Systems Design, Aracaju, Brazil, in-press.
- [19] F. D. S. Campos, "Active Pixel Sensor CMOS Operating Multi-Sampled in Time Domain," in *Photodiodes - World Activities in 2011*, P. J. W. Park, Ed., ed: InTech, 2011.